



GR5405硬件设计指南

版本： **1.1**

发布日期： **2025-04-22**

版权所有 © 2025 深圳市汇顶科技股份有限公司。保留一切权利。

非经本公司书面许可，任何单位和个人不得对本手册内的任何部分擅自摘抄、复制、修改、翻译、传播，或将其全部或部分用于商业用途。

商标声明

GOODiX 和其他汇顶商标均为深圳市汇顶科技股份有限公司的商标。本文档提及的其他所有商标或注册商标，由各自的所有人持有。

免责声明

本文档中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。

深圳市汇顶科技股份有限公司（以下简称“GOODIX”）对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。GOODIX对因这些信息及使用这些信息而引起的后果不承担任何责任。

未经GOODIX书面批准，不得将GOODIX的产品用作生命维持系统中的关键组件。在GOODIX知识产权保护下，不得暗或以其他方式转让任何许可证。

深圳市汇顶科技股份有限公司

总部地址：深圳市福田区梅康路1号汇顶科技总部大厦26楼

电话：+86-755-33338828 邮编：518000

网址：www.goodix.com

前言

编写目的

本文档主要介绍GR5405低功耗蓝牙SoC最小系统的电路设计指南、PCB布局设计指南，以及ESD防护设计考虑等，旨在帮助系统设计人员快速搭建硬件GR5405应用的硬件电路。

读者对象

本文适用于以下读者：

- 芯片用户
- 开发人员
- 测试人员
- 技术支持工程师

版本说明

本文档为第2次发布，对应的产品系列为GR5405。

修订记录

版本	日期	说明
1.0	2024-09-27	首次发布
1.1	2025-04-22	• 更新“产品简介”章节：增加Mesh支持。 • 更新“引脚排列及功能”章节：增加EPAD描述。 • 更新“I/O 引脚”章节：增加MSIO_7引脚使用描述。

目录

前言..... I

1 产品简介..... 1

2 引脚排列与定义..... 2

 2.1 引脚排列及功能..... 2

 2.2 引脚属性..... 4

 2.2.1 PMU引脚属性..... 4

 2.2.2 I/O引脚属性..... 5

3 GR5405最小系统设计..... 7

 3.1 电路原理图设计指南..... 7

 3.1.1 电源..... 7

 3.1.1.1 简介..... 7

 3.1.1.2 上电时序..... 9

 3.1.1.3 I/O LDO..... 12

 3.1.1.4 电源电路原理图..... 13

 3.1.2 时钟..... 16

 3.1.2.1 简介..... 16

 3.1.2.2 HFXO_32M..... 17

 3.1.2.3 LFXO_32K..... 18

 3.1.3 射频..... 19

 3.1.3.1 简介..... 19

 3.1.3.2 射频电路原理图..... 20

 3.1.4 I/O引脚..... 21

 3.1.5 串行调试接口..... 22

 3.2 PCB Layout设计指南..... 22

 3.2.1 PCB叠层..... 22

 3.2.2 元器件布局..... 23

 3.2.3 电源..... 23

 3.2.3.1 DC-DC开关电源..... 23

 3.2.3.2 RF输入电源..... 24

 3.2.4 时钟..... 25

 3.2.5 射频端口..... 26

 3.2.6 RSE认证设计建议..... 27

 3.3 系统ESD防护设计..... 28

 3.3.1 系统级ESD设计要求..... 28

 3.3.1.1 原理图设计..... 28

 3.3.1.2 PCB布局设计..... 29

 3.3.1.3 产品结构设计..... 32

3.3.2 生产、运输、调试阶段ESD注意事项..... 32

3.4 参考设计..... 33

4 常见问题..... 34

4.1 为什么睡眠时的功耗偏高? 34

4.2 射频匹配电路可以简化或移除吗? 34

5 术语与缩略语..... 35

6 附录：封装指南..... 37

6.1 封装信息..... 37

6.1.1 Wettable QFN40..... 37

6.2 电路板焊接指南..... 39

6.2.1 周边焊盘的钢网设计..... 39

6.2.2 过孔类型和焊点气孔..... 40

6.2.2.1 钢网厚度和焊锡膏..... 40

6.2.2.2 PCB材料..... 41

6.2.3 SMT印刷流程..... 41

6.3 SMT回流过程..... 41

6.4 返修指南..... 43

6.4.1 元件拆除..... 44

6.4.2 焊盘清理..... 44

6.4.3 焊锡膏印刷..... 44

6.4.4 贴片..... 44

6.4.5 元件焊接..... 44

6.5 RoHS标准..... 45

6.6 SVHC清单..... 45

6.7 无卤..... 45

1 产品简介

GR5405是Goodix推出的一款支持Bluetooth 5.3的车载低功耗蓝牙（Bluetooth LE）系统级芯片（SoC），能够在 - 40°C ~ 105°C的宽温度范围内稳定运行，通过 AEC-Q100 Grade2认证，可应用于数字钥匙、胎压监测等车载应用，并支持蓝牙Mesh网络协议。

基于64 MHz Arm[®] Cortex[®]-M4F内核，GR5405集成了2.4 GHz 射频（RF）收发机、低功耗蓝牙5.3协议栈、512 KB片内Flash、96 KB系统SRAM，以及丰富的外设。该芯片具有出色的RF性能，其最大发射（TX）功率可达+15 dBm，Bluetooth LE 1 Mbps模式下的接收（RX）灵敏度可达-99 dBm，整体链路预算（Link Budget）高达114 dB。

该芯片支持DC-DC与SYS_LDO两种主供电方式，供用户灵活选择，可实现低功耗与低BOM成本的完美平衡。

具体芯片配置如下表所示：

表 1-1 GR5405芯片配置

产品型号	GR5405BENE
CPU	Cortex [®] -M4F
RAM	96 KB
SiP Flash	512 KB
I/O数	24
工作温度	-40°C ~ 105°C
封装（mm）	Wettable flank-plated QFN40 (6 x 6 x 0.75)

 说明:

关于GR5405芯片的详细介绍，请参考《GR5405 Datasheet》。

2 引脚排列与定义

本章主要介绍芯片引脚排列及各引脚的详细信息。

2.1 引脚排列及功能

QFN40封装芯片的引脚排列如下图所示：

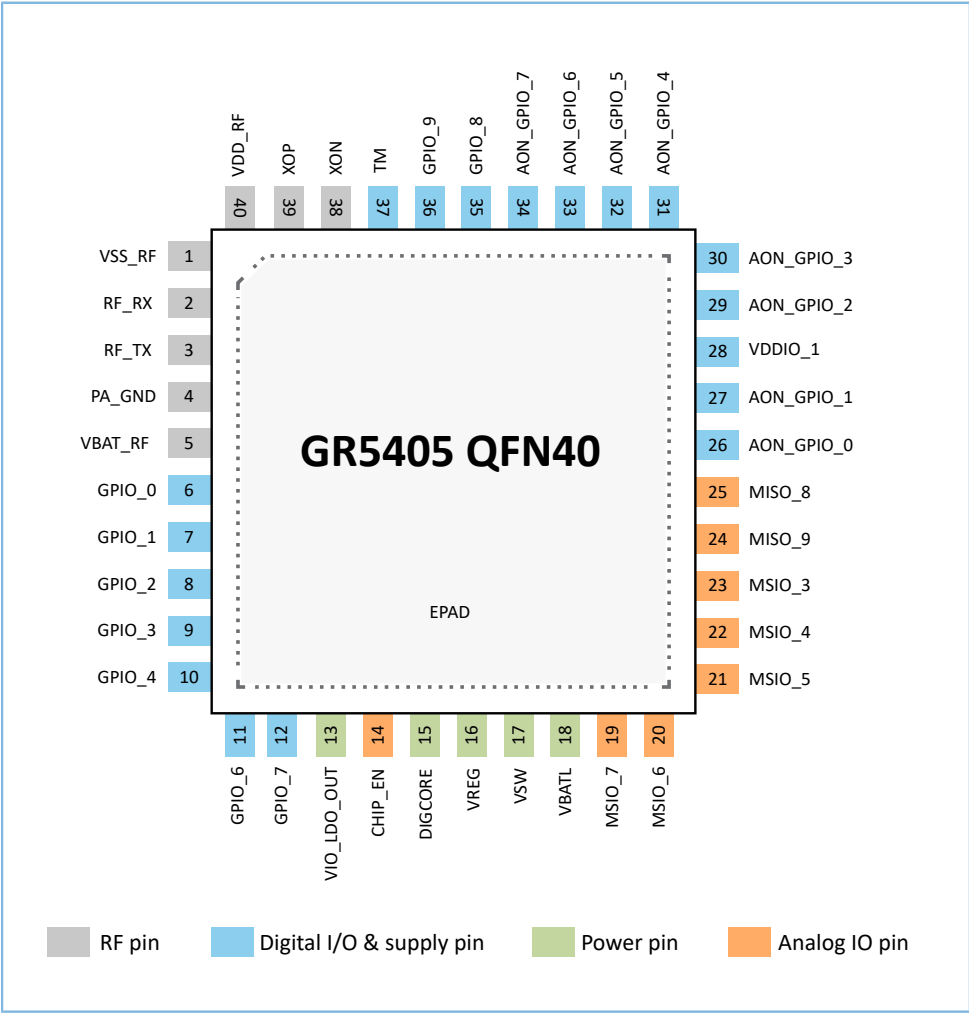


图 2-1 QFN40封装引脚排列（顶视图）

具体引脚功能描述如下表所示：

表 2-1 引脚功能

引脚编号	引脚名称	引脚类型	定义/默认功能	电源域
1	VSS_RF	模拟和射频供电	RF GND，连接至GND	
2	RF_RX	模拟和射频	RF收发机的RX输入	
3	RF_TX	模拟和射频	RF收发机的TX输出	
4	PA_GND	模拟和射频供电	RF 功率放大器（PA）GND，连接至GND	

引脚 编号	引脚名称	引脚类型	定义/默认功能	电源域
5	VBAT_RF	模拟和射频供电	为RF HPA与带隙基准电路（Band-gap）供电，连接至VBATL	
6	GPIO_0	数字I/O	GPIO，默认：SWD_CLK	VDDIO0
7	GPIO_1	数字I/O	GPIO，默认：SWD_IO	
8	GPIO_2	数字I/O	GPIO	
9	GPIO_3	数字I/O		
10	GPIO_4	数字I/O		
11	GPIO_6	数字I/O		
12	GPIO_7	数字I/O		
13	VIO_LDO_OUT	PMU	片内I/O LDO 输出，在芯片内部与VDDIO0相连。 输出电压默认等于VBATL。	
14	CHIP_EN	混合信号IN	芯片主使能信号复位引脚 高电平最小值：1 V	
15	DIGCORE	模拟和PMU	数字内核的片内LDO输出端	
16	VREG	模拟和PMU	DC-DC反馈引脚/SYS_LDO输出引脚	
17	VSW	模拟和PMU	DC-DC转换器开关节点	
18	VBATL	PMU	供电电压：2.3 V ~ 3.6 V	
19	MSIO_7	PMU和混合信号I/O	可配置的混合信号I/O，带数字GPIO和SNSADC 外部供电电压为2.5 V时，复用eFuse写入功能	VBATL
20	MSIO_6	混合信号I/O	可配置的混合信号I/O，带数字GPIO和SNSADC	
21	MSIO_5	混合信号I/O		
22	MSIO_4	混合信号I/O		
23	MSIO_3	混合信号I/O		
24	MSIO_9	混合信号I/O	可配置的混合信号I/O，带数字GPIO 复用为RTC_32K_OUT	VDDIO1
25	MSIO_8	混合信号I/O	可配置的混合信号I/O，带数字GPIO 复用为RTC_32K_IN	
26	AON_GPIO_0	数字I/O	AON GPIO，可将芯片从Sleep模式/Ultra Deep Sleep模式唤醒	
27	AON_GPIO_1	数字I/O		
28	VDDIO_1	数字I/O供电	数字I/O供电输入脚 支持输入外部电压2.3 V~3.6 V	
29	AON_GPIO_2	数字I/O	AON GPIO，可将芯片从Sleep模式/Ultra Deep Sleep模式唤醒	
30	AON_GPIO_3	数字I/O		
31	AON_GPIO_4	数字I/O		

引脚编号	引脚名称	引脚类型	定义/默认功能	电源域
32	AON_GPIO_5	数字I/O	GPIO	VDDIO1
33	AON_GPIO_6	数字I/O		
34	AON_GPIO_7	数字I/O		
35	GPIO_8	数字I/O		
36	GPIO_9	数字I/O		
37	TM	模拟和射频	输入引脚，用于工厂测试模式设置 • 1：工厂测试模式 • 0：普通操作模式 说明： 在实际应用中，默认值为0，该引脚直接连接至GND。	
38	XON	模拟和射频	32 MHz晶振反向放大器输出	
39	XOP	模拟和射频	32 MHz晶振反向放大器输入	
40	VDD_RF	模拟和射频供电	RF供电输入引脚，连接至VREG	
/	EPAD	地	裸露焊盘，连接至GND	

说明:

3.3 V供电时，所有I/Os（包括GPIOs、MSIOs、AON_GPIOs）的驱动能力可配置为2 mA/4 mA/8 mA/12 mA。

2.2 引脚属性

2.2.1 PMU引脚属性

表 2-2 PMU引脚属性

序号	引脚名称	输入/输出/地	最小值	典型值	最大值	单位
1	VDD_RF	输入	1.0	1.15	1.21	V
2	VSS_RF	地		0		V
3	VBAT_RF	输入	2.3	3.3	3.6	V
4	VIO_LDO_OUT	输出	2.3	3.3	3.6	V
5	CHIP_EN	输入	0		3.6	V
6	DIGCORE	输出	1.03	1.05	1.1	V
7	VREG	输出	1.13	1.15	1.21	V
8	VSW	输出	-	-	-	V
9	VBATL	输入	2.3	3.3	3.6	V
10	VDDIO_1	输入	2.3	3.3	3.6	V
11	TM	输入	-	0	-	V

2.2.2 I/O引脚属性

表 2-3 I/O引脚属性

序号	名称	POR后默认状态	POR后启用 上/下拉	POR后选择 上/下拉	引脚中断	芯片唤醒	高速I/O
1	GPIO_0	L	Y	PD	Y	N	Y
2	GPIO_1	L	Y	PD	Y	N	Y
3	GPIO_2	L	Y	PD	Y	N	Y
4	GPIO_3	L	Y	PD	Y	N	Y
5	GPIO_4	L	Y	PD	Y	N	Y
6	GPIO_6	L	Y	PD	Y	N	Y
7	GPIO_7	L	Y	PD	Y	N	Y
8	MSIO_7	Hi-Z	N	-	N	N	Y
9	MSIO_6	Hi-Z	N	-	N	N	Y
10	MSIO_5	Hi-Z	N	-	N	N	Y
11	MSIO_4	Hi-Z	N	-	N	N	Y
12	MSIO_3	Hi-Z	N	-	N	N	Y
13	MSIO_9	Hi-Z	N	-	N	N	Y
14	MSIO_8	Hi-Z	N	-	N	N	Y
15	AON_GPIO_0	L	Y	PD	Y	Y	Y
16	AON_GPIO_1	L	Y	PD	Y	Y	Y
17	AON_GPIO_2	L	Y	PD	Y	Y	Y
18	AON_GPIO_3	L	Y	PD	Y	Y	Y
19	AON_GPIO_4	L	Y	PD	Y	Y	Y
20	AON_GPIO_5	L	Y	PD	Y	Y	Y
21	AON_GPIO_6	L	Y	PD	Y	Y	Y
22	AON_GPIO_7	L	Y	PD	Y	Y	Y
23	GPIO_8	L	Y	PD	Y	N	Y
24	GPIO_9	L	Y	PD	Y	N	Y

上表所列缩写的释义如下：

表 2-4 I/O引脚属性缩写释义

属性	缩写	释义
POR后默认状态	Hi-Z	高阻抗
	H	高电平
	L	低电平
POR后启用上/下拉	Y	启用

属性	缩写	释义
POR后选择上/下拉	N	禁用
	PU	上拉
	PD	下拉
引脚中断	N	不支持中断
	Y	支持中断
高速I/O	N	不支持高速输入/输出
	Y	支持高速输入/输出

3 GR5405最小系统设计

GR5405最小应用系统必须包括以下模块：

- 电源
- 时钟
- 射频
- I/O引脚
- SWD接口

以下章节将详细介绍GR5405最小应用系统的电路原理图以及PCB布局参考设计，以帮助用户快速入门GR5405的硬件应用开发。

3.1 电路原理图设计指南

GR5405最小系统的电路原理图可参考[3.4 参考设计](#)。

3.1.1 电源

3.1.1.1 简介

GR5405通过VBATL引脚外接电源供电，供电电压为2.3 V~3.6 V。

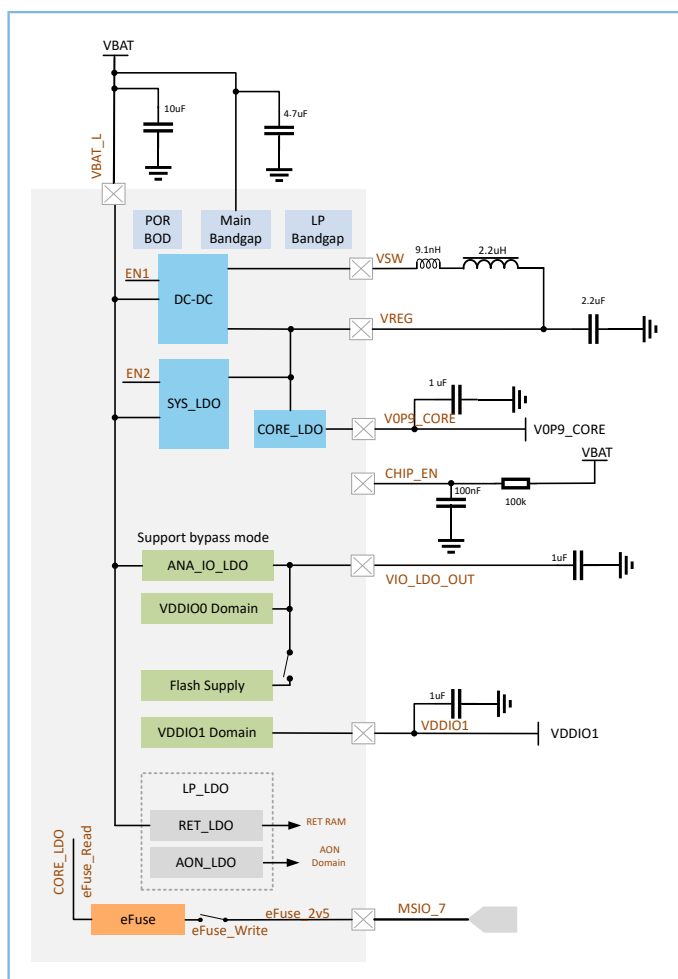


图 3-1 电源管理模块的结构框图

GR5405电源管理模块（Power Management Unit, PMU）的结构框图如图 3-1所示。PMU通过VBATL引脚与外部电源相连，并通过以下电源域为各模块供电：

- **DC-DC/SYS_LDO:** 为RF域与CORE_LDO供电，默认启用。
- **CORE_LDO:** 为数字逻辑模块供电，默认启用。
- **AON_LDO:** 为AON模块供电，默认启用。
- **RET_LDO:** 为存储单元保持供电，默认启用。
- **ANA_IO_LDO:** 提供I/O电压，为GR5405引脚及外围器件供电，还可为Flash供电。默认使能Bypass模式，输出电压等于VBATL。
- **VDDIO1:** 为I/O1组供电，由外部电源或VIO_LDO_OUT提供供电电压。
- **MSIO_7:** 可输入2.5 V外部电压烧录eFuse。通过烧录eFuse配置，可关闭SWD调试功能（GPIO_0/GPIO_1复用）。

VBATL和VBAT RF 的电源均为电池VBAT，其中VBAT RF 仅为RF域供电，VBATL为芯片所有模块供电。

提示:

- 为避免电池焊接引起的开关过冲，上电GR5405时，需在VBATL引脚与电池之间串联一个电阻（ $0.39\ \Omega \sim 1\ \Omega$ ）。
- 建议为VBATL供电之前通过LDO将电池电压转换为3.3 V。

3.1.1.2 上电时序

GR5405上电时序如下图所示:

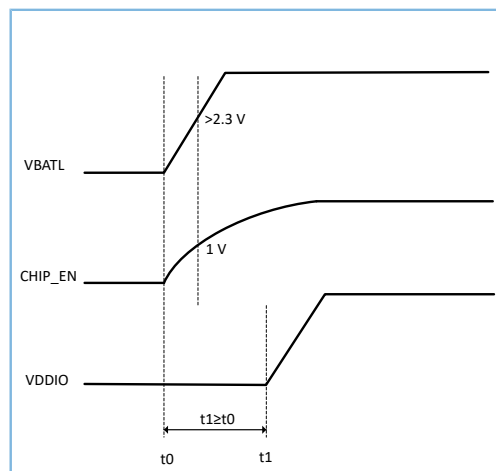


图 3-2 上电时序

说明:

- 芯片上电后，当CHIP_EN达到1 V时，VBATL应高于2.3 V。
- VDDIO不可先于VBATL上电。
- 当GR5405作为从机使用时，不能拉低CHIP_EN后再上电VBATL，否则I/O引脚可能会不受控制而强制输出高电平。

GR5405应用于可充电电池供电的应用时，若搭配使用不带路径管理的Charger，则当电池电压降为0 V（例如，在长期船运或仓储过程中，电池自放电致使电量放完）时，进行再次充电，系统将因无法满足上电时序而不能正常启动。为解决该问题，建议GR5405 0 V充电设计采用以下方案：

- 选择带路径管理的Charger

使用带路径管理Charger时，推荐的电路设计如图 3-3所示。

- 当电池电压为0 V时，Charger可通过USB接口外接充电电源。输入电源通过Qbypass 及 Qrvs路径后，输出电压V_{SYS}为系统供电，同时控制Qswitch输出Vbat为0 V电池充电，从而实现电池充电与系统供电独立管理。
- 充电开始时，V_{SYS}将瞬间升至预设电压，GR5405 VBATL也将瞬间达到工作电压以上。由于CHIP_EN引脚上具有延时电路，可满足上电时序，从而保证系统仍能正常工作。

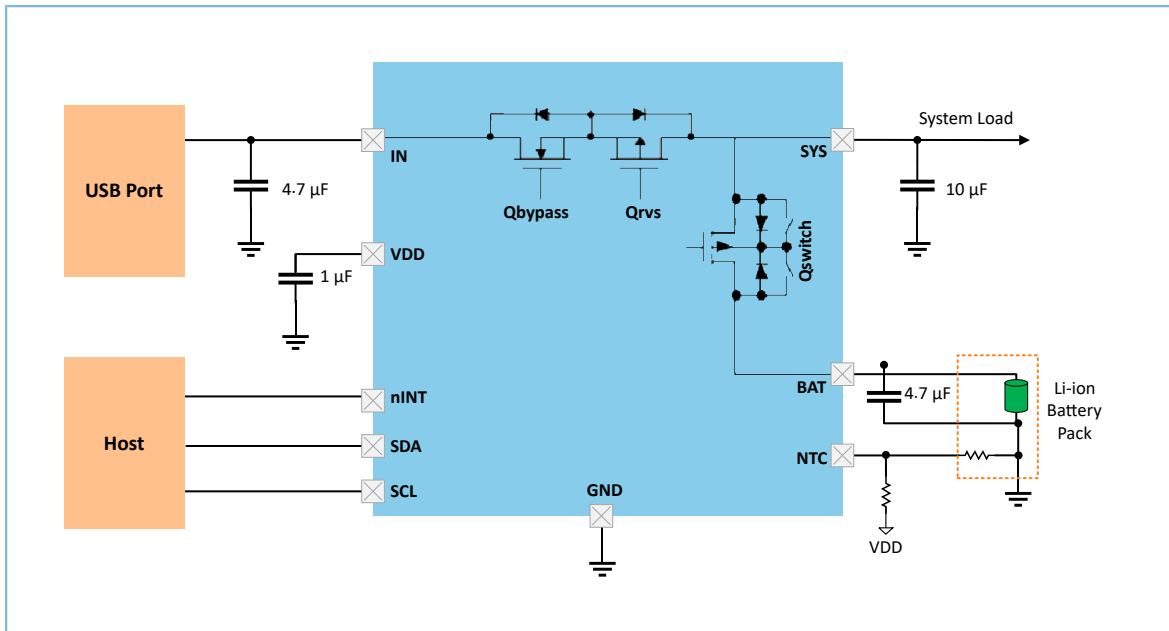


图 3-3 带路径管理的Charger参考电路

- 选择不带路径管理的Charger

使用不带路径管理的Charger时，可通过增加外部电路达到路径管理的目的，如下图所示。

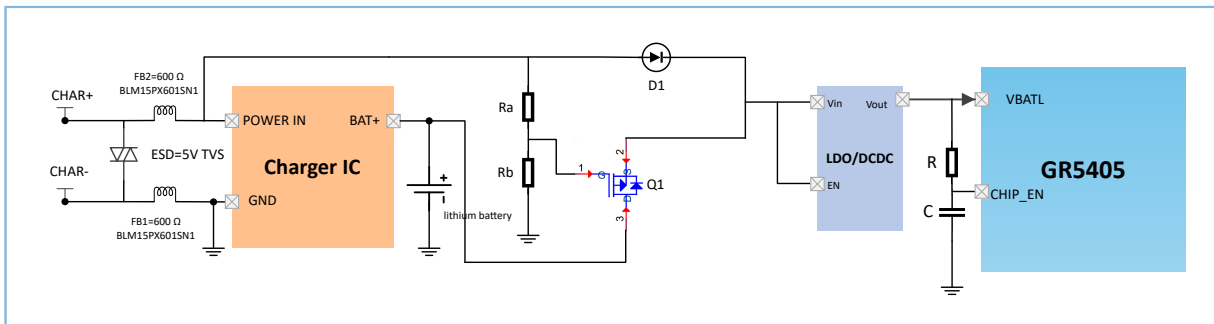


图 3-4 不带路径管理的Charger参考电路

- 未充电时的供电路径

当Charger未充电时，电池通过PMOS管（Q1）的体二极管导通至LDO输入端（Vin引脚），为Q1源极电压（Vs）提供高电压。通过电阻Rb的下拉控制，使得Q1的栅极电压（Vg）为0V，从而使Q1完全导通，由电池为后续系统（如LDO）供电。另外，利用二极管(D1)构成反向防护，以防止漏电。

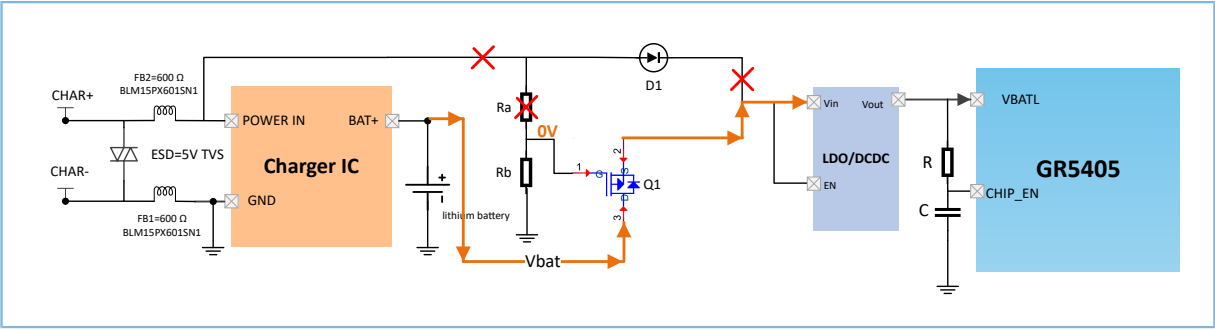


图 3-5 未充电时的供电路径

- 充电或充满电时的供电路径

当Charger充电时，5V USB电源通过二极管D1降压后（假定压降为0.7 V）输出4.3 V为系统LDO供电。Q1的栅极电压（Vg）通过Ra和Rb（典型值：Ra = 4.7 kΩ，Rb = 47 kΩ）分压后为4.54 V；Q1的源极电压（Vs）为4.3 V。在这种情况下，Q1栅极与源极之间的电压差（Vgs）为0.24 V，Q1处于截止状态，电池处于充电状态，不会进入放电状态。

当电池充满电时，Q1源极与漏极之间的电压差（Vsd）为0.1 V，内部的体二极管无法导通，所以Q1仍处于截止状态，使得电池无法给系统供电。系统供电由外部USB电源提供。

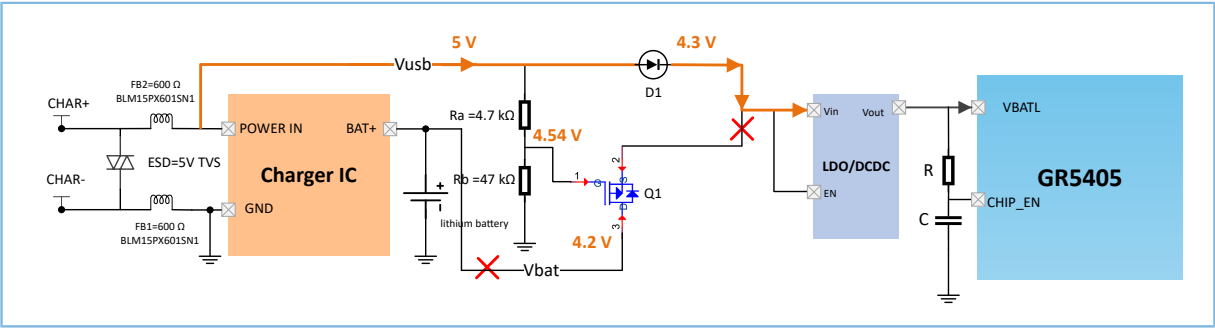


图 3-6 充电或充满电时的供电路径

电压计算参考公式如下：

$$V_g = V_{usb} * R_b / (R_a + R_b) = 4.54 \text{ V}$$

$$V_s = V_{usb} - V_{diode} = 4.3 \text{ V}$$

$$V_d = V_{bat} = 4.2 \text{ V (Max.)}$$

$$V_{gs} = V_g - V_s = 0.24 \text{ V}$$

$$V_{sd} \text{ (Min.)} = V_s - V_d \text{ (Max.)} = 0.1 \text{ V}$$

PMOS管和二极管的选型参考如下：

表 3-1 PMOS管（Q1）推荐规格

器件型号	Vgs(th)	Id	Rds(on) @Vgs = -2.5 V	封装	供应商
CJBB3139K	> -0.35 V（典型值）	-0.66 μA	780 mΩ	DFN1006-3L-A	JSET

器件型号	Vgs(th)	Id	Rds(on) @Vgs = -2.5 V	封装	供应商
NTK3139P	> -0.45 V （典型值）	-1 μ A	520 m Ω	SOT-723	ON Semiconductor

表 3-2 二极管（D1）推荐规格

器件型号	Vf	Ir	封装	供应商
1N4148WT	0.715 V （典型值）	1 μ A @Vr =75 v	SOD-523	DIODES
BAS716	0.77 V （典型值）	5 nA @Vr =75 v	SOT-523	NXP

 提示:

- 根据系统供电要求，选择合适压降的二极管。
- Ra、Rb阻值可根据Q1 参数进行调整。
- USB充电适配器的电流带载能力需大于系统电流与充电电流之和。

3.1.1.3 I/O LDO

GR5405的I/O LDO为AON模块供电，包括AON I/O和数字逻辑模块。此外，它还可可为传感器等外围器件供电，最大负载电流为30 mA。

I/O LDO的电源输出引脚为VIO_LDO_OUT，该引脚需连接一个1 μ F去耦电容。

GR5405的I/O电压域包括三个：VDDIO_0、VDDIO_1两个数字电压域以及一个MSIO数字混合电压域，对应的参考电平分别为VDDIO_0、VDDIO_1、VBATL。

VIO_LDO_OUT与I/O电压域关系如下图所示：

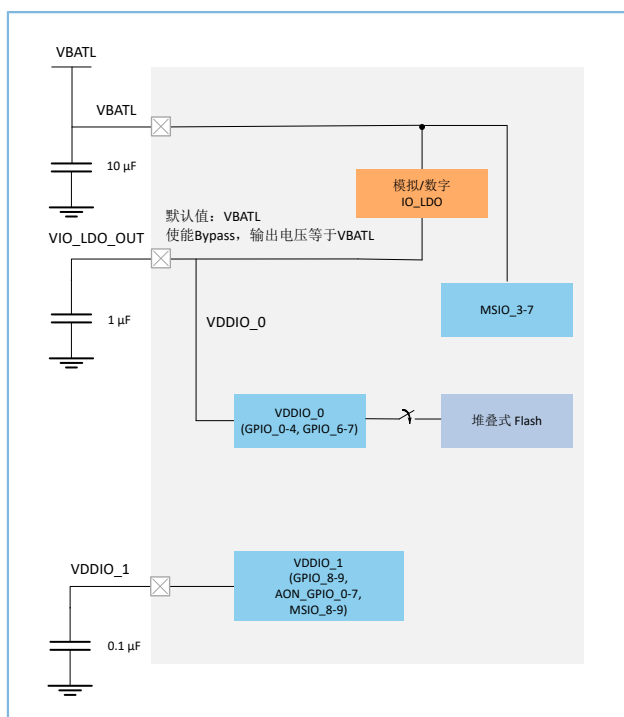


图 3-7 VIO_LDO_OUT与I/O电压域关系示意图

说明:

VDDIO_1电压域为GPIO_8~GPIO_9、AON_GPIO_0~AON_GPIO_7和MSIO_8~MSIO_9供电；VDDIO_0与VIO_LDO_OUT内部相连，为GPIO_0~GPIO_4、GPIO_6~GPIO_7供电；VDDIO_0通过可控开关，为GR5405内部Flash供电。

3.1.1.4 电源电路原理图

GR5405 SoC具备完整的电源管理模块，可保证系统的正常和安全运行，其电源模块的电路设计参考如下图所示。

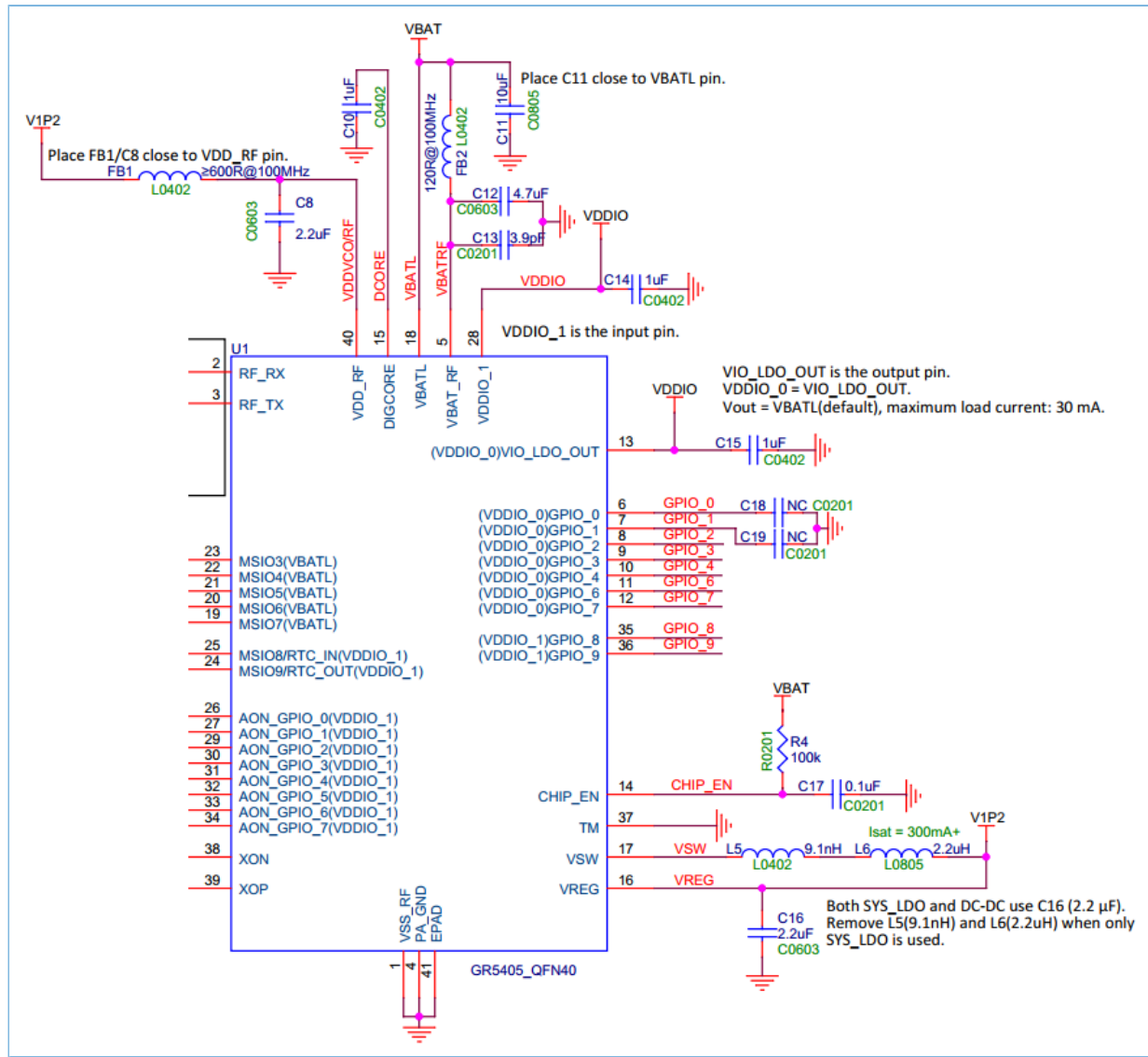


图 3-8 电源原理图

各引脚功能及连接描述如下：

- **VDD_RF**：内部射频部分的供电引脚，连接至DC-DC开关电源的输出电压网络V1P2，并连接一个2.2 μF 去耦电容。
- **DIGCORE**：数字LDO输出引脚，为数字内核逻辑供电。连接一个1 μF 去耦电容。
- **VBATL**：芯片电源输入，电压范围：2.3 V ~ 3.6 V。连接一个10 μF 解耦电容。电源波纹噪声不高于40 mV。
- **VBAT_RF**：连接至VBATL，连接一个4.7 μF 去耦电容，且并联一个3.9 pF电容（此pF电容大小可根据谐波抑制需求进行调整，选择材料的依据为谐波抑制位置阻抗最小），用于滤除高次谐波。
- **VIO_LDO_OUT**：在芯片内部默认与VDDIO0连接在一起，片上VDDIO LDO的输出引脚，为片上Flash供电，同时也可VDDIO引脚和外部传感器供电，默认使能Bypass模式，输出电压等于VBATL，在禁用Bypass模式下最大负载电流为30 mA。连接一个1 μF 去耦电容。

- **VSW:** DC-DC开关电源的输出引脚。连接两个电感（串联）：一个为9.1 nH电感（用于减少开关噪声引起的射频干扰）、另一个为2.2 μ H功率电感，以及一个2.2 μ F电容，组成完整的DC-DC电路，输出V1P2电压为芯片供电。该引脚需通过外部电路连接至VDD_RF引脚。
- **VREG:** DC-DC开关电源输出电压的反馈引脚输出（复用为SYS_LDO输出），连接至V1P2电压网络。
- **VDDIO_1:** I/O1电压域供电引脚，可由VIO_LDO_OUT或者外部电源供电，连接一个1 μ F去耦电容。

 提示:

VIO_LDO_OUT引脚禁止外灌电压。例如，严禁在芯片外部电路直接连接VBATL与VIO_LDO_OUT引脚。当CHIPEN拉低时，若该引脚输入外部电源，则会产生漏电流。

以上使用的电容、磁珠以及电感的元器件选型，可参考表 3-3、表 3-4 和表 3-5。

表 3-3 推荐使用的去耦电容、磁珠器件

位号	描述	值	封装类型 (英制)	推荐器件 (制造商、型号)	备注
C8、C16	CAP、CER、2.2 μ F、10%、 X7S、0603、16 V、-55°C ~ +125°C	2.2 μ F	0603	Murata GRT188C71C225KE13	符合AEC- Q200标准
C10、C14 、C15	CAP、CER、1 μ F、20%、X6S、0201、 10 V、-55°C ~ +105°C	1 μ F	0201	Murata GRT033C81A105ME13	
C11	CAP、CER、10 μ F、20%、 X6S、0603、10 V、-55°C ~ +105°C	10 μ F	0603	Murata GRT188C81A106ME13	
C12	CAP、CER、4.7 μ F、20%、X7S、 0603、16 V、-55°C ~ +125°C	4.7 μ F	0603	Murata GRT188C71C475KE13	
C13	CAP、CER、3.9 pF、+/-0.1 pF、 COG、0201、50 V、-55°C ~ +125°C	3.9 pF	0201	Murata GCQ0335C1H3R9BB01	
C17	CAP、CER、0.1 μ F、20%、 X6S、0201、10 V、-55°C ~ +105°C	0.1 μ F	0201	Murata GRT033C81A104KE01	
FB1	Ferrite Bead、1000 ohm @ 100 MHz、 350 mA、490 mohm、0402	1000 Ω @ 100 MHz	0402	Murata BLM15AX102SZ1	
FB2	Ferrite Bead、120 ohm @ 100 MHz、 200 mA、500 mohm、0201	120 Ω @ 100 MHz	0201	Murata BLM03AG121SZ1	

 提示:

在Layout限制导致DC-DC纹波异常增大的情况下，可通过更改VDD_RF滤波磁珠（FB1）物料优化DC-DC纹波对RF特性的影响。推荐选择直流电阻（DCR）在0.5 ohm ~ 1.5 ohm范围内的 ≥ 600 ohm @100 MHz物料。DCR小于0.5 ohm的磁珠对DC-DC纹波抑制效果较弱，而DCR大于2 ohm的磁珠会产生压降，从而降低SPA输出功率。

表 3-4 推荐使用的9.1 nH电感器件

位号	值	DC电阻 (最大值)	饱和电流	长 x 宽 x 高 (mm)	推荐器件 (制造商、型号)	备注
L5	9.1 nH	0.7 Ω	250 mA	0.6 x 0.3 x 0.3	Murata LQP03TN9N1JZ2	符合AEC- Q200标准
		0.26 Ω	500 mA	1.0 x 0.5 x 0.5	Murata LQG15HZ9N1J02D	
		0.4 Ω	300 mA	1.0 x 0.5 x 0.5	Sunlord ASDCL1005C9N1J	

表 3-5 推荐使用的2.2 μ H电感器件

位号	值	DC电阻 (典型值)	饱和电流	长 x 宽 x 高 (mm)	推荐器件 (制造商、型号)	备注
L6	2.2 μ H $\pm$ 20%	0.38 Ω	300 mA	1.6 x 0.8 x 0.8	Murata LQM18PZ2R2MFH	符合AEC- Q200标准
		0.32 Ω	880 mA	2.0 x 1.25 x 1.25	Murata LQM21PZ2R2MGE	
		0.19 Ω	1.1 A	2.0 x 1.6 x 1.0	Sunlord AS1A2016102R2MT	
		0.19 Ω	400 mA	2.0 x 1.25 x 1.25	Chilisin AKPB002012102R2M	
		0.41 Ω	1.05 A	1.75 x 1.05 x 1.0	Scientic SDHK1608HB2R2MTV01	

提示:

- 2.2 μ H功率电感用于PSM模式（Pulse Skip Mode）的DC-DC Buck电路，且对整个DC-DC电路至关重要，其饱和电流（电感标称值下降30%时的电流值）需大于等于300 mA。为保证系统安全运行和提升GR5405性能，建议优先选择具有高饱和电流与低直流电阻的电感。
- 若系统采用SYS_LDO供电，电源电路可移除9.1 nH和2.2 μ H电感。
- 在整机系统中存在磁铁靠近 DC-DC 电感的场景下，建议选择Scientic的全磁屏蔽电感（SDHK1608HB2R2MTV01），以减小外部磁场对电感量的影响。

3.1.2 时钟

3.1.2.1 简介

GR5405的系统时钟源由外部32 MHz晶振产生，实时时钟源由外部的32.768 kHz晶振提供。

3.1.2.2 HFXO_32M

系统时钟（或称CUP时钟），由外部32 MHz晶振提供。该晶振与芯片的XO_IN与XO_OUT引脚相连。

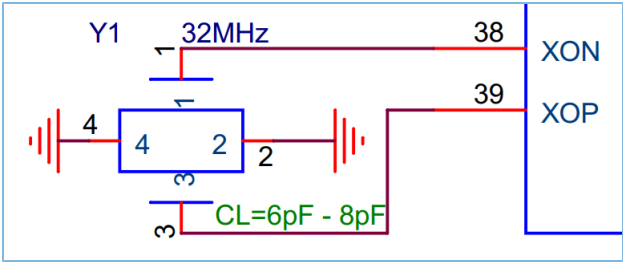


图 3-9 外部32 MHz晶振与芯片连接示意图

32 MHz晶振的规格参数要求参见表 3-6，元器件选型参见表 3-7。

表 3-6 32 MHz晶振规格参数

参数	描述	最小值	典型值	最大值	单位
Crystal Freq	晶振频率		32		MHz
ESR	等效串联电阻			100	Ohm
C _{load}	负载电容	6		8	pF
f-Xtal	晶振频率初始容差			±50	ppm
f-Xtal	晶振频率容差（随温度变化）			±30	ppm
f-Xtal	晶振频率容差（随产品使用年限变化）			±10	ppm
P _{DRV}	最大驱动功率			100	μW

表 3-7 推荐使用的32 MHz晶振

器件型号	FAITH LONG CRYSTAL 2Y32000001	FAITH LONG CRYSTAL 9Y32000003	Murata XRCGB32M000FBCBAR0	ABRACON ABM10AIG-32MHz-8- R50-2X	ECS INC ECS-320-8-37BQ- JHS-TR
频率	32 MHz	32 MHz	32 MHz	32 MHz	32 MHz
初始容差	±10 ppm	±10 ppm	±15 ppm	±20 ppm	±20 ppm
随温度变化后容差	±40 ppm	±40 ppm	±30 ppm	±20 ppm	±25 ppm
负载电容	6 pF	6 pF	6 pF	8 pF	8 pF
ESR	≤ 60 Ω	≤ 60 Ω	≤ 70 Ω	≤ 50 Ω	≤ 50 Ω
温度	- 40℃ ~ +105℃	- 40℃ ~ +105℃	- 40℃ ~ +105℃	- 40℃ ~ +125℃	- 40℃ ~ +125℃
长 x 宽 x 高 (mm)	2.5 x 2.0 x 0.6	2.0 x 1.6 x 0.5	2.0 x 1.6 x 0.5	2.5 x 2.0 x 0.55	2.0 x 1.6 x 0.45
备注	符合AEC-Q200标准				

说明:

- 32 MHz晶振负载电容参数要求必须为6 pF~ 8 pF，否则会影响系统的稳定性和晶振校准。
- 32 MHz晶振无需外接负载电容，但需要使用量产工具进行频率偏移校准。
- 应用电路需为量产工具预留接口或测试点，包括必须的SWDCLK、SWDIO、CLK_TRIM（除MSIO外的任意GPIO）、GND、VBAT以及可选的MSIO_7。

3.1.2.3 LFXO_32K

GR5405在睡眠模式下采用低功耗、低频时钟，有助于延长电池使用寿命。建议GR5405采用外部32.768 kHz晶振，可提供更高的时钟精度，从而降低系统的整体功耗。

说明:

如果对实时时钟精度要求不高，可使用内部LFRC_32K时钟，以节省成本。

GR5405内嵌了一个可调节的负载电容。因此，通常情况下该晶振可直接连接至芯片的RTC_IN与RTC_OUT引脚，而无需外接负载电容。

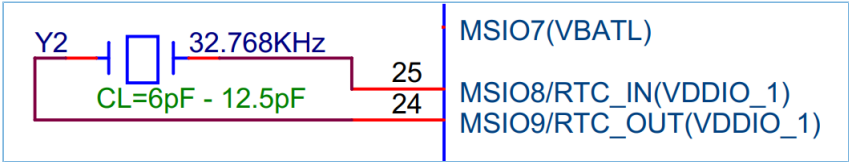


图 3-10 外部32.768 kHz晶振连接示意图

32.768 kHz晶振的规格参数要求参见表 3-8；元器件选型参见表 3-9。

表 3-8 32.768 kHz晶振规格参数

参数	说明	条件	最小值	典型值	最大值	单位
Crystal Freq	晶振频率	-	-	32.768		kHz
ESR	等效串联电阻	-	-	-	100,000	Ohm
C _{load}	负载电容	-	6	-	12.5	pF
f-Xtal	晶振频率初始容差	-		-	±50	ppm
f-Xtal	晶振频率容差（随温度和芯片使用年限变化）	-		-	±250	ppm
P _{DRV}	最大驱动功率	-	-	-	0.5	μW

表 3-9 32.768 kHz晶振规格（推荐使用）

器件型号	ABRACON ABS07AIG-32.768KHZ-9-T	FAITH LONG CRYSTAL 3YQ3270001
频率	32.768 kHz	32.768 kHz
初始容差	±20 ppm	±20 ppm
随温度变化后容差	- 0.036ppm/T²	- 0.036ppm/T²

负载电容	9 pF	9 pF
ESR	80 kohms	70 kohms
温度	- 40°C ~ +125°C	- 40°C ~ +125°C
长 x 宽 x 高（mm）	3.2 x 1.5 x 0.9	3.2 x 1.5 x 0.8
备注	符合AEC-Q200标准	

说明:

32.768 kHz晶振负载电容参数要求必须为6 pF~ 12.5 pF，否则会影响系统的稳定性和晶振校准。

3.1.3 射频

3.1.3.1 简介

GR5405集成了2.4 GHz射频收发机，其主要工作原理描述如下：

- 接收机
 1. 天线接收到射频信号后，按照“低噪声放大器（Low Noise Amplifier，LNA）→ 混频器（Mixer）→ 基带（Baseband，BB）放大器 → 模数转换器（Analog-to-Digital Converter，ADC）” 的接收路径处理并输出数字信号。
 2. 数字信号被发送至数字前端进行解调。
 3. 数字前端提供自动增益控制（Automatic Gain Control，AGC）反馈信号，调整LNA和BB放大器的增益，以实现满足要求的最大信噪比（SNR）。
- 发射机
 1. 数字前端将数字信号传输给锁相环（SX PLL）进行高频键控（GFSK）调制。
 2. 调制载波经过Buffer发送至功率放大器（Power Amplifier，PA）进行功率放大处理，且放大系数可由数字增益配置。
 3. 功率放大后的调制载波被发送至天线，再由天线载波通过电磁波向外辐射。

GR5405收发机的功能框图如下所示：

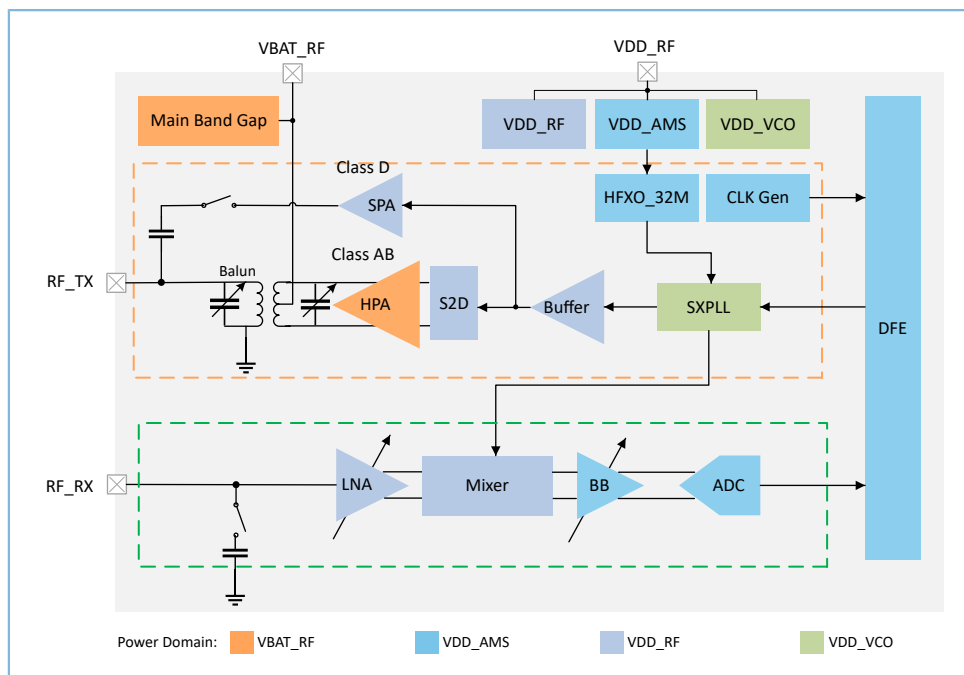


图 3-11 收发机框图

说明:

- GR5405 PA 可选用高功率放大器（HPA）和小功率放大器（SPA），以满足不同的发射功率需求。其中，HPA 支持 -10 dBm ~ 15 dBm 的发射功率；SPA 支持 -20 dBm ~ 5 dBm 的发射功率。
- SXPLL 参考时钟由 HFXO_32M 时钟提供。

3.1.3.2 射频电路原理图

GR5405 最小系统中射频模块的电路原理图如下所示:

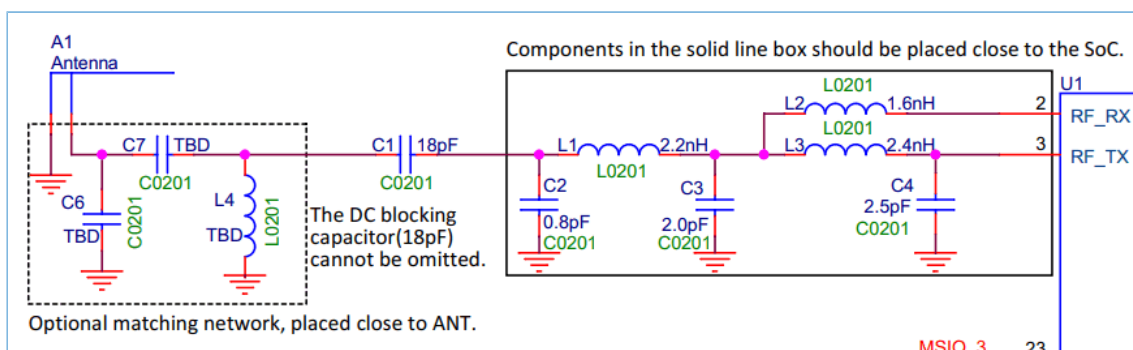


图 3-12 射频电路原理图

建议在 RF TRX 路径（从 RF_RX/RF_TX 引脚至天线）上插入两个匹配网络，以实现 PA 输出阻抗与天线阻抗的匹配。

- 天线匹配网络

电路左侧的 PI 型匹配网络（由电感 L4、电容 C6、C7 组成）用于匹配天线阻抗。该匹配网络中各元件的值可根据实际使用的天线调整。建议采用成熟的天线方案和天线厂商提供的推荐参数。

• 芯片匹配网络

电路右侧的PI型匹配网络（由电感L1、L2、L3和电容C2、C3、C4、C5组成）用于将GR5405芯片的PA输出阻抗变换为50 ohm传输线阻抗。

说明:

C1（18 pF）为隔直电容，不能省略。

GR5405 RF匹配电路中使用的电容与电感的器件选型详见下表。

表 3-10 射频电路推荐使用器件

符号	描述	值	封装 (英制)	推荐器件 (制造商、型号)	备注
C1	CAP、CER、18 pF、+/-5%、COG、0201、50 V、- 55°C ~ +125°C	18 pF	0201	Murata GCQ0335C1H180JB01	符合AEC-Q200标准
C2	CAP、CER、0.8 pF、+/-0.05 pF、COG、0201、50 V、- 55°C ~ +125°C	0.8 pF	0201	Murata GCQ0335C1HR80WB01	
C3	CAP、CER、2.0 pF、+/-0.1 pF、COG、0201、50 V、- 55°C ~ +125°C	2.0 pF	0201	Murata GCQ0335C1H2R0BB01	
C4	CAP、CER、2.5 pF、+/-0.1 pF、COG、0201、50 V、- 55°C ~ +125°C	2.5 pF	0201	Murata GCQ0335C1H2R5BB01	
L1	Inductor、CHIP、2.2 nH、±0.1 nH、200 mohm、Q = 14 @ 500 MHz、- 55°C ~ +125°C、0201	2.2 nH	0201	Murata LQP03TN2N2BZ2	
L2	Inductor、CHIP、1.6 nH、±0.1 nH、150 mohm、Q = 14 @ 500 MHz、- 55°C ~ +125°C、0201	1.6 nH	0201	Murata LQP03TN1N6BZ2	
L3	Inductor、CHIP、2.4 nH、±0.1 nH、200 mohm、Q = 14 @ 500 MHz、- 55°C ~ +125°C、0201	2.4 nH	0201	Murata LQP03TN2N4BZ2	

3.1.4 I/O引脚

GR5405提供软件可配置的I/O引脚复用功能，不同外设可复用在不同引脚上。当I/O引脚被配置为GPIO时，可设置为输入或输出，并可配置上拉或下拉电阻。当系统进入Sleep或Ultra Deep Sleep模式时，I/O引脚会保持其最后状态。仅AON_GPIO引脚可用于将系统从睡眠模式唤醒。

说明:

- 当系统进入睡眠模式后，所有I/O引脚的输出电平将保持。在睡眠状态下，若I/O引脚设置为输入模式，则外部电平需为确定的高电平（即外部电压等于对应I/O电源域电压）或低电平（0V）。其他电压状态可能会产生漏电，导致睡眠功耗过高。
- MSIO_3~MSIO_9引脚状态默认为高阻。
- 除MSIO_3~MSIO_9外，I/O引脚默认状态为输入下拉。
- 除MSIO_3~MSIO_9外，所有I/O引脚均可配置为高电平/低电平/上升沿/下降沿/上升下降沿触发。
- 所有I/O引脚均支持4档可配置的输出驱动能力，并支持两种斜率设置：当需关注传输速率或时序时，应采用快斜率；当需降低开关噪音时，应采用慢斜率。
- 各I/O引脚可单独复用为各外设功能，实现灵活布局。
- 所有I/O引脚以及VIO_LDO_OUT/VDDIO_1引脚的输入电压均不能高于VBATL电压。
- MSIO_7除了I/O功能，还可复用为芯片eFuse写入功能。但在VBATL无电压和CHIP_EN拉低时，严禁向MSIO_7外灌电压。

3.1.5 串行调试接口

GR5405支持串行调试（Serial Wire Debug，SWD）接口，可外接J-Link仿真器进行调试。SWD接口对应的芯片引脚如下表所示。

表 3-11 SWDIO和SWCLK对应的芯片引脚

SWD接口	引脚
SWD_CLK	GPIO_0（Pin 6）
SWD_IO	GPIO_1（Pin 7）

未使用SWD接口时，上述引脚可复用为GPIO引脚。

3.2 PCB Layout设计指南

3.2.1 PCB叠层

GR5405系列芯片的PCB设计建议采用四层板，推荐的叠层结构（板厚1.6 mm）如下图所示。

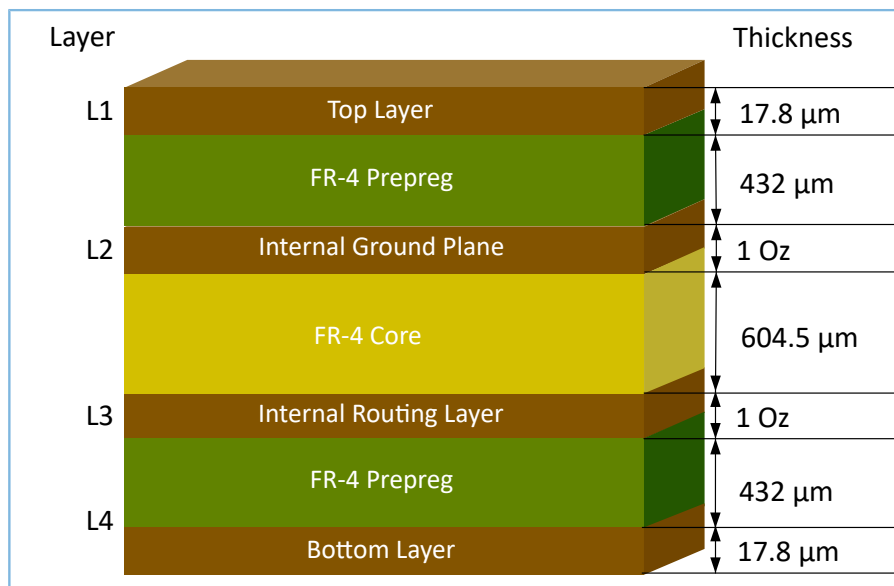


图 3-13 PCB推荐叠层结构

- 第一层L1：顶层，主要用于放置元器件、走RF传输线及关键信号线。
- 第二层L2：地平面层，既用于接地返回路径，也作为50 Ω 射频传输线的参考地平面。
- 第三层L3：内部布线层，用于分隔各电源域，并铺设少量信号线。
- 第四层L4：底层，建议保持完整的GND平面。

3.2.2 元器件布局

所有高频信号器件的布局应尽可能紧凑，有利于防止走线之间的交叉耦合，并将对系统工作产生负面影响的寄生效应降到最低。

PCB整体布局时需考虑：根据产品结构情况，应尽可能将GR5405置于靠近天线接口位置；射频走线下方应无任何元器件和走线，并应优先保证射频器件的布局和走线。

3.2.3 电源

电源对于确保芯片正常运行至关重要。因此，设计PCB时，需特别关注关键电源部分的布局与走线，包括DC-DC开关电源和RF输入电源。为避免不当的电源设计导致的系统级问题，如ESD保护性能不佳和辐射超标等，需遵循以下设计要求。

3.2.3.1 DC-DC开关电源

GR5405系列芯片内置DC-DC开关电源，其PCB布局需满足以下设计要求：

1. 减小DC-DC输入/输出环路的大小对于确保DC-DC的输出电源质量至关重要。因此，应保证DC-DC输入电容C11（10 μF ）尽量靠近VBATL引脚，DC-DC输出电容C16（2.2 μF ）的GND靠近C11（10 μF ）电容的GND，并在输入/输出电容的GND焊盘周围就近打地过孔，使输入/输出电容的GND焊盘以最短路径返回至芯片EPAD（DC-DC GND引脚封装在芯片内部，并通过Bonding方式与EPAD连接）投影区域，实现最小DC-DC输入/输出环路。

2. DC-DC电源输出外围器件（9.1 nH电感、2.2 μ H电感、和2.2 μ F电容）应尽可能靠近芯片VSW和VREG引脚，建议距离不超过3 mm。
3. DC-DC电源输出VSW在未经过电感之前干扰较强（主要影响V1P2和DIGCORE电源），要求VSW走线与其它网络的间距 ≥ 0.2 mm，且VSW走线下方不能有其他走线。
4. VREG引脚上的电源走线应先经过DC-DC输出电容，再流入VREG引脚。
5. 将VDDIO_1引脚直接连接至VBAT引脚，可省略VIO_LDO_OUT引脚到VDDIO_1引脚的走线，从而降低布局难度。

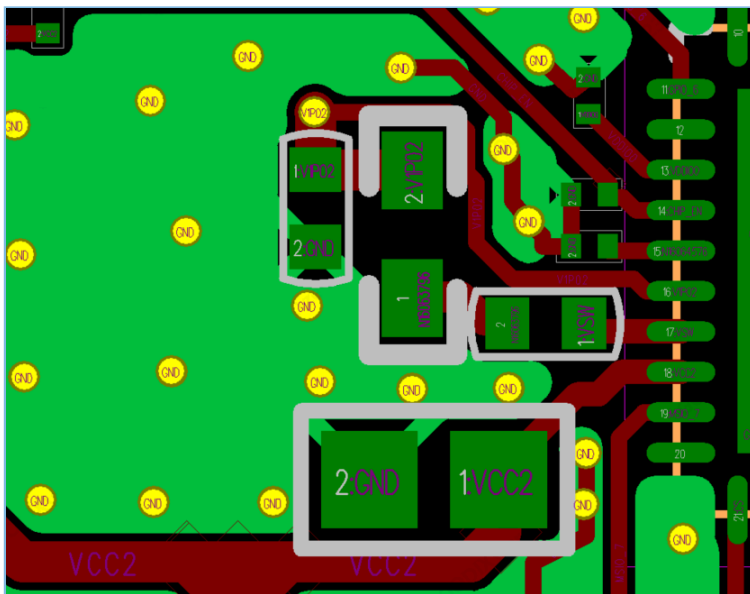


图 3-14 DC-DC电源参考布局和走线

3.2.3.2 RF输入电源

RF输入电源部分的PCB layout设计应遵循以下指导原则，以确保最佳性能，避免辐射超标。

1. RF输入电源VDD_RF、VBAT_RF的去耦电容都应尽可能地靠近芯片的对应引脚，并建议间距为1 mm，最大不超过3 mm。电容与芯片应尽量放置在同一层，且电源走线需先经过电容再到芯片电源引脚。如果电容与芯片未放置在同一层，则需通过过孔连接，且在去耦电容接地脚附近打孔。
2. 电源走线应尽量短，线宽要求0.2 mm以上，并与其它网络的间距不得小于0.2 mm。
3. 建议V1P2网络走线直接穿过芯片底部EPAD（GND）在其走线层上的投影区域。假设芯片放置在L1层，则：对于双层板设计，V1P2网络走线应穿过L2层上的EPAD投影区域；对于4层板设计，V1P2网络走线应穿过L3层上的EPAD投影区域，如下图所示。另外，注意走线不能太靠近RF引脚附近的GND区域。

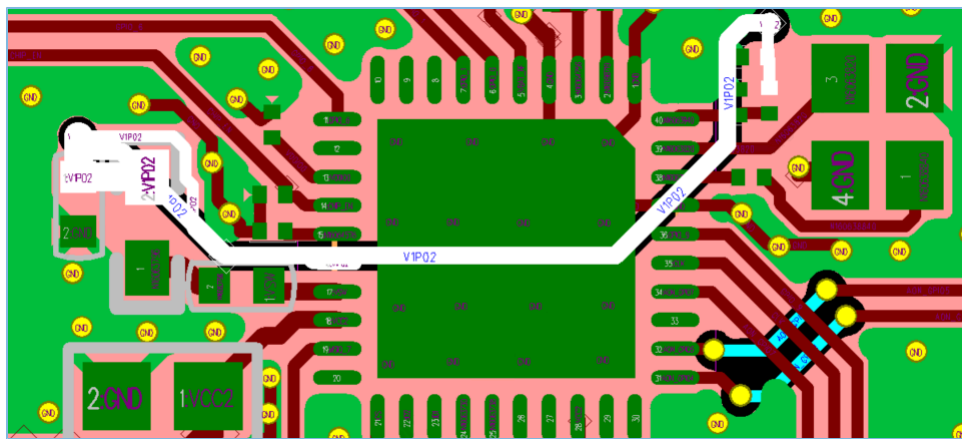


图 3-15 RF输入电源参考布局和走线

3.2.4 时钟

晶振应尽可能地放置于芯片对应引脚附近，且间距建议不超过4 mm，以最大限度地减少输入引脚上的额外容性负载，并降低晶振与其他信号串扰和干扰的可能性。32 MHz晶振走线应尽可能包地处理。

以四层板为例，若晶振下方有完整地平面且无其他干扰信号，可在晶振焊盘正下方进行开窗处理，以减小焊盘寄生电容，如图 3-17所示。

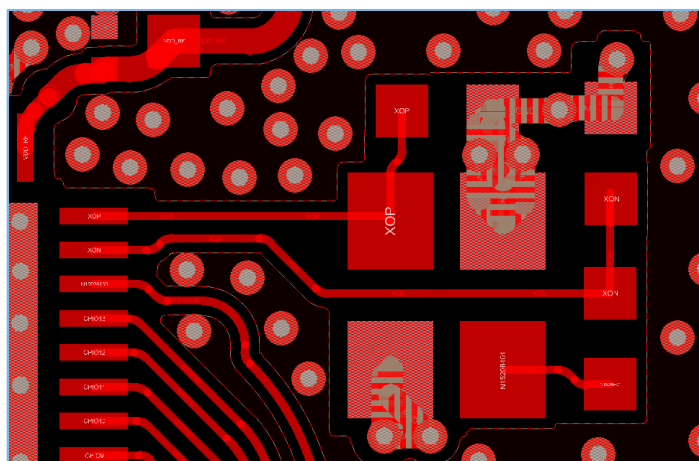


图 3-16 参考时钟布局

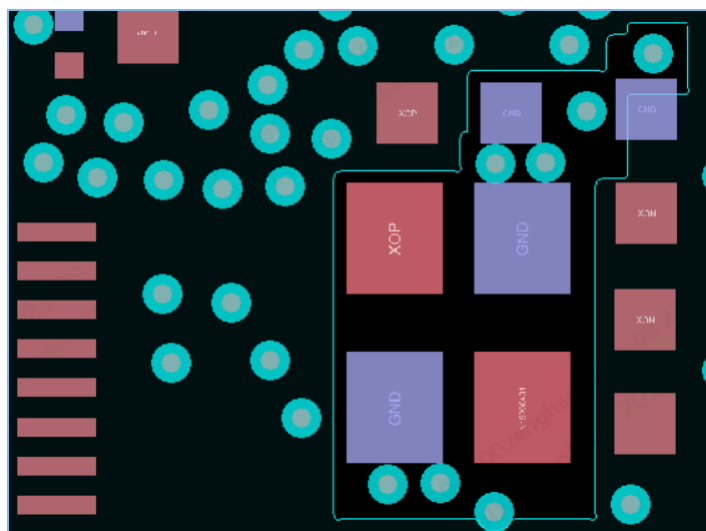


图 3-17 晶振焊盘下方开窗（四层板）

3.2.5 射频端口

射频（RF）端口与天线的射频传输线特性阻抗要求为 $50\ \Omega$ ，但由于RF端口阻抗并非 $50\ \Omega$ ，因此需使用一个匹配网络来实现RF端口与 $50\ \Omega$ 传输线之间的阻抗匹配。

匹配网络中的元器件应尽可能地靠近RF引脚（即RF_RX与RF_TX），并将匹配网络的第一个元器件放置在离RF引脚不超过1 mm的位置。

射频端口的PCB布局设计，请参考下图。

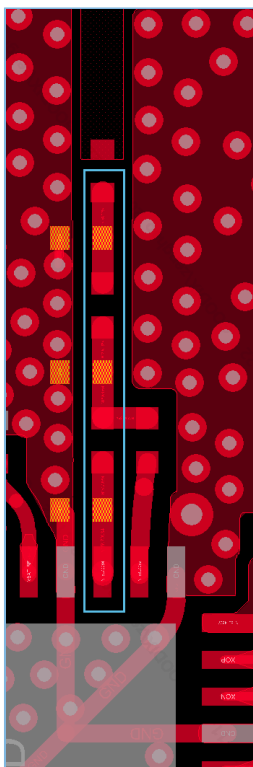


图 3-18 射频端口PCB布局

说明:

- RF走线应尽可能短而直。若结构限制需要转弯，则转角处要求倒圆弧，禁止出现直角或小于90°夹角走线。
- RF器件应尽可能地放置在同一层，且在表面层（顶层或底层）走线，并避免走线存在分支。

以4层板设计为例，射频走线采用以L2地层作为参考平面的微带传输线，其相关尺寸参数为：

- 走线宽度：559 μm
- 走线与顶层的间距：178 μm
- 顶层与L2层的间距：432 μm

上述PCB采用FR-4材质，顶层走线的铜箔厚度为0.5盎司。在实际设计中，射频走线需要要求PCB厂商做50欧（+/- 10%）阻抗控制。

另外，沿传输线每隔1.25 mm放置一个接地过孔，并紧邻匹配元器件的接地焊盘。

在靠近天线馈电点位置布局天线的匹配器件，便于进行天线匹配。

3.2.6 RSE认证设计建议

通常板级辐射干扰会影响RSE认证成功与否。辐射来源包括：芯片封装及晶元、PCB板、天线。其中，主要辐射由PCB板上的电流路径产生。

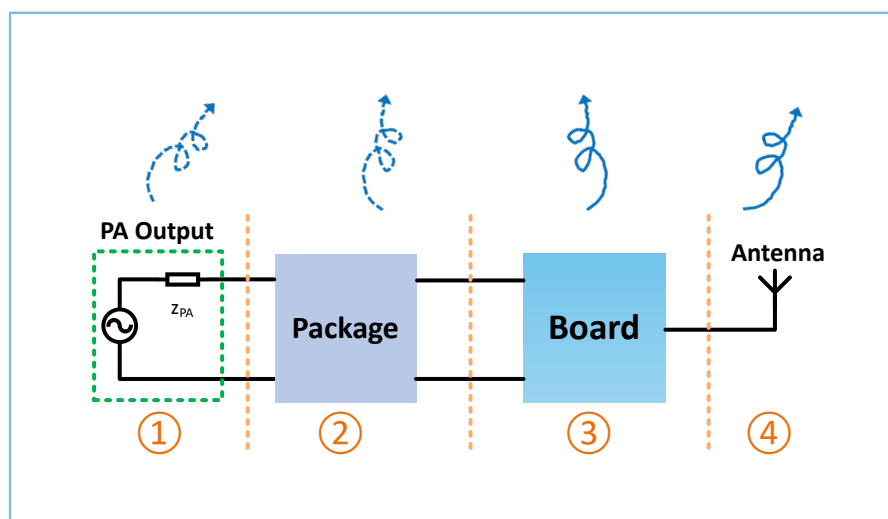


图 3-19 GR5405射频干扰辐射分布图

为提升RF性能，减少PCB板辐射，建议RF端口的布局/走线应遵循：

- RF匹配器件的布局应优先保证与RF_TX引脚在一条直线上，并严格遵从匹配器件顺序依次布局，如图3-18所示（蓝色框标注部分）。
- RF匹配电路中的第一个对地电容及串联电感需尽可能靠近芯片引脚，以限制谐波电流扩散。
- 在RF TRX线路靠近敷铜层边沿（回流路径）处放置过孔，过孔间距 $\leq 1.5\text{mm}$ 。
- 第一个对地电容的接地点附近需放置过孔，以限制电流在顶层铜皮扩散。

- 匹配电容器件的GND焊盘朝向应尽量一致，并建议朝向RF_TX引脚。
- VBAT_RF/VDD_RF网络中的去耦电容应尽可能地靠近芯片对应引脚，有助于减小辐射。
- 如图 3-18所示，在RF端口区域，VBAT_RF/VDD_RF以及RF_TRX 网络走线的下方不能有任何走线，需保持完整的参考地平面，有助于减小辐射。
- 从VREG网络到VDD_RF 引脚的走线，需注意避免穿过RF走线参考层，而建议直接从芯片EPAD投影区域穿过，如图 3-15所示。
- 靠近RF_TX引脚的GPIO走线应在引出一段走线后再打孔穿层，避免直接在芯片GPIO引脚封装边缘打孔扇出。GPIO0/1预留的滤波电容建议和芯片同层放置。
- RF匹配器件之间的走线不属于传输线，因为其长度远小于波长，走线宽度应尽量与匹配器件焊盘宽度一致。经过RF匹配网络变换之后的RF传输线需确保50 Ω 传输线特性阻抗。
- VSS_RF、PA_GND引脚与芯片底部的EPAD应在同层直接相连。
- 推荐PCB设计采用四层板：保证L2层RF参考地的完整性；GPIO和电源走线应尽量布在第三层；底层采用完整的GND平面，有助于减小辐射。若PCB采用双层板，则建议板厚 ≤ 0.8 mm；保证底层芯片EPAD和RF走线区域的GND平面的完整性；顶层预留屏蔽罩位置，用于RSE认证调试。
- 在PCB边缘，沿着板框内缩的区域放置一圈GND过孔，并建议过孔间距不小于 10次谐波波长的1/10，通常为40 mil $\sim$ 50 mil。

3.3 系统ESD防护设计

3.3.1 系统级ESD设计要求

系统级ESD设计在任何电路中都至关重要，工程师在原理图、PCB和产品设计方面须要遵循以下设计规则。

3.3.1.1 原理图设计

如3.1.1 电源所述，GR5405芯片采用单独的外部LDO供电。

为抑制静电，建议将充电接口（CHAR+、CHAR-）分别串联磁珠，并在两个磁珠之间连接TVS管，以增强静电保护能力，如下图所示。

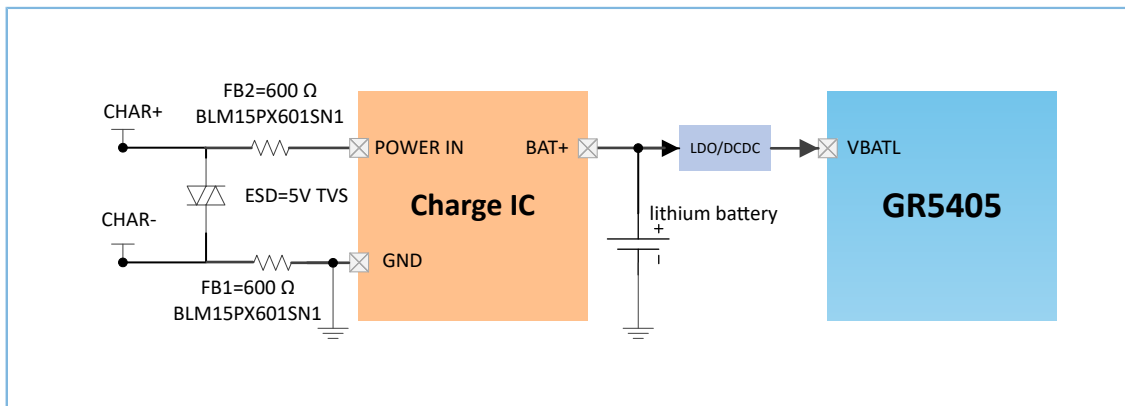


图 3-20 电源充电接口ESD处理

TVS管和磁珠选型要求和推荐型号如下表所示：

表 3-12 TVS管选型要求

参数	说明	最小值	典型值	最大值
V_{RWM} (V)	反向关断电压	-	5 V	-
V_{BR} (V)	击穿电压	-	7 V	-
V_{clamp} (V)	钳位电压	-	6 V	-
V_{ESD} (kV)	抗ESD能力	- 接触放电：±10 kV - 空气放电：±12 kV		-

表 3-13 磁珠选型要求

参数	说明	最小值	典型值	最大值
FB (Ω)	100 MHz下的阻抗值	-	600 Ω	-
$I_{额定电流}$ (mA)	额定工作电流	-	900 mA	-
$R_{DC最大电阻}$ (m Ω)	直流最大电阻	-	230 m Ω	-

表 3-14 TVS管选型推荐型号

推荐型号	V_{RWM} (V)	V_{BR} (V)	V_{clamp} (V)	工作温度	V_{ESD} (kV)	封装	品牌
AZ5C25-01B	5	9	6	-55°C ~ 85°C	- 接触放电：±13 kV - 空气放电：±16 kV	0201	Amazing Micro.
OVE38E32S1M	6.5	7	10	-55°C ~ 85°C	- 接触放电：±25 kV - 空气放电：±25 kV	0402	OVREG

表 3-15 磁珠选型推荐型号

推荐型号	阻抗@100 MHz	额定电流	DC最大电阻	工作温度	封装	品牌
BLM15PX601SN1	600 Ω	900 mA	230 m Ω	-55°C ~ 125°C	0402	Murata
WLBD1005HCU601TL	600 Ω	900 mA	230 m Ω	-55°C ~ 125°C	0402	Walsin

对于金属外壳的产品，应在金属外壳地与主板地之间连接磁珠，避免静电干扰直接进入主板。

3.3.1.2 PCB布局设计

1. GR5405 PCB GND布局设计建议：

- 建议采用四层及以上PCB设计。GR5405芯片邻层为完整的GND层，完整可靠的接地层有利于静电的快速泄放。
- 输入电容（10 μ F）接地脚应尽可能地靠近VSS_BUCK GND引脚。VSS_BUCK GND引脚应通过过孔（就近打至少2个过孔）在其它层与EPAD相连，且该引脚到地的走线线宽应至少0.25 mm，以减小电源/GND回路阻抗。

- GR5405的ESD敏感点主要位于晶振和VDD_RF引脚附近。因此，晶振布局和VDD_RF走线不能靠近PCB板边缘，并建议晶振和VDD_RF走线做包地处理。VDD_RF引脚处的去耦电容和磁珠应尽量靠近芯片引脚放置。

2. 充电接口触点PAD布局及设计要求：

- 建议充电接口（CHAR+、CHAR-）的触点PAD与GR5405芯片布局不同层。若充电接口触点PAD与芯片布局在同一层，则要求其于芯片的间距应大于4 mm。

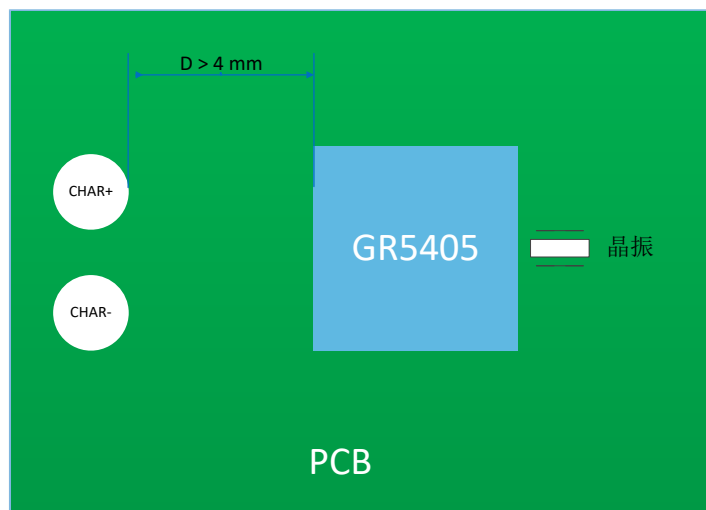


图 3-21 充电接口触点PAD与芯片间距示意图

- 请勿将充电接口触点PAD放置在ESD敏感信号（包括时钟、复位、通信信号）与晶振附近。并且，这些ESD敏感信号应进行包地处理。

3. 去耦电容应紧靠GR5405芯片的电源引脚放置，以确保电源返回路径最短，增强滤波效果。

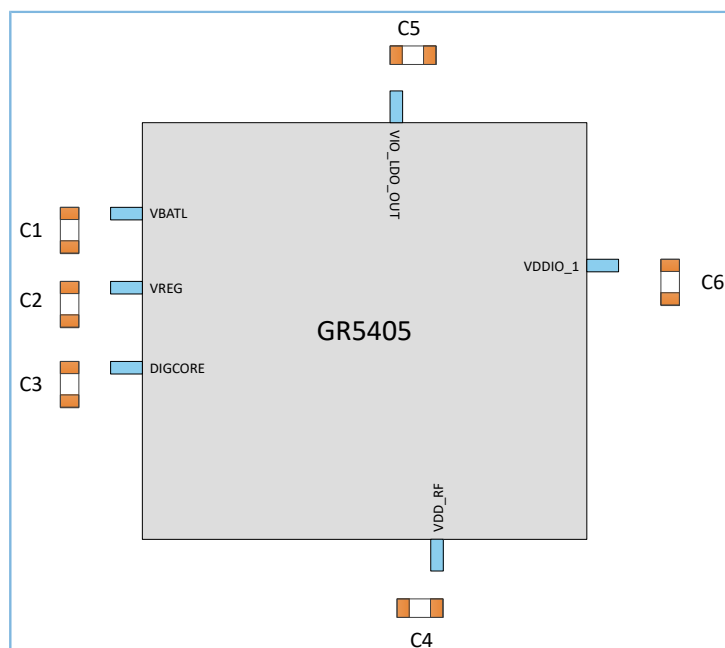


图 3-22 电源去耦电容布局示意图

4. 由于I/O引脚易受静电干扰影响，建议通信信号网络尽量布局在PCB中间层并用GND屏蔽，且易受干扰的时钟、复位等信号请勿靠近PCB板边缘走线，并建议做包地处理。

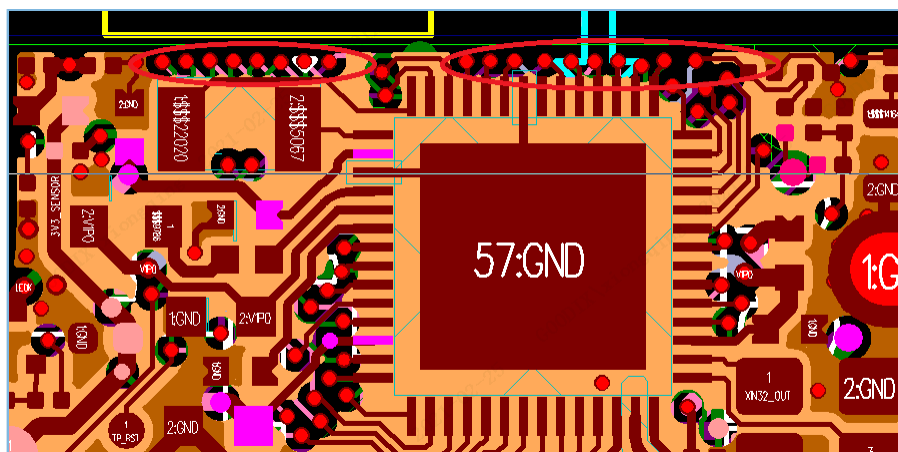


图 3-23 错误的IO走线处理（未包地）

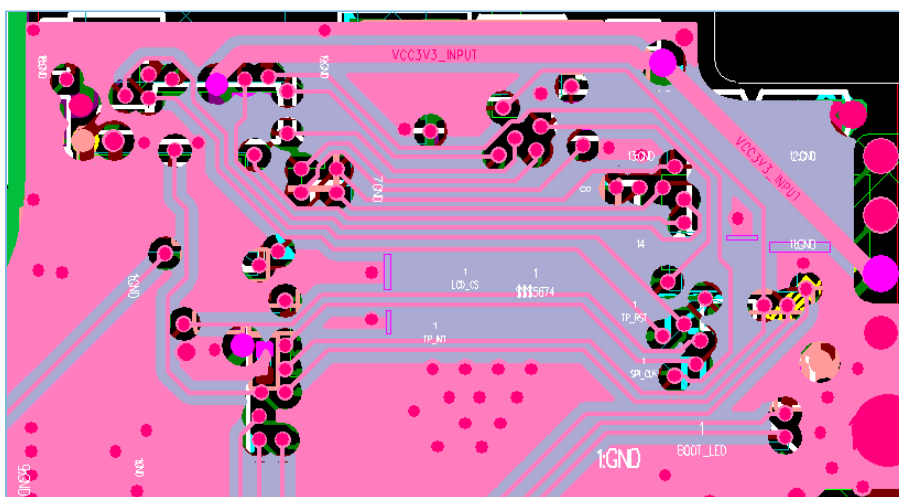


图 3-24 正确的IO走线处理

5. 电容或ESD防护器件等的走线需贯穿焊盘，避免通过长引线连接到焊盘，导致滤波或防护效果变差。

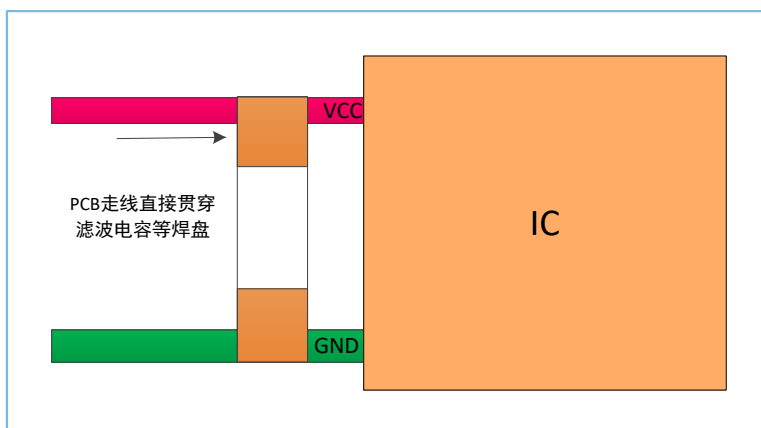


图 3-25 正确的电容或ESD防护器件走线

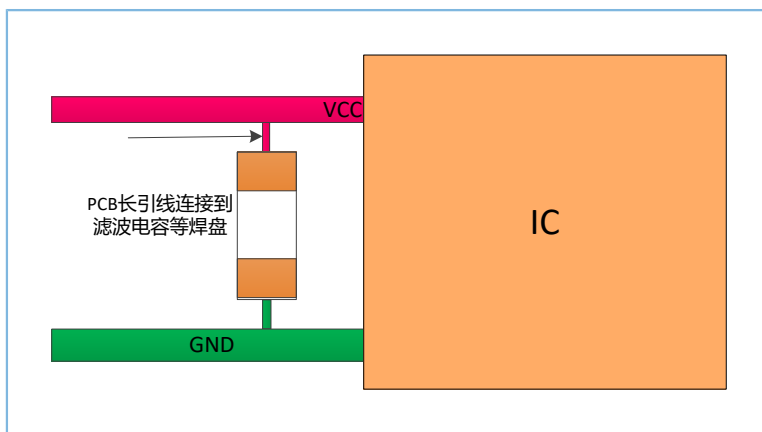


图 3-26 错误的电容或ESD防护器件走线

3.3.1.3 产品结构设计

- 外壳缝隙需密封，阻断静电进入。
- 金属外壳接地点应串接磁珠再连接到主板的GND回路，防止静电通过金属外壳直接进入主板。
- 结构上不允许有悬浮金属，触摸与显示等传感器模组的钢板补强需要接地处理。
- 结构上应尽量避免主板与触摸、显示等传感器模组FPC重叠区域紧密接触，同时建议主板连接器裸露区域贴高温胶防止结构上短路及静电串入。

3.3.2 生产、运输、调试阶段ESD注意事项

在生产、运输、调试等阶段要严格按照ESD管控要求执行，避免ESD事件发生。

- 需佩戴防静电手环，禁止用手或金属镊子直接夹取芯片。
- 使用静电袋或防静电托盘装芯片。
- 烙铁、焊接台、测试仪器需有防静电措施。
- 生产、运输环节需严格按照产线ESD防控要求执行。

3.4 参考设计

GR5405的参考电路原理图如下所示:

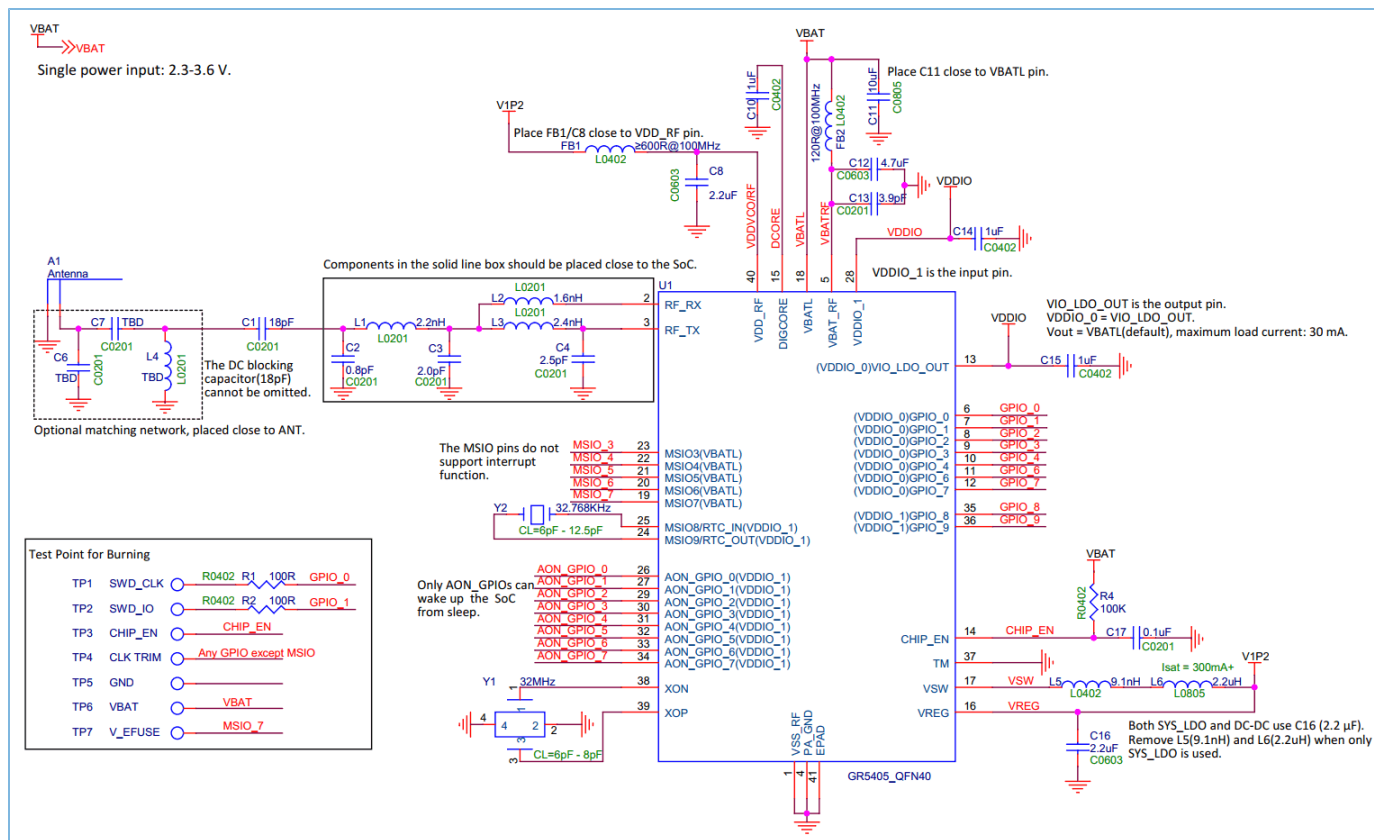


图 3-27 GR5405 QFN40封装的参考电路

说明:

关于GR5405的参考设计原理图及BOM, 请参考《GR5405 Reference Design》。

4 常见问题

4.1 为什么睡眠时的功耗偏高？

- 问题描述

在测试睡眠功耗时，不同的I/O配置会出现睡眠功耗不一致的情况，请问如何在睡眠前正确配置I/O？

- 问题分析：

睡眠时的功耗偏高，有可能是没有正确配置I/O：

- I/O处于浮空状态。
- 错误地配置了I/O的上下拉。

这些错误的配置会导致系统漏电，因此，需要在进入睡眠之前正确配置I/O的状态。

- 处理方法：

正确配置I/O：

- I/O在外部有上下拉或作为驱动输出使用时，无需配置上下拉。
- I/O未使用或工作在输入模式下无外部上下拉时，则需配置I/O为内部下拉。

4.2 射频匹配电路可以简化或移除吗？

- 问题描述

电路设计时，因受PCB板的空间限制，元器件布局比较困难，请问目前推荐的射频匹配电路能否更改？

- 问题分析：

射频线上有两个推荐的匹配电路，即靠近GR5405的匹配电路和靠近天线端的匹配电路。这两个电路是否可以简化或移除，需要区别对待。

- 处理方法：

靠近GR5405端的匹配电路用于匹配芯片内部PA，不能移除。

靠近天线端的匹配电路预留用于匹配天线，该电路可以根据所使用的天线进行更改。天线的匹配问题，可以通过矢量网络分析仪测试S11参数或史密斯圆图进行简单的匹配调节。但是天线的增益、方向性等其他指标则建议寻求专业的天线厂完成匹配测试。

5 术语与缩略语

表 5-1 术语与缩略语

名称	描述
ADC	Analog to Digital Converter，模/数转换器
AGC	Automatic Gain Control，自动增益控制
AMS	Analog Mix Signal，模拟混合信号
BB	Baseband，基带
Bluetooth LE	Bluetooth Low Energy，低功耗蓝牙
BUCK	一种降压型DC-DC转换器
CGU	Clock Generation Unit，时钟生成单元
DC-DC	DC-to-DC Converter，DC-DC转换器
ESD	Electrostatic Discharge，静电保护
ESR	Equivalent Series Resistance，等效串联电阻
GPIO	General-purpose Input/Output，通用输入输出
LDO	Low-dropout，低压差线性稳压器
LFXO	Low-frequency Crystal Oscillator，低频晶振
LNA	Low Noise Amplifier，低噪声放大器
LO	Local Oscillator，本机振荡器
HFXO	High-frequency Crystal Oscillator，高频晶振
HPA	High Power Amplifier，高功率放大器
PCB	Printed Circuit Board，印制电路板
PLL	Phase-locked Loop，锁相环
PMU	Power Management Unit，电源管理单元
PPM	Power Path Management，电源路径管理
QFN	Quad Flat No-lead Package，方形扁平无引脚封装
QSPI	Queued Serial Peripheral Interface，队列串行外设接口
RoHS	Restriction of Hazardous Substances Directive，RoHS是由欧盟立法制定的一项强制性标准，全称为《关于限制在电子电气设备中使用某些有害成分的指令》
SiP	System-in-Package，系统级封装
SNSADC	Sense Analog-to-digital Converter
SoC	System-on-Chip，系统级芯片
SPI	Serial Peripheral Interface，串行外设接口
SVHC	Substance of Very High Concern，高关注材料
SWD	Serial Wire Debug，串行线调试
Tg	Glass Transition Temperature，玻璃态转化温度

名称	描述
TPMS	Tire Pressure Monitoring System，胎压监测系统
USB	Universal Serial Bus，通用串行总线
UART	Universal Asynchronous Receiver/Transmitter，通用异步收发传输器

6 附录：封装指南

GR5405 QFN40封装符合MSL3以及RoHS绿色环保标准。RoHS指令（*Restriction of Hazardous Substances Directive*）是欧盟于2003年2月发布的对电子器件中有害物质含量的限制标准。MSL 3（Moisture Sensitivity Level 3）即潮湿敏感度测试等级3。MSL 3表明潮湿敏感器件从干燥袋中取出后，可暴露在最高温度30°C和最大相对湿度60% RH的环境中。

GR5405储存条件：

- 温度：< 40°C
- 相对湿度：<90% RH
- 保存期限：12个月

打开包装后，GR5405应该在48小时内进行回流焊接，环境条件如下：

- 温度：< 30°C
- 相对湿度：<60% RH
- 储存湿度：<10% RH

无铅焊料和锡铅焊料在一般PCB设计中都使用相同的应用规则。由于无铅焊料具有更高的回流温度和兼容性，因此在无铅应用中，只需考虑PCB板的表面涂层和PCB板材质。诸多因素将对QFN封装的电路板和焊点质量产生重大影响。包括：地/散热焊盘区域的焊锡膏量、散热焊盘周边和热焊盘区域的钢网设计、过孔类型、电路板厚度、封装铅涂层、电路板表面涂层、焊锡膏类型和回流焊的温度曲线等。

说明:

本附录旨在为用户提供芯片主板开发设计和表面组装工艺指南。用户需结合自身表面组装实践和要求，优化芯片焊接工艺。

为了保证焊点的可靠性，在设计主板焊盘和焊锡膏印刷时需要特别注意。

通常情况下，可根据厂商指南或遵循IPC-SM-782等行业标准设计芯片封装的PCB焊盘。这里主要依据国际电子工业连接协会（Association Connecting Electronics Industries，IPC）相关标准来设计GR5405 PCB焊盘。并且，由于GR5405芯片封装底部中央位置有一块大面积裸露焊盘，因此还需在IPC标准基础上增加特定的限制条件。使用的焊盘图案充分考虑了引线 and 封装材料的容差。

6.1 封装信息

本节提供芯片封装的详细信息。

6.1.1 Wettable QFN40

Wettable flank-plated QFN40封装芯片的详细信息参见下表，其符合MSL3。

表 6-1 Wettable QFN40封装信息

参数	值	单位	容差
封装尺寸	6.0 x 6.0	mm	±0.1 mm

表 6-2 Wettable QFN40封装尺寸

参数		符号	尺寸（单位：mm）		
			最小值	正常值	最大值
Total thickness		A	0.700	0.750	0.800
Stand off		A1	0.000	0.020	0.050
Mold thickness		A2	-	0.550	-
L/F thickness		A3	0.203 REF.		
Side wettable depth		A4	0.075	-	0.195
Lead width		b	0.200	0.250	0.300
Body size	X	D	6.000 BSC.		
	Y	E	6.000 BSC.		
Lead pitch		e	0.500 BSC.		
EP size	X	D2	4.400	4.500	4.600
	Y	E2	4.400	4.500	4.600
Lead length		L	0.300	0.400	0.500
		L1	0.400 REF.		
Side wettable width		L2	0.010	-	0.090
Lead tip to exposed pad edge		K	0.350 REF.		
Package edge tolerance		aaa	0.100		
Mold flatness		ccc	0.100		
Coplanarity		eee	0.080		
Lead offset		bbb	0.100		
Exposed pad offset		fff	0.100		

6.2 电路板焊接指南

由于器件引脚比较小，器件焊接在PCB板上主要是通过钢网刷焊锡膏，因此在QFN封装中需要保证焊点的可靠性。由于QFN类封装引脚中心正下方有较大的DIE-PAD接地焊盘，且接近于焊盘内边缘，因此QFN类封装的焊接变得更加复杂。

虽然上文推荐的焊盘设计有助于解决一些PCB焊接的问题，但是用户仍然需要考虑周边和散热焊盘的钢网设计以及焊锡膏印刷工艺。由于表面组装工艺因公司而异，建议在工艺开发中谨慎小心，遵循各公司相关规定。

6.2.1 周边焊盘的钢网设计

周边焊盘上的最佳可靠焊点应具有约50至75微米（2至3密耳）的隔距高度，外表面平整且光滑。具有好的隔距高度但外表面不够平整的焊点虽然可以满足应用要求，但会减少使用寿命。

保证焊点的良好可靠性，第一步为设计钢网，钢网孔开口的设计应达到最大的膏体释放量。在此过程中，需要考虑以下比值：

- 面积比 = 孔径开口面积/开口侧壁面积
- 宽厚比 = 孔径宽度/钢网厚度

对于矩形孔径开口，根据芯片的封装要求，相关比率计算公式如下：

- 面积比 = $L \times W / 2T (L + W)$
- 宽厚比 = W/T

L和W分别代表孔径的长度和宽度，T为钢网厚度。为获得最佳的焊锡膏释放效果，面积比和宽厚比应分别大于0.66和1.5。

为轻松达到此面积比和宽厚比，钢网开口孔径应与PCB的焊盘尺寸比为1:1。钢网应采用激光切割和电镀抛光。抛光使得钢网侧壁更光滑，从而更好地释放焊锡膏。

同时，建议严格控制钢网开口孔径容差，从而有效地缩小开口尺寸。此外，在中心裸露的接地焊盘区域印刷焊锡膏时，建议使用具有多个小开口的钢网，避免使用带有单个开口较大的钢网。阻焊层参考设计，请参考图 6-2。

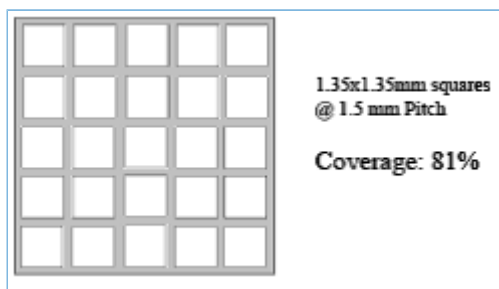


图 6-2 QFN封装接地焊盘钢网设计

6.2.2 过孔类型和焊点气孔

裸露接地焊盘下的焊点气孔会对高速和射频应用产生不利影响，该接地平面内的气孔会增加电流路径。

气孔的最大尺寸应小于平面内的过孔间距，可避免由于气孔过大，导致过孔无效的情况发生。

6.2.2.1 钢网厚度和焊锡膏

对于0.35 mm引脚间距的元件，建议使用0.125 mm厚度的钢网。为了更好的释放焊锡膏，建议使用激光切割的无痕不锈钢配合电抛光梯形墙制作钢网。由于回流焊后，元件下方没有足够的空间，建议使用免清洗型3号焊粉（Type 3, IPC standard J-STD-005）进行QFN类封装焊接。在回流期间也建议使用氮气吹扫。

与无铅表面组装技术（Surface Mount Technology, SMT）兼容的常见表面抛光工艺有以下几种：

- 有机可焊性防腐剂（Organic solderability preservative, OSP）
- 化学镀镍/沉金（Electroless Nickel/Immersion Gold, ENIG）
- 沉银
- 沉金

最终用户可针对电路板设计、装配流程、可操作度、存储条件和成本等需求，选择合理的表面处理工艺。

6.2.2.2 PCB材料

由于无铅材料的回流温度要求较高，建议使用具有高玻璃态转化温度Tg值（Glass Transition Temperature）（> 170°C）的电路板材料。

6.2.3 SMT印刷流程

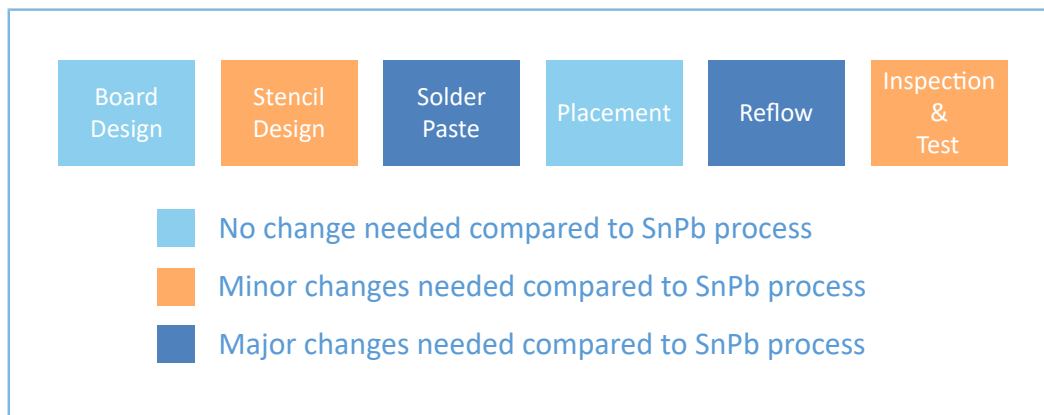


图 6-3 SMT印刷流程

- 焊锡膏
熔化温度为217°C的Sn-Ag-Cu合金焊料最常用于无铅焊料回流应用中。该合金由于其低成本，相对较低的熔化温度和良好的抗热疲劳性等优势，广泛用于半导体行业。
- 钢网设计
如前所述，建议采用激光切割、无痕钢制钢网，厚度为5~7密尔，开窗大小和焊盘尺寸比例为1:1。为了更好的释放焊锡膏，钢网孔径呈正锥形，底部开口比顶部开口宽1 mil。与锡铅合金相比，Sn-Ag-Cu合金不易湿润。
- 印刷流程
与锡铅合金焊料相比，Sn-Ag-Cu合金的印刷工艺无显著变化。应遵循焊膏制造商推荐的印刷指南，满足焊膏的特定需求。印刷后检查和焊膏测量对于确保良好的印刷质量和均匀的焊料沉积至关重要。
- 贴片
由于QFN类封装在回流过程中的自对准特性，其定位精度小于焊盘宽度的30%，只要焊盘能够接触到焊锡膏即可。

6.3 SMT回流过程

优化回流工艺是无铅焊接最需要考虑的因素。要实现最佳回流温度曲线，应充分考虑焊锡膏特性、电路板尺寸、元件密度、大小尺寸元件的混合布局以及元件的峰值温度要求。优化的回流工艺是确保成功实现无铅组装，高产品良率和焊点长期高可靠的关键。

1. 温度曲线

通过在QFN芯片焊点、大型元件的顶部以及电路板的多个位置添加热电偶，可对新设计电路板进行温度分析。这将确保所有元件被加热到高于最低回流温度，且较小元件的温度不超过峰值温度。

对于具有大量元件的大型精密电路板，可将电路板上的温差缩小至小于10度以内，从而尽可能防止电路板翘曲。元件主体的最高温度不应超过MSL3的规范要求。

2. 回流曲线

焊料回流曲线应遵循焊锡膏制造商的建议和业界通用的JEDEC或IPC J-STD-20标准。J-STD-20标准温度曲线如图 6-4所示。表 6-3 中列出了配置文件参数和元件峰值温度要求。

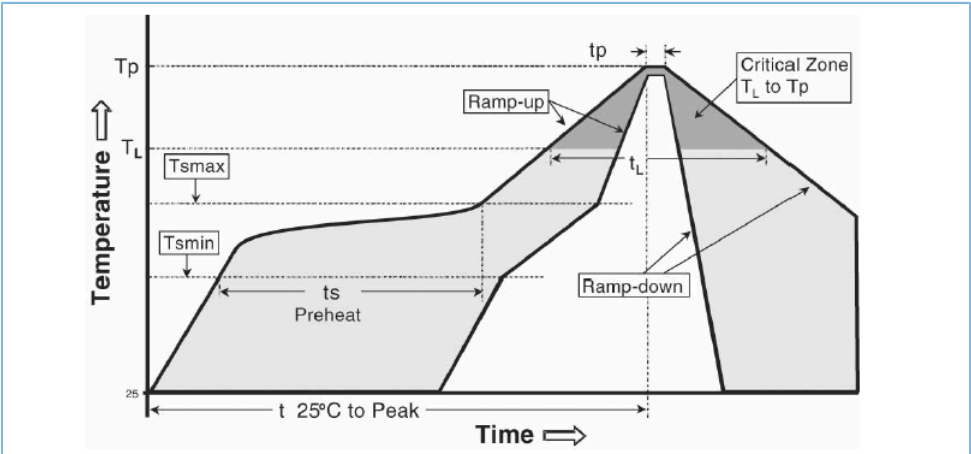


图 6-4 JEDEC建议无铅回流温度曲线

GR5405符合IPC/JEDEC标准的无铅焊接要求，即回流焊接的峰值温度高达260°C。

GR5405的引线框采用铜合金（CuAg）材质，且表面电镀无铅锡（镀锡厚度：300 ~ 600 μin）。此设计使得GR5405引线框架能够承受温度260°C下的3倍回流焊。

表 6-3 回流温度曲线参数

参数	无铅封装、对流、IR/对流
升温速率（从Tsmax到Tp）	最大值：每秒3°C
预热温度（从Tsmmin到Tsmax）	150°C ~ 200°C
预热时长（ts）	60 ~ 180秒
回流焊接温度TB _L （217°C，T _L ）以上时长	60 ~ 150秒
峰值温度±5°C变化时间（T _p ）	20 ~ 40秒
降温速率	最大值：每秒6°C
25°C升至峰值温度所需时间	最大值：8分钟

说明:

表 6-3 中的所有温度均在封装表面测得。

将回流温度峰值控制在规定的最高温度以下至关重要，以防止对封装造成热损坏。回流曲线示例如图 6-5 所示。

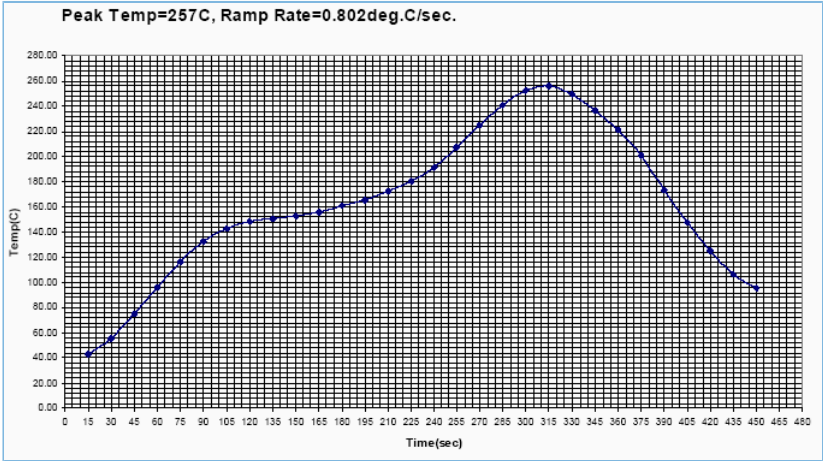


图 6-5 峰值温度为257℃的回流曲线示例

3. 回流炉

强烈建议使用配备多加热区和氮回流环境的回流炉进行无铅封装。更多的加热区可提供更高的回流灵活性，以优化大型复杂电路板的回流曲线。氮气环境可有效提高整体环境的湿度并降低电路板的温度梯度，同时可减少焊料氧化影响，从而增强焊点的外形美观度。

6.4 返修指南

由于在QFN类封装下焊点并非完全裸露在外，因此返修工作仅限于修复侧边圆角。对于封装层下的缺陷，必须移除整个封装才能进行返修。由于GR5405 QFN封装的尺寸小，因此返修将面临诸多挑战。

在大多数应用中，QFN类封装将被安装在尺寸更小、更薄和元件更密集的PCB上，给返修人员的操作带来诸多挑战。在返修期间相邻元件不可避免出现受热，这使得返修过程进一步复杂化。由于各产品的复杂度不同，以下仅列举QFN类封装成功返修流程，为用户提供指导。

返修步骤:

- 1. 元件拆卸
- 2. 焊盘清理
- 3. 焊锡膏印刷
- 4. 元件贴片
- 5. 元件焊接

说明:

返修前，建议将PCB在125°C温度下烘烤至少4小时，以去除元件中残留水分。

6.4.1 元件拆除

拆卸元件的第一步是对连接到PCB板上元件的焊点回流。理想状况下，拆除元件的回流曲线应与焊接元件的回流曲线相同。但是，一旦回流完成，则可缩短液相线以上的时间。

说明:

在拆卸过程中，建议使用对流加热器从底部加热PCB板，并在元件上方使用热风加热。

应使用特殊喷嘴对要拆除的元件区域加热，并尽量减少对相邻元件的加热。加热过程中还应避免气流过多，以免芯片级封装（Chip Scale Package, CSP）弯曲。空气流速应保持在每分钟15 ~ 20升。一旦焊点回流，在回流到冷却的过程中，就会自动实施真空抬起。

由于GR5405芯片尺寸小，真空压力应保持在15英寸汞柱以下。只有在所有焊点都完成回流的情况下，元件才会被抬起，从而避免焊盘在部分焊点未回流的情况下被抬起。

6.4.2 焊盘清理

拆除元件后，需要正确清理焊盘。最好使用刀片式导电工具和吸锡带相结合的方式。刀片的宽度应与原件占用的最大宽度相匹配，刀片温度应足够低，以免损坏电路板。去除残留的焊料后，应使用溶剂清洁焊盘。溶剂的选择应遵循焊料制造商的建议，与原器件中使用的焊料类型相匹配。

6.4.3 焊锡膏印刷

QFN封装的尺寸小、间距细，实施QFN的焊锡膏沉积时需特别小心。可使用专为该组件研制的微型钢网，实现均匀和精确的焊锡膏沉积。钢网孔径应在50至100倍放大率下与焊盘对齐。

将钢网放置在PCB上，并且使用小金属刮刀刀片印刷焊锡膏。也可用迷你钢网在封装侧面印刷焊锡膏。应使用125微米厚的钢网，其开口孔尺寸和形状与封装焊盘相同。

此外，因为QFN封装的隔距高度较小，提供的清洁空间不足，应使用免清洗助焊剂。

6.4.4 贴片

QFN封装由于质量小而具有优越的自定心能力。由于引线位于封装的下侧，因此应使用裂隙光学系统来完成主板上的元件对位。这将在原焊接印记上形成引线图像重合覆盖，并有助于正确元件对位。同样，对位应在50至100倍放大率下进行。贴片设备应支持对X、Y和旋转轴进行微调。

6.4.5 元件焊接

应该在最初的元件焊接或拆除过程中开发的回流曲线下，进行新元件焊接。由于所有回流曲线参数都已经优化，因此使用相同的曲线将消除对热电偶反馈的需求，并将减少对操作人员的依赖性。

6.5 RoHS标准

GR5405符合RoHS 2002/95/EC标准及其修订条例。

6.6 SVHC清单

GR5405遵从欧盟有关REACH的高关注物质（Substance of Very High Concern, SVHC）清单规定。该清单由欧洲化学品管理局（European Chemicals Agency, ECHA）于2008年10月28日发布，编号为1907/2006。

6.7 无卤

GR5405符合BS EN 14582:2007关于卤素，即氟、氯、溴和碘含量的要求。