



GR551x 硬件设计指南

版本： 2.1

发布日期： 2021-06-15

版权所有 © 2021 深圳市汇顶科技股份有限公司。保留一切权利。

非经本公司书面许可，任何单位和个人不得对本手册内的任何部分擅自摘抄、复制、修改、翻译、传播，或将其全部或部分用于商业用途。

商标声明

GOODIX 和其他汇顶商标均为深圳市汇顶科技股份有限公司的商标。本文档提及的其他所有商标或注册商标，由各自的所有人持有。

免责声明

本文档中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。

深圳市汇顶科技股份有限公司（以下简称“GOODIX”）对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。GOODIX对因这些信息及使用这些信息而引起的后果不承担任何责任。

未经GOODIX书面批准，不得将GOODIX的产品用作生命维持系统中的关键组件。在GOODIX知识产权保护下，不得暗或以其他方式转让任何许可证。

深圳市汇顶科技股份有限公司

总部地址：深圳市福田区腾飞工业大厦B座2层、13层

电话：+86-755-33338828 传真：+86-755-33338099

网址：www.goodix.com

前言

编写目的

本文档主要介绍GR551x蓝牙SoC正常运行时所需电路设计和PCB布局指南，提供了推荐电路原理图、芯片接口和外设。

使用本文档有助于系统设计人员搭建低功耗蓝牙最小硬件电路，并应用于产品开发中。

读者对象

本文适用于以下读者：

- GR551x用户
- GR551x测试人员
- 蓝牙产品开发人员
- 蓝牙系统设计人员

版本说明

本文档为第8次发布，对应的芯片版本为GR551x系列。

修订记录

版本	日期	说明
1.0	2019-12-08	首次发布
1.3	2020-03-16	更新“引脚排列与定义”章节引脚图为顶视图
1.5	2020-05-30	• 更新芯片型号和对应引脚图、封装尺寸图和原理图参考设计； • 变更电源和射频，以QFN56电路为例进行说明； • 增加“PCB参考设计”章节； • 更新“静电保护”章节。
1.6	2020-06-30	• 优化附录章节各封装的封装尺寸图布局以及数据； • 优化附录章节各封装的封装尺寸图布局以及数据； • 新增“产品级ESD防护等级提升方法”硬件看门狗设计； • 新增“QFN两层板参考设计”章节。
1.7	2020-08-30	• 新增GR5515I0ND芯片、新增“GR5515I0ND引脚”排列图、新增“外部Flash”推荐列表； • “原理图参考设计”新增GR5515I0ND QFN56封装的参考电路原理图、新增“GR5515I0ND外部Flash参考设计”。
1.8	2020-11-27	优化“概述”、“引脚排列与定义”章节描述
1.9	2021-03-03	• 更新TEST_MODE引脚的默认功能描述，增加I/O数量描述； • “I/O引脚”章节增加配置PWM的说明； • 更新“外部Flash”章节推荐的GR5515I0ND外部Flash型号；

版本	日期	说明
		- 更新“I/O LDO”章节GR5515I0ND I/O 电压描述； - 将原“静电保护”章节名变更为“系统ESD防护设计”，并更新该章节内容。
2.0	2021-04-29	- 优化“I/O LDO”章节GR5515I0ND I/O 电压描述； - 更新“电源电路原理图”、“电源”、“时钟”、“原理图设计要点”、“PCB Layout设计要点”和“QFN两层板参考设计”章节。
2.1	2021-06-15	- 增加“GR5515RGBD不推荐用于新产品项目评估（NRND）”的说明； - 更新推荐的GR5515I0ND外部Flash参考选型列表。

目录

前言.....	I
1 概述.....	1
1.1 特性.....	1
1.2 系统框图.....	3
2 引脚排列与定义.....	5
2.1 GR5515IGND QFN56引脚.....	5
2.2 GR5515I0ND QFN56引脚.....	7
2.3 GR5515RGBD BGA68引脚（NRND）.....	10
2.4 GR5515GGBD BGA55引脚.....	13
2.5 GR5513BEND QFN40引脚.....	16
3 GR551x最小系统设计.....	20
3.1 电路原理图设计指南.....	20
3.1.1 电源.....	20
3.1.1.1 电源框图简介.....	20
3.1.1.2 电源电路原理图.....	21
3.1.1.3 I/O LDO.....	24
3.1.2 时钟.....	26
3.1.2.1 简介.....	26
3.1.2.2 32 MHz晶振（XO）.....	26
3.1.2.3 32.768 kHz晶振.....	27
3.1.3 射频.....	27
3.1.3.1 简介.....	27
3.1.3.2 射频电路原理图.....	28
3.1.4 I/O引脚.....	29
3.1.5 串行调试接口.....	29
3.1.6 外部Flash.....	30
3.2 PCB Layout设计指南.....	30
3.2.1 PCB叠层.....	30
3.2.2 元器件布局.....	31
3.2.3 电源.....	31
3.2.3.1 DC-DC开关电源.....	32
3.2.3.2 RF输入电源.....	32
3.2.4 时钟.....	33
3.2.5 射频端口.....	34
3.2.6 接地.....	35
3.2.7 系统ESD防护设计.....	36
3.2.7.1 系统级ESD设计要求.....	36

3.2.7.2 生产、运输、调试阶段ESD注意事项.....	41
4 参考设计.....	42
4.1 原理图参考设计.....	42
4.2 PCB参考设计.....	46
4.2.1 QFN56 PCB四层板参考设计.....	46
4.2.2 QFN两层板参考设计.....	49
4.2.3 GR5515I0ND外部Flash参考设计.....	50
4.2.4 BGA68 PCB四层板参考设计（NRND）.....	51
5 常见问答.....	53
5.1 能够将GR551x所有I/O的电压域设置为3.3 V吗？.....	53
5.2 为什么睡眠时的功耗偏高？.....	53
5.3 RF射频的PI电路可以简化或移除吗？.....	54
6 术语与缩略语.....	55
7 附录：QFN和BGA封装指南.....	56
7.1 封装信息.....	57
7.1.1 GR5515IGND/GR5515I0ND QFN56.....	57
7.1.2 GR5515RGBD BGA68（NRND）.....	59
7.1.3 GR5515GGBD BGA55.....	61
7.1.4 GR5513BENDQFN40.....	63
7.2 电路板焊接指南.....	65
7.2.1 周边焊盘的钢网设计.....	65
7.2.2 过孔类型和焊点气孔.....	66
7.2.2.1 钢网厚度和焊锡膏.....	66
7.2.2.2 PCB材料.....	66
7.2.3 SMT印刷流程.....	67
7.3 SMT回流过程.....	67
7.4 返修指南.....	69
7.4.1 元件拆除.....	70
7.4.2 焊盘清理.....	70
7.4.3 焊锡膏印刷.....	70
7.4.4 贴片.....	70
7.4.5 元件焊接.....	70
7.5 RoHS标准.....	71
7.6 SVHC清单.....	71
7.7 无卤.....	71

1 概述

GR551x系列芯片是Goodix推出的Bluetooth 5.1单模低功耗蓝牙系统级芯片（SoC），可以配置为广播者（Broadcaster）、观察者（Observer）、外围设备（Peripheral）或中央设备（Central），并支持上述各种角色的组合应用，可广泛应用于物联网（IoT）和智能穿戴设备领域。

GR551x系列架构以ARM® Cortex®-M4F CPU为核心，集成Bluetooth 5.1协议栈、2.4 GHz RF收发器、片上可编程存储器Flash、RAM以及多种外设。

GR551x系列芯片已推出多款不同封装类型的芯片产品（表 1-1），开发者可根据项目需要选择合适的芯片。

表 1-1 GR551x芯片系列

GR551x 系列	GR5515IGND	GR5515RGBD	GR5515GGBD	GR5513BEND	GR5515I0ND
CPU	Cortex®-M4F	Cortex®-M4F	Cortex®-M4F	Cortex®-M4F	Cortex®-M4F
RAM	256 KB	256 KB	256 KB	128 KB	256 KB
Flash	1 MB	1 MB	1 MB	512 KB	N/A
Package (mm)	QFN56 (7 x 7 x 0.75)	BGA68 (5.3 x 5.3 x 0.88)	BGA55 (3.5 x 3.5 x 0.60)	QFN40 (5 x 5 x 0.75)	QFN56 (7 x 7 x 0.75)
I/O数量	39	39	29	22	39

 说明:

GR5515RGBD不推荐用于新产品项目评估。

1.1 特性

- 集成控制器和主机层的低功耗蓝牙5.1收发器
 - 支持数据传输速率：1 Mbps、2 Mbps、LR（500 kbps、125 kbps）
 - TX发射功率：-20 dBm ~ +7 dBm
 - 97 dBm接收灵敏度（1 Mbps模式下）
 - 93 dBm接收灵敏度（2 Mbps模式下）
 - 99.5 dBm接收灵敏度（LR 500 kbps模式下）
 - 103 dBm接收灵敏度（LR 125 kbps模式下）
 - TX发射功耗：3.05 mA @ 0 dBm, 1 Mbps
 - RX接收功耗：3.9 mA @ 1 Mbps
- 内置ARM® Cortex®-M4F 32位微处理器，支持浮点运算
 - 最高频率：64 MHz
 - 功耗：30 μA/MHz

- 存储
 - GR5515系列芯片为256 KB RAM（4个8 KB的内存块和7个32 KB的内存块）；GR5513芯片为128 KB RAM（4个8 KB的内存块和3个32 KB的内存块）
 - GR5515系列芯片为1 MB Flash（GR5515I0ND使用外部QSPI Flash），GR5513芯片为512 KB Flash
- 电源管理
 - 片内DC-DC转换器
 - 片内I/O LDO提供I/O电压并支持为外部器件供电
 - 电源电压：1.7 V ~ 3.8 V。GR5515I0ND供电电压等于外部SPI Flash的工作电压
 - I/O电压：1.8 V ~ 3.3 V（典型值）。GR5515I0ND的VDDIO0内部与VIO_LDO_OUT相连，I/O LDO在应用固件中默认为off模式，故该芯片应用时需要将VIO_LDO_OUT的引脚连接到VBATL。
 - OFF模式：0.15 μ A（典型值）；除了VBAT以外，其他部件均被关闭，芯片处于复位状态
 - Ultra Deep Sleep模式：0.65 μ A（典型值）；I/O LDO关闭，无内存备份，支持外部GPIO和内部计时器唤醒
 - Sleep模式：1.3 μ A（典型值），低功耗蓝牙连接保持，I/O LDO处于关闭状态，支持AON_RTC、AON GPIO和Bluetooth LE Event，支持内存备份，支持外部GPIO和内部计时器唤醒
- 外设
 - 两路QSPI接口，最高达32 MHz
 - 两路SPI接口（1路支持2个Slave选择引脚的SPI Master接口，1路SPI Slave接口），最高达32 MHz
 - 两路I2C接口（支持100 kHz、400 kHz、1 MHz、2 MHz）
 - 两路I2S接口（1路I2S Master接口以及1路I2S Slave接口）
 - 两路UART接口（1路DMA通道）
 - 13位ADC，最高1 Msps，多达8个通道（5个外部测试通道和3个内部信号通道），支持单端和差分两种输入方式
 - ISO 7816接口
 - 6路PWM输出
 - 内置温度和电压传感器
 - 4个硬件定时器
 - 1个AON硬件定时器
 - 2个看门狗定时器（1个系统的，1个Always-on的）
 - 日历定时器
 - 唤醒比较器
 - 支持最多39个可灵活复用的GPIO

- 安全
 - 提供完善的安全计算引擎：
 - AES 128-bit/192-bit/256-bit对称加密（ECB和CBC）
 - HMAC哈希加密算法
 - PKC
 - TRNG
 - 提供全面的安全运行机制：
 - 安全启动
 - 加密固件直接从Flash运行
 - 密钥加密后存储至eFuse中
 - 应用数据密钥不同于固件密钥，支持一机一密
- 封装类型
 - 7 mm x 7 mm QFN56
 - 5.3 mm x 5.3 mm BGA68
 - 3.5 mm x 3.5 mm BGA55
 - 5 mm x 5 mm QFN40
- 工作温度范围：-40°C ~ +85°C

1.2 系统框图

GR551x的系统框图如图 1-1。

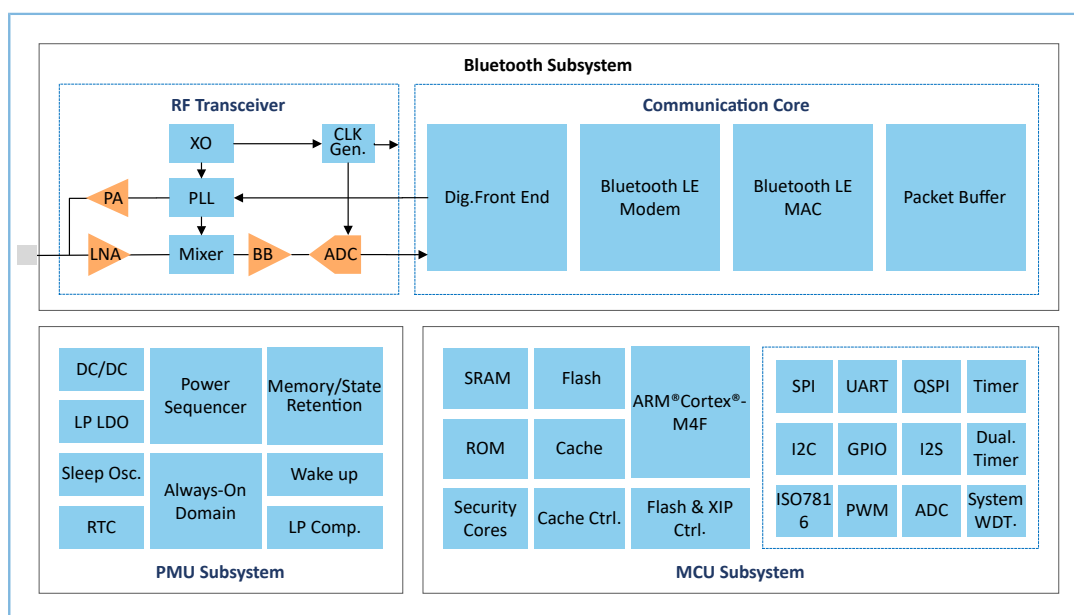


图 1-1 GR551x系统框图

 说明:

框图中各模块的更多细节，请参考《GR551x Datasheet》。

2 引脚排列与定义

本章主要介绍GR5515IGND QFN56、GR5515I0ND QFN56、GR5515RGBD BGA68、GR5515GGBD BGA55和GR5513BEND QFN40封装的引脚排列及各引脚的对应描述。

2.1 GR5515IGND QFN56引脚

GR5515IGND QFN56封装引脚排列如图 2-1所示（顶视图）。

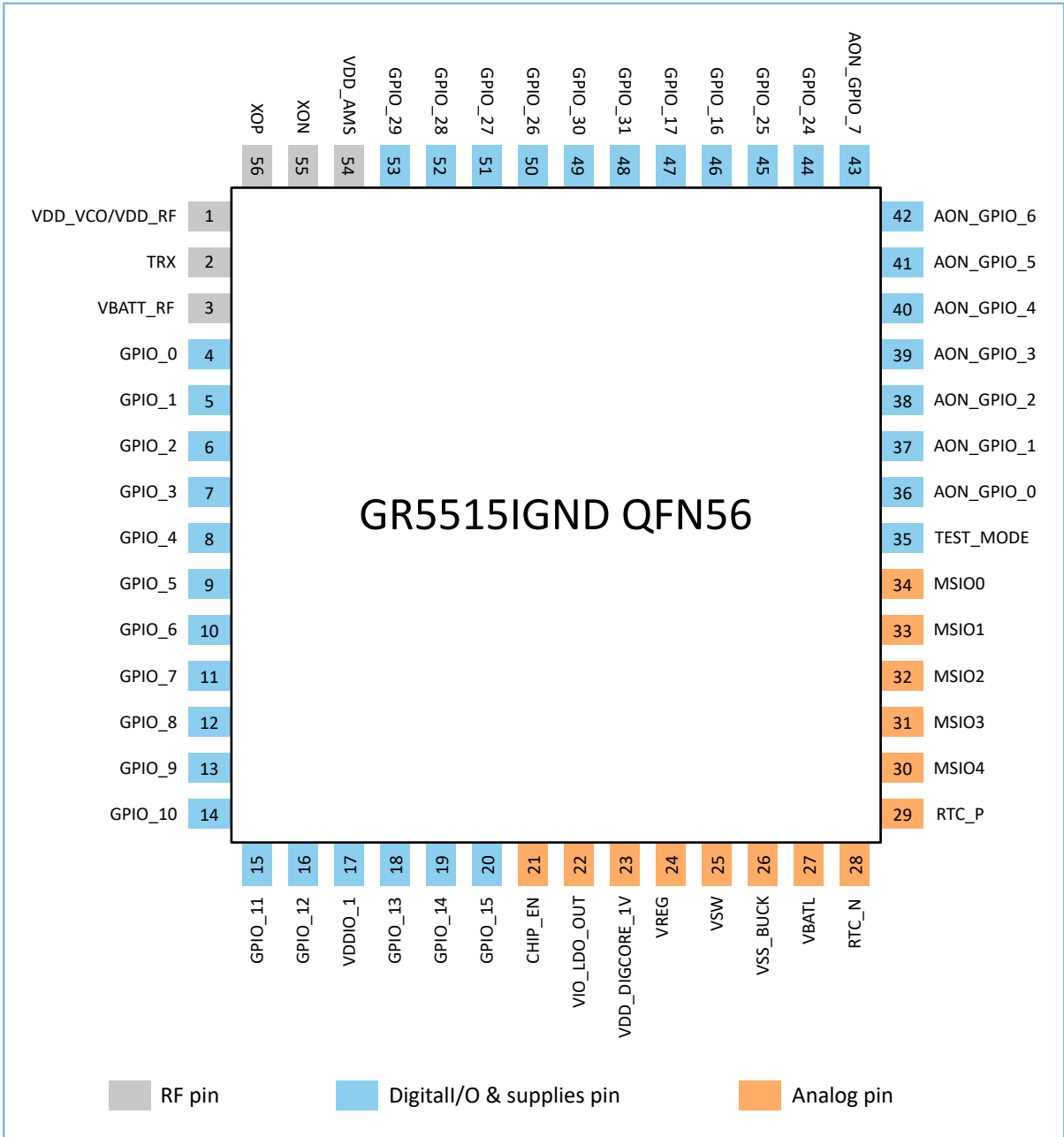


图 2-1 GR5515IGND QFN56封装引脚排列

GR5515IGND QFN56引脚描述如表 2-1 所示：

表 2-1 GR5515IGND QFN56封装引脚描述

编号	名称	类型	定义/默认功能	电源域
1	VDD_VCO/VDD_RF	模拟和射频供电	合成器VCO供电、射频供电连接至VREG	
2	TRX	模拟和射频	RX输入以及TX输出	
3	VBATT_RF	模拟和射频供电	连接至VBATL	
4	GPIO_0	数字I/O	SWDCLK	VDDIO1
5	GPIO_1	数字I/O	SWDIO	VDDIO1
6	GPIO_2	数字I/O	GPIO	VDDIO1
7	GPIO_3	数字I/O	GPIO	VDDIO1
8	GPIO_4	数字I/O	GPIO	VDDIO1
9	GPIO_5	数字I/O	GPIO	VDDIO1
10	GPIO_6	数字I/O	GPIO	VDDIO1
11	GPIO_7	数字I/O	GPIO	VDDIO1
12	GPIO_8	数字I/O	GPIO	VDDIO1
13	GPIO_9	数字I/O	GPIO	VDDIO1
14	GPIO_10	数字I/O	GPIO	VDDIO1
15	GPIO_11	数字I/O	GPIO	VDDIO1
16	GPIO_12	数字I/O	GPIO	VDDIO1
17	VDDIO_1	数字I/O供电	数字I/O供电输入脚	VDDIO1
18	GPIO_13	数字I/O	GPIO	VDDIO1
19	GPIO_14	数字I/O	GPIO	VDDIO1
20	GPIO_15	数字I/O	GPIO	VDDIO1
21	CHIP_EN	混合信号IN	芯片主使能信号复位引脚 CHIP_EN高电平的最小值为1 V	
22	VIO_LDO_OUT	PMU	片内I/O LDO输出	内部连接VDDIO0
23	VDD_DIGCORE_1V	PMU	用于数字内核的片内LDO输出，连接1 μ F电容	
24	VREG	PMU	开关稳压器的反馈引脚	
25	VSW	PMU	DC-DC转换器开关节点	
26	VSS_BUCK	PMU	DC-DC转换器和电池接地引脚	
27	VBATL	PMU	电源输入	
28	RTC_N	PMU	RTC负极或32.768 kHz晶振负极	
29	RTC_P	PMU	RTC正极或32.768 kHz晶振正极	
30	MSIO4	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
31	MSIO3	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
32	MSIO2	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL

编号	名称	类型	定义/默认功能	电源域
33	MSIO1	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
34	MSIO0	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
35	TEST_MODE	数字I/O	输入引脚，FT/CP工厂测试中用于设置测试模式，应用阶段，该值默认设置为0。 TEST_MODE = 1，芯片处于工厂测试模式； TEST_MODE = 0，芯片处于普通操作模式。	VDDIO0
36	AON_GPIO_0	数字I/O	AON GPIO	VDDIO0
37	AON_GPIO_1	数字I/O	AON GPIO	VDDIO0
38	AON_GPIO_2	数字I/O	AON GPIO	VDDIO0
39	AON_GPIO_3	数字I/O	AON GPIO	VDDIO0
40	AON_GPIO_4	数字I/O	AON GPIO	VDDIO0
41	AON_GPIO_5	数字I/O	AON GPIO	VDDIO0
42	AON_GPIO_6	数字I/O	AON GPIO	VDDIO0
43	AON_GPIO_7	数字I/O	AON GPIO	VDDIO0
44	GPIO_24	数字I/O	GPIO	VDDIO0
45	GPIO_25	数字I/O	GPIO	VDDIO0
46	GPIO_16	数字I/O	GPIO	VDDIO0
47	GPIO_17	数字I/O	GPIO	VDDIO0
48	GPIO_31	数字I/O	GPIO	VDDIO0
49	GPIO_30	数字I/O	GPIO	VDDIO0
50	GPIO_26	数字I/O	GPIO	VDDIO0
51	GPIO_27	数字I/O	GPIO	VDDIO0
52	GPIO_28	数字I/O	GPIO	VDDIO0
53	GPIO_29	数字I/O	GPIO	VDDIO0
54	VDD_AMS	模拟和射频供电	AMS供电，连接至VREG	
55	XON	模拟和射频	晶振负极	
56	XOP	模拟和射频	晶振正极	

2.2 GR5515I0ND QFN56引脚

GR5515I0ND QFN56封装引脚排列如图 2-2所示（顶视图）。

GR5515I0ND QFN56与GR5515IGND QFN56的封装引脚除Pin 43 ~ Pin 53不同外，其他引脚都相同。

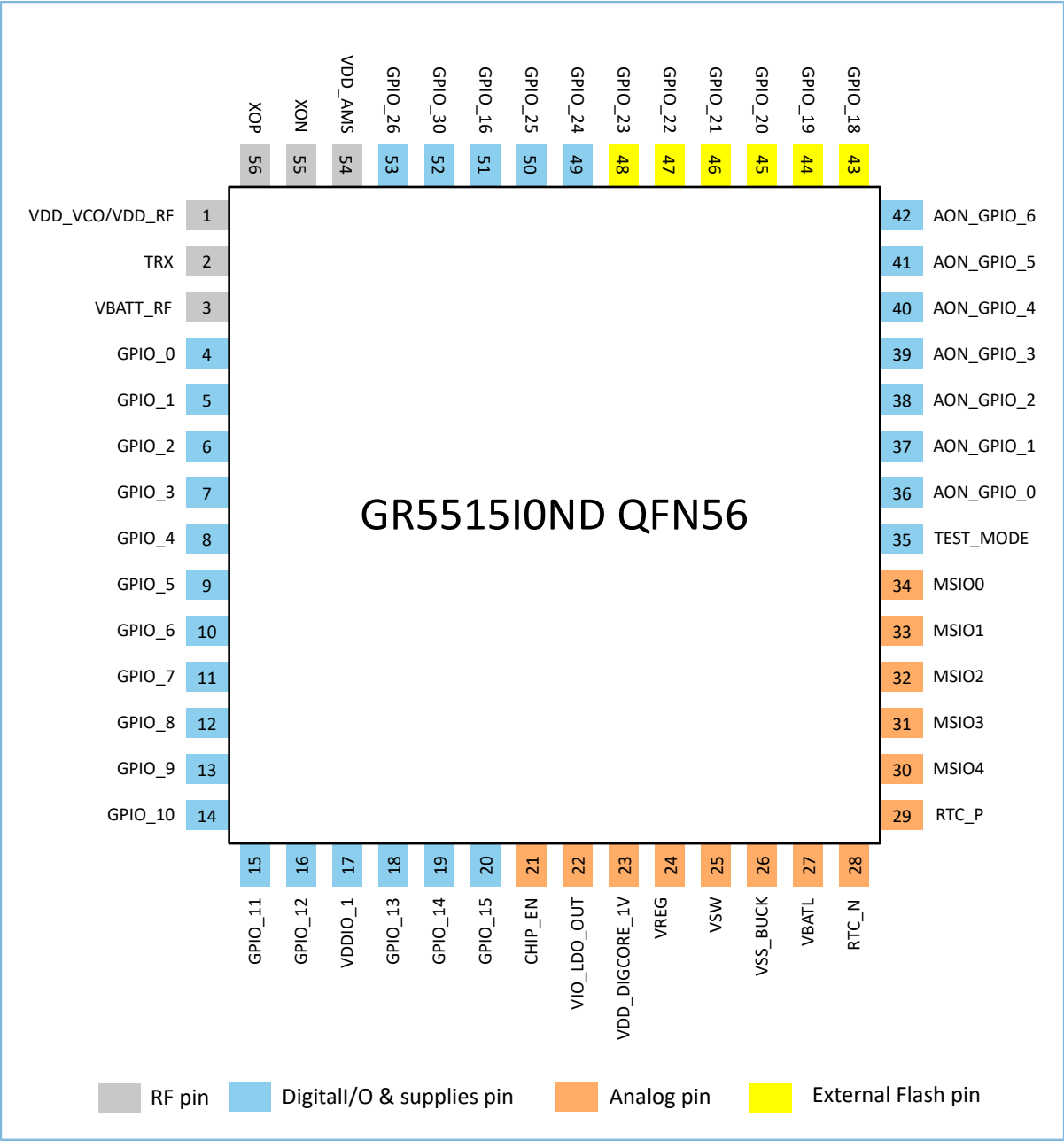


图 2-2 GR5515I0ND QFN56封装引脚排列

GR5515I0ND QFN56引脚描述如表 2-2 所示：

表 2-2 GR5515I0ND QFN56封装引脚描述

编号	名称	类型	定义/默认功能	电源域
1	VDD_VCO/VDD_RF	模拟和射频供电	合成器VCO供电、射频供电 连接至VREG	
2	TRX	模拟和射频	RX输入以及TX输出	
3	VBATT_RF	模拟和射频供电	连接至VBATL	
4	GPIO_0	数字I/O	SWDCLK	VDDIO1
5	GPIO_1	数字I/O	SWDIO	VDDIO1

编号	名称	类型	定义/默认功能	电源域
6	GPIO_2	数字I/O	GPIO	VDDIO1
7	GPIO_3	数字I/O	GPIO	VDDIO1
8	GPIO_4	数字I/O	GPIO	VDDIO1
9	GPIO_5	数字I/O	GPIO	VDDIO1
10	GPIO_6	数字I/O	GPIO	VDDIO1
11	GPIO_7	数字I/O	GPIO	VDDIO1
12	GPIO_8	数字I/O	GPIO	VDDIO1
13	GPIO_9	数字I/O	GPIO	VDDIO1
14	GPIO_10	数字I/O	GPIO	VDDIO1
15	GPIO_11	数字I/O	GPIO	VDDIO1
16	GPIO_12	数字I/O	GPIO	VDDIO1
17	VDDIO_1	数字I/O供电	数字I/O供电输入脚	VDDIO1
18	GPIO_13	数字I/O	GPIO	VDDIO1
19	GPIO_14	数字I/O	GPIO	VDDIO1
20	GPIO_15	数字I/O	GPIO	VDDIO1
21	CHIP_EN	混合信号IN	芯片主使能信号复位引脚 CHIP_EN高电平的最小值为1 V	
22	VIO_LDO_OUT	PMU	连接到VBATL，片内I/O LDO输出，用于VDDIO0数字IO域供电输入脚	内部连接VDDIO0
23	VDD_DIGCORE_1V	PMU	用于数字内核的片内LDO输出，连接1 μ F电容	
24	VREG	PMU	开关稳压器的反馈引脚	
25	VSW	PMU	DC-DC转换器开关节点	
26	VSS_BUCK	PMU	DC-DC转换器和电池接地引脚	
27	VBATL	PMU	电源输入	
28	RTC_N	PMU	RTC负极或32.768 kHz晶振负极	
29	RTC_P	PMU	RTC正极或32.768 kHz晶振正极	
30	MSIO4	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
31	MSIO3	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
32	MSIO2	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
33	MSIO1	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
34	MSIO0	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
35	TEST_MODE	数字I/O	输入引脚，FT/CP工厂测试中用于设置测试模式，应用阶段，该值默认设置为0。 TEST_MODE = 1，芯片处于工厂测试模式；	VDDIO0

编号	名称	类型	定义/默认功能	电源域
			TEST_MODE = 0, 芯片处于普通操作模式。	
36	AON_GPIO_0	数字I/O	AON GPIO	VDDIO0
37	AON_GPIO_1	数字I/O	AON GPIO	VDDIO0
38	AON_GPIO_2	数字I/O	AON GPIO	VDDIO0
39	AON_GPIO_3	数字I/O	AON GPIO	VDDIO0
40	AON_GPIO_4	数字I/O	AON GPIO	VDDIO0
41	AON_GPIO_5	数字I/O	AON GPIO	VDDIO0
42	AON_GPIO_6	数字I/O	AON GPIO	VDDIO0
43	GPIO_18	数字I/O	连接到外部Flash	VDDIO0
44	GPIO_19	数字I/O	连接到外部Flash	VDDIO0
45	GPIO_20	数字I/O	连接到外部Flash	VDDIO0
46	GPIO_21	数字I/O	连接到外部Flash	VDDIO0
47	GPIO_22	数字I/O	连接到外部Flash	VDDIO0
48	GPIO_23	数字I/O	连接到外部Flash	VDDIO0
49	GPIO_24	数字I/O	GPIO	VDDIO0
50	GPIO_25	数字I/O	GPIO	VDDIO0
51	GPIO_16	数字I/O	GPIO	VDDIO0
52	GPIO_30	数字I/O	GPIO	VDDIO0
53	GPIO_26	数字I/O	GPIO	VDDIO0
54	VDD_AMS	模拟和射频供电	AMS供电, 连接至VREG	
55	XON	模拟和射频	晶振负极	
56	XOP	模拟和射频	晶振正极	

2.3 GR5515RGBD BGA68引脚（NRND）

GR5515RGBD BGA68封装引脚排列如图 2-3所示（顶视图）。

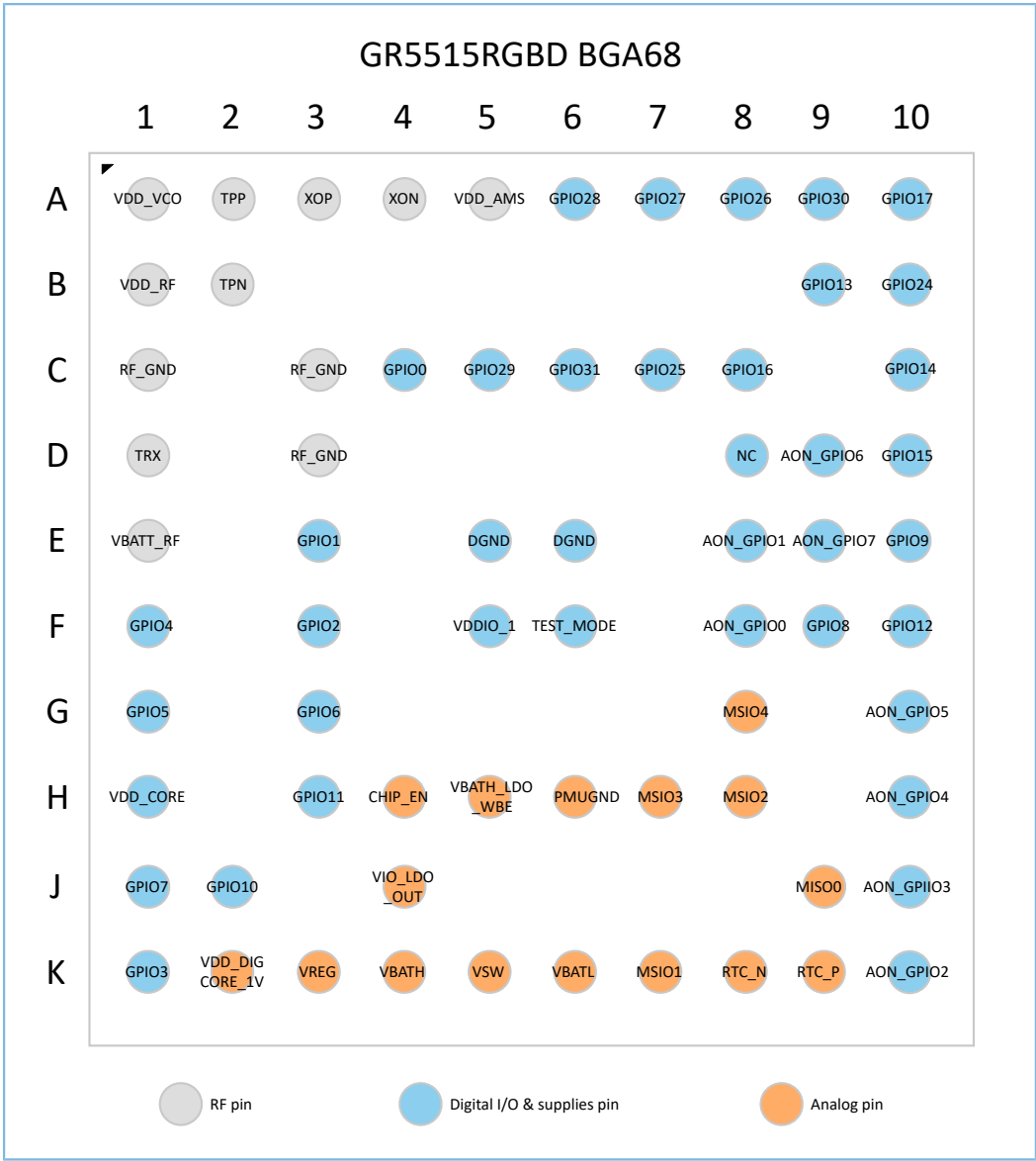


图 2-3 GR5515RGBD BGA68封装引脚排列

GR5515RGBD BGA68引脚描述如表 2-3 所示：

表 2-3 GR5515RGBD BGA68封装引脚描述

编号	名称	类型	定义/默认功能	电源域
A1	VDD_VCO	模拟和射频供电	合成器VCO供电：1.1 V	
A2	TPP	模拟和射频	测试复用正极输出	
A3	XOP	模拟和射频	晶振正极	
A4	XON	模拟和射频	晶振负极	
A5	VDD_AMS	模拟和射频供电	AMS供电：1.1 V	
A6	GPIO28	数字I/O	GPIO	VDDIO0
A7	GPIO27	数字I/O	GPIO	VDDIO0
A8	GPIO26	数字I/O	GPIO	VDDIO0

编号	名称	类型	定义/默认功能	电源域
A9	GPIO30	数字I/O	GPIO	VDDIO0
A10	GPIO17	数字I/O	GPIO	VDDIO0
B1	VDD_RF	模拟和射频供电	射频供电: 1.1 V	
B2	TPN	模拟和射频	测试复用负极输出	
B9	GPIO13	数字I/O	GPIO	VDDIO1
B10	GPIO24	数字I/O	GPIO	VDDIO0
C1	RF_GND	模拟和射频	射频接地	
C3	RF_GND	模拟和射频	射频接地	
C4	GPIO0	数字I/O	GPIO/SWDCLK	VDDIO1
C5	GPIO29	数字I/O	GPIO	VDDIO0
C6	GPIO31	数字I/O	GPIO	VDDIO0
C7	GPIO25	数字I/O	GPIO	VDDIO0
C8	GPIO16	数字I/O	GPIO	VDDIO0
C10	GPIO14	数字I/O	GPIO	VDDIO1
D1	TRX	模拟和射频	RX输入以及TX输出	
D3	RF_GND	模拟和射频	射频接地	
D8	NC	-	-	
D9	AON_GPIO6	数字I/O	AON GPIO	VDDIO0
D10	GPIO15	数字I/O	GPIO	VDDIO1
E1	VBATT_RF	模拟和射频供电	连接至VBATL	
E3	GPIO1	数字I/O	GPIO/SWDIO	VDDIO1
E5	DGND	数字地	数字信号连接到GND	
E6	DGND	数字地	数字信号连接到GND	
E8	AON_GPIO1	数字I/O	AON GPIO	VDDIO0
E9	AON_GPIO7	数字I/O	AON GPIO	VDDIO0
E10	GPIO9	数字I/O	GPIO	VDDIO1
F1	GPIO4	数字I/O	GPIO	VDDIO1
F3	GPIO2	数字I/O	GPIO	VDDIO1
F5	VDDIO_1	数字供电	数字I/O供电输入脚	VDDIO1
F6	TEST_MODE	数字I/O	输入引脚, FT/CP工厂测试中用于设置测试模式, 应用阶段, 该值默认设置为0。 TEST_MODE = 1, 芯片处于工厂测试模式; TEST_MODE = 0, 芯片处于普通操作模式。	VDDIO0
F8	AON_GPIO0	数字I/O	AON GPIO	VDDIO0

编号	名称	类型	定义/默认功能	电源域
F9	GPIO8	数字I/O	GPIO	VDDIO1
F10	GPIO12	数字I/O	GPIO	VDDIO1
G1	GPIO5	数字I/O	GPIO	VDDIO1
G3	GPIO6	数字I/O	GPIO	VDDIO1
G8	MSIO4	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
G10	AON_GPIO5	数字I/O	AON GPIO	VDDIO0
H1	VDD_CORE	数字供电	数字内核供电	
H3	GPIO11	数字I/O	GPIO	VDDIO1
H4	CHIP_EN	模拟和PMU	芯片主使能信号复位引脚 CHIP_EN高电平的最小值为1 V	
H5	VBATH_LDO_WBE	模拟和PMU	连接到GND	
H6	PMUGND	模拟和PMU	DC-DC转换器和电池接地引脚	
H7	MSIO3	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
H8	MSIO2	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
H10	AON_GPIO4	数字I/O	AON GPIO	VDDIO0
J1	GPIO7	数字I/O	GPIO	VDDIO1
J2	GPIO10	数字I/O	GPIO	VDDIO1
J4	VIO_LDO_OUT	模拟和PMU	片内I/O LDO输出	内部连接VDDIO0
J9	MSIO0	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
J10	AON_GPIO3	数字I/O	AON GPIO	VDDIO0
K1	GPIO3	数字I/O	GPIO	VDDIO1
K2	VDD_DIGCORE_1V	模拟和PMU	数字内核的片上LDO输出，连接1 μ F电容	
K3	VREG	模拟和PMU	开关稳压器的反馈引脚	
K4	VBATH	模拟和PMU	连接至VBATL	
K5	VSW	模拟和PMU	DC-DC转换器开关节点	
K6	VBATL	模拟和PMU	电源输入	
K7	MSIO1	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
K8	RTC_N	Analog/PMU	RTC负极/32.768 kHz晶振负极	
K9	RTC_P	Analog/PMU	RTC正极/32.768 kHz晶振正极	
K10	AON_GPIO2	数字I/O	AON GPIO	VDDIO0

2.4 GR5515GGBD BGA55引脚

GR5515GGBD BGA55封装引脚排列如图 2-4所示（顶视图）。

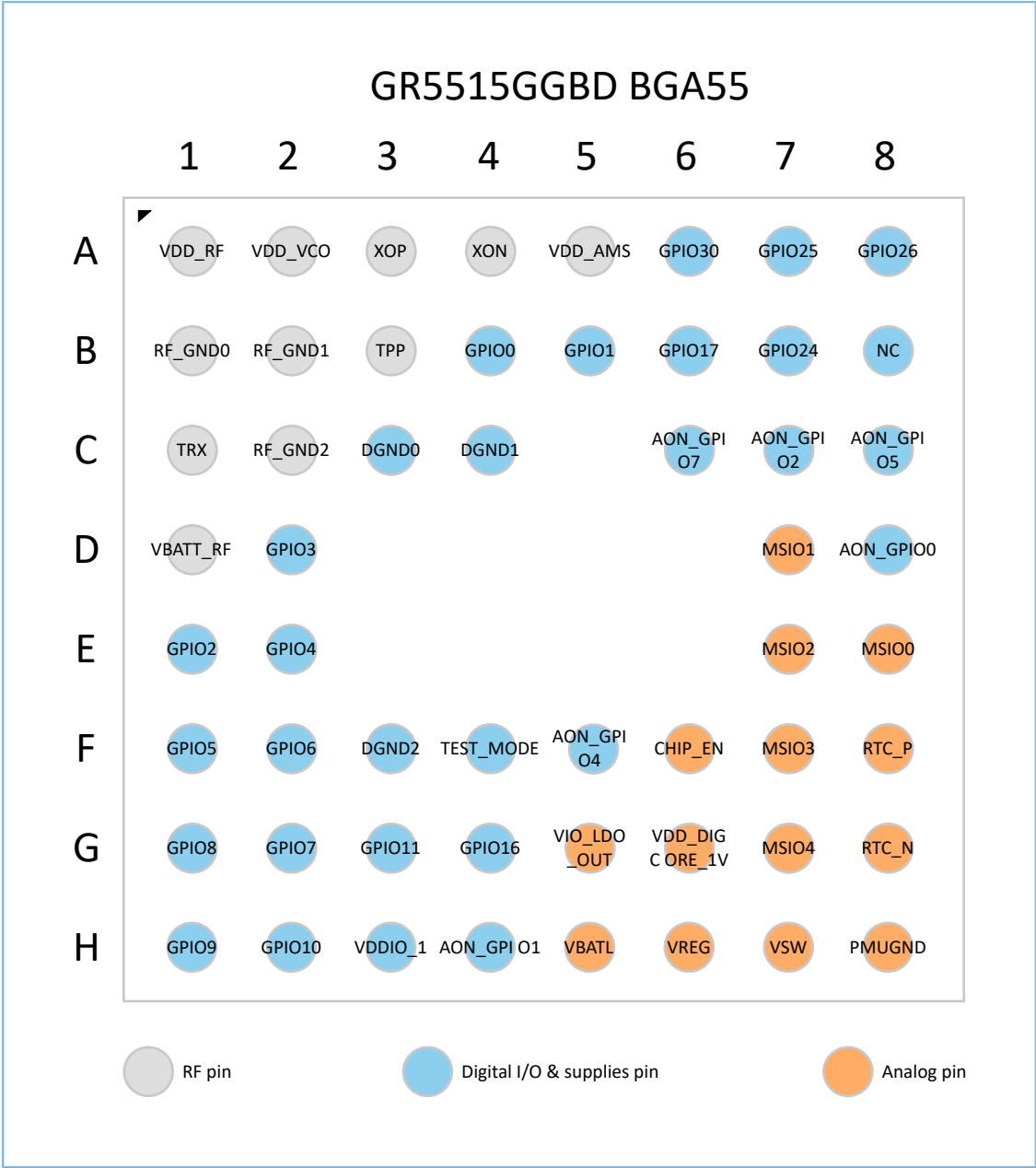


图 2-4 GR5515GGBD BGA55封装引脚排列

GR5515GGBD BGA55引脚描述如表 2-4 所示：

表 2-4 GR5515GGBD BGA55封装引脚描述

编号	名称	类型	定义/默认功能	电源域
A1	VDD_RF	模拟和射频供电	射频供电：1.1 V	
A2	VDD_VCO	模拟和射频供电	合成器VCO供电：1.1 V	
A3	XOP	模拟和射频	晶振正极	
A4	XON	模拟和射频	晶振负极	
A5	VDD_AMS	模拟和射频供电	AMS供电：1.1 V	
A6	GPIO30	数字I/O	GPIO	VDDIO0

编号	名称	类型	定义/默认功能	电源域
A7	GPIO25	数字I/O	GPIO	VDDIO0
A8	GPIO26	数字I/O	GPIO	VDDIO0
B1	RF_GND0	模拟和射频	射频接地	
B2	RF_GND1	模拟和射频	射频接地	
B3	TPP	模拟和射频	测试Mux +输出	
B4	GPIO0	数字I/O	GPIO/SWDCLK	VDDIO1
B5	GPIO1	数字I/O	GPIO/SWDIO	VDDIO1
B6	GPIO17	数字I/O	GPIO	VDDIO0
B7	GPIO24	数字I/O	GPIO	VDDIO0
B8	NC	-	-	
C1	TRX	模拟和射频	RX输入以及TX输出	
C2	RF_GND2	模拟和射频	射频接地	
C3	DGND0	数字地	数字信号连接到GND	
C4	DGND1	数字地	数字信号连接到GND	
C6	AON_GPIO7	数字I/O	AON GPIO	VDDIO0
C7	AON_GPIO2	数字I/O	AON GPIO	VDDIO0
C8	AON_GPIO5	数字I/O	AON GPIO	VDDIO0
D1	VBATT_RF	模拟和射频供电	连接至VBATL	
D2	GPIO3	数字I/O	GPIO	VDDIO1
D7	MSIO1	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
D8	AON_GPIO0	数字I/O	AON GPIO	VDDIO0
E1	GPIO2	数字I/O	GPIO	VDDIO1
E2	GPIO4	数字I/O	GPIO	VDDIO1
E7	MSIO2	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
E8	MSIO0	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
F1	GPIO5	数字I/O	GPIO	VDDIO1
F2	GPIO6	数字I/O	GPIO	VDDIO1
F3	DGND2	数字GND	数字信号连接到GND	
F4	TEST_MODE	数字I/O	输入引脚，FT/CP工厂测试中用于设置测试模式，应用阶段，该值默认设置为0。 TEST_MODE = 1，芯片处于工厂测试模式； TEST_MODE = 0，芯片处于普通操作模式。	VDDIO0
F5	AON_GPIO4	数字I/O	AON GPIO	VDDIO0
F6	CHIP_EN	Analog/PMU	芯片主使能信号复位引脚	

编号	名称	类型	定义/默认功能	电源域
			CHIP_EN高电平的最小值为1 V	
F7	MSIO3	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
F8	RTC_P	Analog/PMU	RTC正极/32.768 kHz晶振正极	
G1	GPIO8	数字I/O	GPIO	VDDIO1
G2	GPIO7	数字I/O	GPIO	VDDIO1
G3	GPIO11	数字I/O	GPIO	VDDIO1
G4	GPIO16	数字I/O	GPIO	VDDIO0
G5	VIO_LDO_OUT	Analog/PMU	片内I/O LDO输出	内部连接VDDIO0
G6	VDD_DIGCORE_1V	Analog/PMU	数字内核的片上LDO输出，连接1 μ F电容	
G7	MSIO4	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
G8	RTC_N	Analog /PMU	RTC负极/32.768 kHz晶振负极	
H1	GPIO9	数字I/O	GPIO	VDDIO1
H2	GPIO10	数字I/O	GPIO	VDDIO1
H3	VDDIO_1	数字I/O供电	数字I/O供电输入脚	VDDIO1
H4	AON_GPIO1	数字I/O	AON GPIO	VDDIO0
H5	VBATL	Analog/PMU	电源输入	
H6	VREG	Analog/PMU	开关稳压器的反馈引脚	
H7	VSW	Analog/PMU	DC-DC转换器开关节点	
H8	PMUGND	Analog/PMU	DC-DC转换器和电池接地引脚	

2.5 GR5513BEND QFN40引脚

GR5513BEND QFN40封装引脚排列如图 2-5所示（顶视图）。

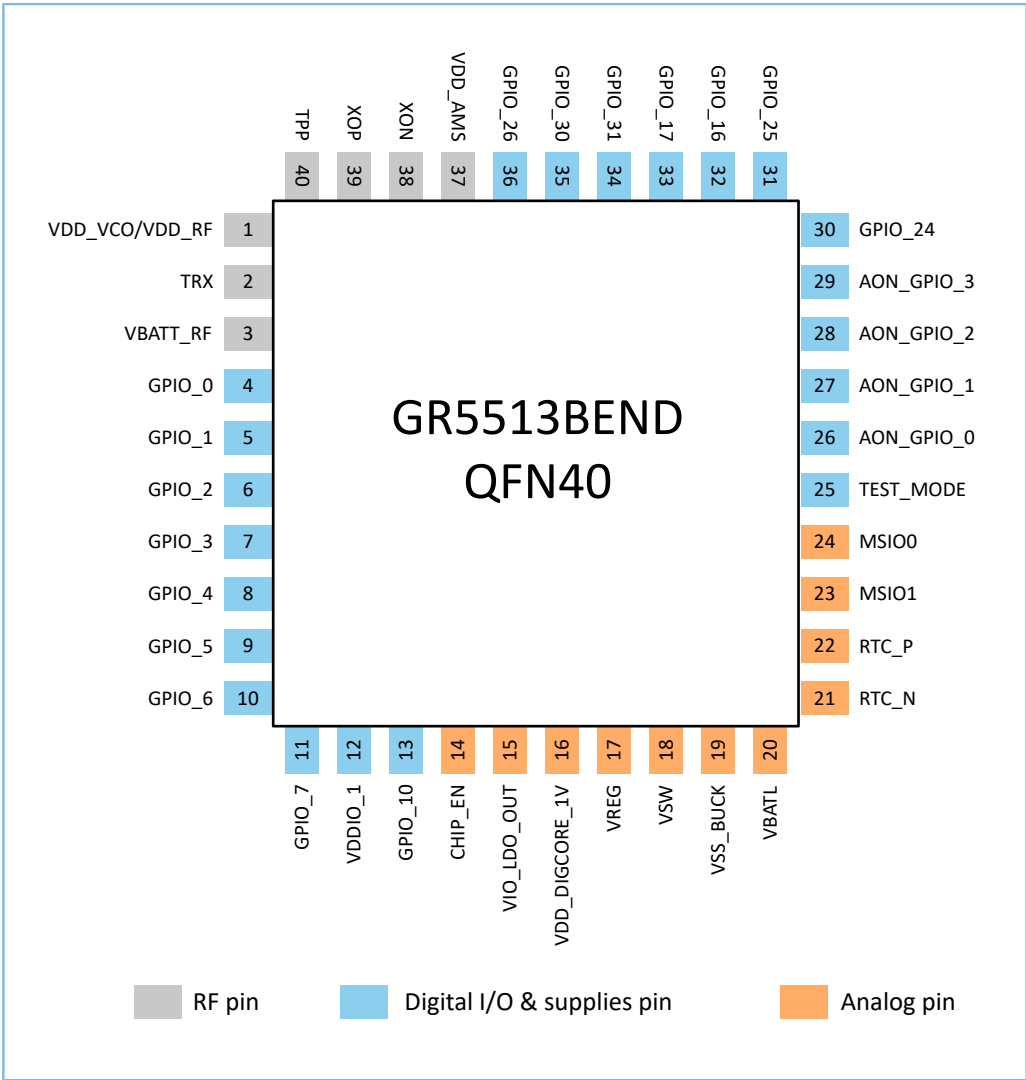


图 2-5 GR5513BEND QFN40封装引脚排列

GR5513BEND QFN40引脚描述如表 2-5 所示：

表 2-5 GR5513BEND QFN40封装引脚描述

编号	名称	类型	定义/默认功能	电源域
1	VDD_VCO/VDD_RF	模拟和射频供电	合成器VCO供电、射频供电 连接至VREG	
2	TRX	模拟和射频	RX输入以及TX输出	
3	VBATT_RF	模拟和射频供电	连接至VBATL	
4	GPIO_0	数字I/O	SWDCLK	VDDIO1
5	GPIO_1	数字I/O	SWDIO	VDDIO1
6	GPIO_2	数字I/O	GPIO	VDDIO1
7	GPIO_3	数字I/O	GPIO	VDDIO1
8	GPIO_4	数字I/O	GPIO	VDDIO1
9	GPIO_5	数字I/O	GPIO	VDDIO1

编号	名称	类型	定义/默认功能	电源域
10	GPIO_6	数字I/O	GPIO	VDDIO1
11	GPIO_7	数字I/O	GPIO	VDDIO1
12	VDDIO_1	数字I/O供电	数字I/O供电输入脚	VDDIO1
13	GPIO_10	数字I/O	GPIO	VDDIO1
14	CHIP_EN	模拟和PMU	芯片主使能信号 CHIP_EN高电平的最小值为1V	
15	VIO_LDO_OUT	模拟和PMU	片内I/O LDO输出	内部连接VDDIO0
16	VDD_DIGCORE_1V	模拟和PMU	用于数字内核的片内LDO输出，连接1 μ F电容	
17	VREG	模拟和PMU	开关稳压器的反馈引脚	
18	VSW	模拟和PMU	DC-DC转换器开关节点	
19	VSS_BUCK	模拟和PMU	DC-DC转换器和电池接地引脚	
20	VBATL	模拟和PMU	电源输入	
21	RTC_N	模拟和PMU	RTC负极或32.768 kHz晶振负极	
22	RTC_P	模拟和PMU	RTC正极或32.768 kHz晶振正极	
23	MSIO1	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
24	MSIO0	混合信号I/O	可配置为混合信号GPIO（ADC接口）	VBATL
25	TEST_MODE	数字I/O	输入引脚，FT/CP工厂测试中用于设置测试模式，应用阶段，该值默认设置为0。 TEST_MODE = 1，芯片处于工厂测试模式； TEST_MODE = 0，芯片处于普通操作模式。	VDDIO0
26	AON_GPIO_0	数字I/O	AON GPIO	VDDIO0
27	AON_GPIO_1	数字I/O	AON GPIO	VDDIO0
28	AON_GPIO_2	数字I/O	AON GPIO	VDDIO0
29	AON_GPIO_3	数字I/O	AON GPIO	VDDIO0
30	GPIO_24	数字I/O	GPIO	VDDIO0
31	GPIO_25	数字I/O	GPIO	VDDIO0
32	GPIO_16	数字I/O	GPIO	VDDIO0
33	GPIO_17	数字I/O	GPIO	VDDIO0
34	GPIO_31	数字I/O	GPIO	VDDIO0
35	GPIO_30	数字I/O	GPIO	VDDIO0
36	GPIO_26	数字I/O	GPIO	VDDIO0
37	VDD_AMS	模拟和射频供电	模拟混合信号（AMS）供电，连接至VREG	
38	XON	模拟和射频	晶振负极	
39	XOP	模拟和射频	晶振正极	

编号	名称	类型	定义/默认功能	电源域
40	TPP	模拟和射频	测试复用正极输出	

3 GR551x最小系统设计

基于GR551x的最小应用系统必须包括以下模块：

- 电源
- 时钟
- 射频
- I/O引脚
- 串行调试接口
- 外部Flash

以下章节将详细介绍GR551x最小应用系统的电路原理图以及PCB布局参考设计，帮助用户快速入门GR551x的硬件应用开发。

3.1 电路原理图设计指南

GR551x的最小系统的电路原理参考图，详情可参考[4.1 原理图参考设计](#)。

3.1.1 电源

3.1.1.1 电源框图简介

GR551x是通过引脚VBATL外接电源供电，供电范围为1.7 V ~ 3.8 V。

需要采用单独外部稳压器LDO供电，建议选择低压差、静态电流 I_q 小的LDO（小于产品待机下的规格要求），LDO输出电流需大于100 mA，LDO输出电压3.3 V（典型值），负载调整率（10% ~ 120% I_{out} ）需小于10 mV。

LDO的最大输入电平若大于5.5 V，为防止在调试时热上电过冲，需要在LDO输入端串接 $0.39\ \Omega \sim 1\ \Omega$ 小电阻。

GR551x的电源管理子系统的功能框图，如[图 3-1](#)所示。

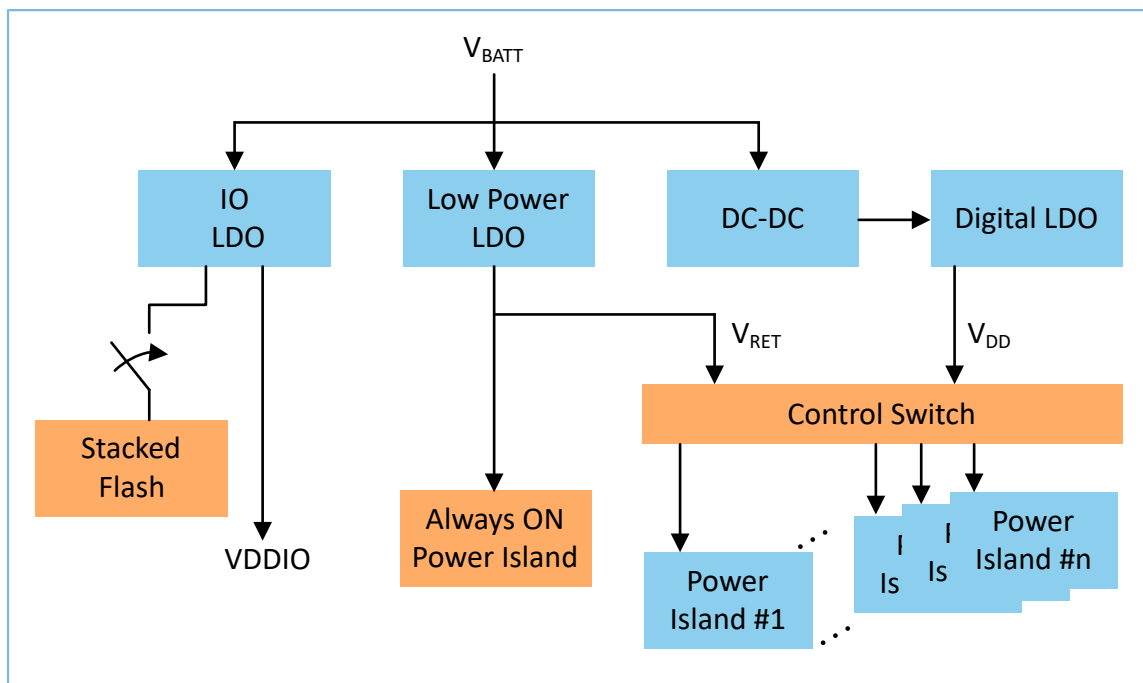


图 3-1 电源管理子系统框图

电源管理子系统主要负责为芯片中的各模块提供电源电压。

- I/O LDO稳压器为片上Flash（GR5515I0ND除外）以及芯片的I/O引脚提供电源电压。关于I/O LDO的详细介绍，请参考3.1.1.3 I/O LDO。
- 在Active模式下，DC-DC开关电源为收发器供电，Digital LDO稳压器为数字模块供电。
- 当MCU子系统和BLE子系统都被关闭时，将由Lower Power LDO为芯片的AON（Always On）部分供电。它还为内存的数据备份区域提供低电压电源，以便从睡眠模式唤醒后恢复保存在内存中的数据内容。
- 数据备份区域和数字模块的电源电压将通过矩阵开关分配给芯片的所有电源域。

3.1.1.2 电源电路原理图

GR551x SoC内部包含所有电源管理模块，以保证系统的正常和安全运行。以BGA68封装为例，电源模块的电路设计参考如图3-2所示。

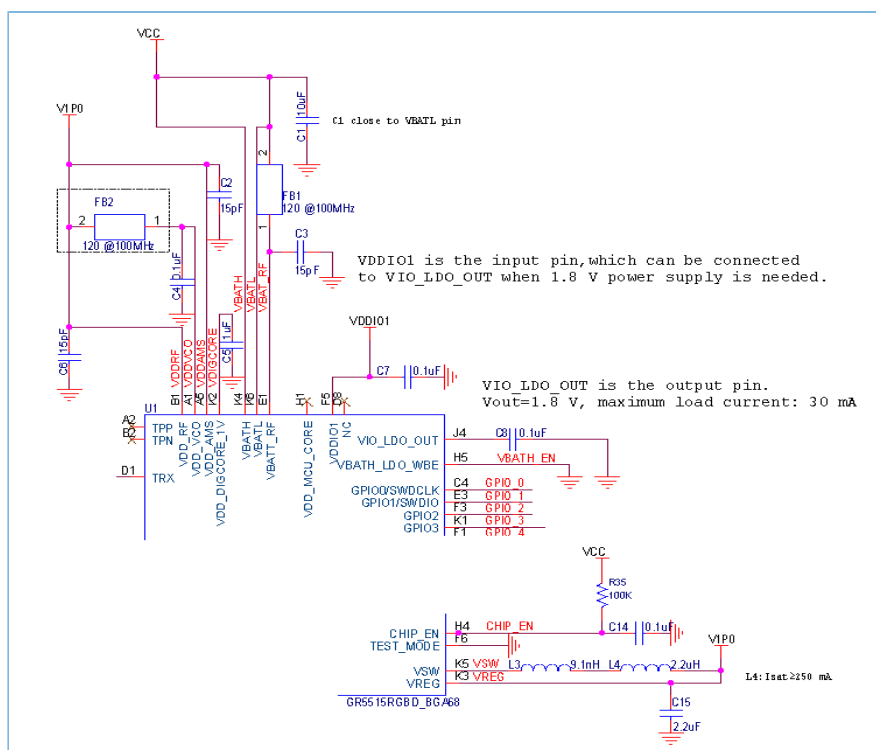


图 3-2 GR551x 电源原理图

各引脚的功能以及连接描述如下：

- **VDD_VCO/RF**：内部射频部分的供电引脚。连接至DCDC开关电源的输出电压网络V1P0，连接一个0.1 μ F滤波电容。
- **VDD_AMS**：内部射频部分的供电引脚。连接至DC-DC开关电源的输出电压网络V1P0，连接一个15 μ F滤波电容。
- **VDD_DIGCORE_1V**：Digital LDO的输出引脚，为数字内核逻辑供电。连接一个1 μ F滤波电容。
- **VBATL**：芯片电源输入，电压范围：1.7 V ~ 3.8 V。连接一个10 μ F滤波电容。
- **VBATH**：连接至VBATL引脚，仅BGA68封装有这个PIN脚。
- **VBATH_LDO_WBE**：默认接地。
- **VDD_MCU_CORE**：数字内核的电源，默认不连接，仅BGA68封装有这个PIN脚。
- **VBATT_RF**：连接至VBATL引脚。
- **VIO_LDO_OUT**：片上VDDIO LDO电源的输出引脚（在芯片内部默认和VDDIO0连接），主要为内置Flash供电，也可VDDIO引脚或外部传感器供电，可提供高达30 mA的负载电流。连接一个0.1 μ F去耦电容。

说明:

GR5515I0ND外置Flash支持高电压模式（VDDIO0为3.3 V或VBATL）。当用户需要使用高压模式时，其设置如下：

- 系统启动时会根据eFuse配置自动关闭I/O LDO。
- VIO_LDO_OUT只作为VDDIO0数字电压域输入，将其连接到3.3 V或VBATL。
- VSW**: DC-DC开关电源的输出引脚。连接两个电感（串联）：一个为9.1 nH电感（用于减少开关噪声引起的射频干扰），另一个为2.2 μ H功率电感，以及一个2.2 μ F电容，组成完整的DC-DC电路，输出V1P0电压给芯片供电，需通过外部电路连接到VDD_RF、VDD_AMS、VDD_VCO引脚上。
- VREG**: DC-DC开关电源输出电压的反馈引脚，连接至V1P0电压网络。
- VDDIO1**: IO1电压域供电引脚，可由VIO_LDO_OUT或者外部稳压器供电，连接一个0.1 μ F滤波电容。

以上使用的电容，磁珠以及电感的元器件选型，可参考表 3-1 和表 3-2。

表 3-1 推荐使用的电容，磁珠器件

符号	描述	值	封装类型	推荐器件（制造商、型号）
C15	CAP CER X5R 10% 6.3 V	2.2 μ F	0603	Murata GRM188R61C225KE15D
C4, C7, C8, C1	CAP CER X7R 10% 10 V	0.1 μ F	0402	Murata GRM155R71A104KA01D
C5	CAP CER X5R 10% 6.3 V	1 μ F	0402	Samsung CL05A105K05NNNC
C1	CAP CER X5R 20% 10 V	10 μ F	0603	Murata GRM188R61A106ME69
C2, C3, C6	CAP CER NPO $\pm 5\%$ 50 V	15 pF	0603	AVX 04025A150JAT2A
FB1, FB2	Ferrite Bead, 120 ohm @100 MHz, 400 mA, 500 mOhm, 0603	120@100 MHz	0603	Murata BLM18AG121SN1

表 3-2 推荐使用的9.1 nH电感器件

符号	值	DC电阻（最大值）	饱和电流	长x宽x高（mm）	推荐器件（制造商、型号）
L3	9.1 nH	0.32 Ω	300 mA	1.0 x 0.5 x 0.5	Murata LQG15HS9N1J02D

表 3-3 推荐使用的2.2 μ H电感器件

符号	值	DC电阻 (typ值)	饱和电流	长x宽x高 (mm)	推荐器件 (制造商、型号)
L4	2.2 μ H $\pm$ 20%	0.3 Ω	250 mA	1.6 x 0.8 x 0.8	Sunlord MPH160809S2R2
		0.2 Ω	250 mA	1.6 x 0.8 x 0.8	Murata LQM18PN2R2MGH
		0.38 Ω	300 mA	1.6 x 0.8 x 0.8	Murata LQM18PN2R2MFH

2.2 μ H的功率电感用于PSM (Pulse Skip Mode) 模式的DC-DC buck电路中, 且对整个DC-DC电路至关重要。它的饱和电流需大于250 mA, 同时它的直流电阻会影响功耗, 因此饱和电流大、直流电阻小的功率电感器件有利于系统的安全运行和性能提升。

3.1.1.3 I/O LDO

GR551x的I/O LDO默认输出1.8 V的额定电压, 为片上Flash (GR5515I0ND除外) 和芯片的I/O引脚 (VDDIO0引脚) 供电。此外, 它还可作为传感器等外围器件供电, 最高负载电流为30 mA。

I/O LDO的电源输出引脚为VIO_LDO_OUT, 该引脚需连接一个0.1 μ F去耦电容。

GR551x的IO电压域包括三个: VDDIO0、VDDIO1两个数字电压域以及一个MSIO数字混合电压域, 对应的参考电平分别为VDDIO0、VDDIO1、VBATL。其中VDDIO0在芯片内部和VIO_LDO_OUT相连, 未单独连接到封装引脚上。VIO_LDO_OUT与IO电压域关系如下图:

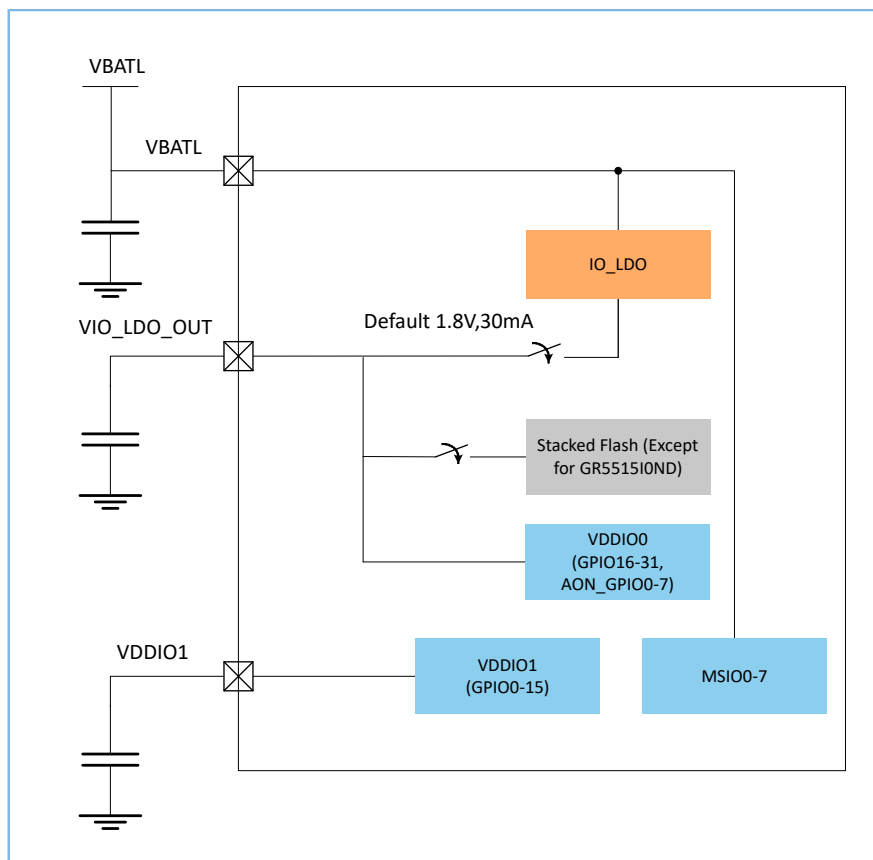


图 3-3 VIO LDO OUT与IO电压域关系示意图

 说明:

I/O LDO的漏电流约0.7 μA 。

VIO_LDO_OUT在内部和Flash的电源相连，因为Flash工作电压是1.8 V，所以VIO_LDO_OUT默认电压为1.8 V（GR5515I0ND除外），当VDDIO1和VIO_LDO_OUT外部相连后，芯片整个IO域为1.8 V（MSIO除外）。如需要改变VDDIO1对应的IO电压域，可使用外部电源为VDDIO1引脚供电，供电范围为1.8 V ~ 3.3 V，则VDDIO1对应的GPIOs的电平范围跟随外部输入电压而改变，当外部输入VDDIO1电压时，要注意不能超过电源VBATL的输入电压。

GR5515I0ND外置Flash支持高电压模式（VDDIO0为3.3 V或VBATL）。当用户需要使用高压模式时，其设置如下：

- 系统启动时会根据eFuse配置自动关闭I/O LDO。
- VIO LDO OUT只作为VDDIO0数字电压域输入，将其连接到3.3 V或VBATL。

 说明:

VDDIO1电压域对应的I/O引脚为GPIO0 ~ GPIO15，在芯片内部和VIO_LDO_OUT相连的VDDIO0电压域对应的I/O脚为GPIO16 ~ 31和AON_GPIO0 ~ AON_GPIO7。

3.1.2 时钟

3.1.2.1 简介

GR551x的系统时钟源由外部32 MHz晶振产生，RTC时钟源由外部的32.768 kHz晶振产生。

3.1.2.2 32 MHz晶振（XO）

系统时钟是CPU时钟，晶振频率为32 MHz，其规格参数要求请参考表 3-4，元器件选型请参考表 3-5。

表 3-4 GR551x晶振规格参数

参数	说明	条件	最小值	典型值	最大值	单位
Crystal Freq	晶振频率			32		MHz
ESR	等效串联电阻（Equivalent Series Resistance, ESR）				100	Ω
C _{load}	负载电容		6		8	pF
f-Xtal	晶振频率初始容差				+/-50	ppm
f-Xtal	晶振频率容差（随温度变化）				+/-30	ppm
f-Xtal	晶振频率容差（随产品使用年限变化）				+/-10	ppm
P _{DRV}	最大驱动功率				100	μ W

表 3-5 推荐使用的32 MHz晶振

器件型号	Abracon ABM10W-32.0000MHZ-6-D1X-T3	TAITIEN G0068-X-006-3	Murata XRCGB32M000F5N10R0	TXC 8Z32000004
频率	32 MHz	32 MHz	32 MHz	32 MHz
初始容差	+/-10 ppm	+/-40 ppm	+/-50 ppm	+/-10 ppm
随温度变化后容差	+/-20 ppm	+/-30 ppm	+/-30 ppm	+/-20 ppm
负载电容	6 pF	6 pF	6 pF	8 pF
ESR	70 Ω	30 Ω	$\leq 100 \Omega$	$\leq 60 \Omega$
温度	-40℃ ~ +85℃	-40℃ ~ +105℃	-40℃ ~ +85℃	-40℃ ~ +85℃
长 x 宽 x 高（mm）	2.5 x 2.0 x 0.60	2.5 x 2.0 x 0.60	2.0 x 1.6 x 0.60	2.5 x 2.0 x 0.60

说明:

32 MHz晶振负载电容参数要求必须6 pF~ 8 pF，否则会影响系统的稳定和功耗。32 MHz晶振无需外接负载电容，但需要使用量产工具进行频率偏移校准，应用电路需为量产工具预留其所需接口或测试点，即预留SWDCLK、SWDIO、CLK_TRIM（除了MSIO外的任意GPIO）、GND、VBAT。

3.1.2.3 32.768 kHz晶振

GR551x采用低功耗、低频时钟，用于延长电池使用寿命和深度睡眠模式。此外，GR551x采用外部32.768 kHz晶振，可提供更紧凑的时序和更高的精度，从而降低系统的整体功耗。

GR551x内嵌了一个可调节的负载电容，因此通常情况下，该晶振无需外接负载电容。

32.768 kHz晶振的规格参数要求请参考表 3-6；元器件选型请参考表 3-7。

表 3-6 32.768 kHz晶振规格参数

参数	说明	条件	最小值	典型值	最大值	单位
Crystal Freq	晶振频率			32.768		kHz
ESR	等效串联电阻				100,000	Ω
C _{load}	负载电容		6		9	pF
f-Xtal	晶振频率初始容差				+/-50	ppm
f-Xtal	晶振频率容差（随温度和芯片使用年限变化）				+/-250	ppm
P _{DRV}	最大驱动功率				0.5	μ W

表 3-7 32.768 kHz晶振规格（推荐使用）

器件型号	Abracon ABS05-32.768KHZ-9-T
频率	32.768 kHz
初始容差	+/-20 ppm
随温度变化后容差	+/-250 ppm
负载电容	9 pF
等效串联电阻（Equivalent Series Resistance, ESR）	90,000 Ω
温度	-40℃ ~ +85℃
大小（长 x 宽 x 高）mm	1.6 x 1.0 x 0.50

说明:

32.768 kHz晶振负载电容参数要求必须6 pF ~ 9 pF，否则会影响系统的稳定和功耗。

3.1.3 射频

3.1.3.1 简介

GR551x收发器的功能框图如图 3-4所示。

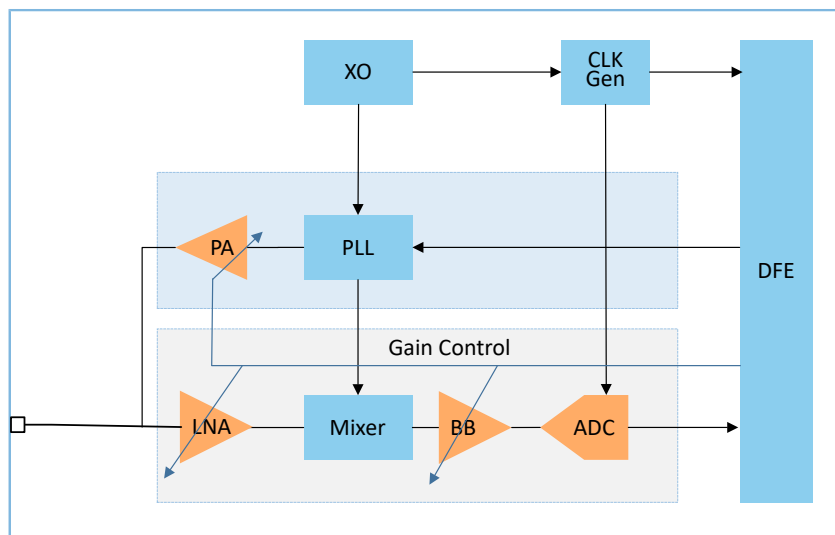


图 3-4 GR551x收发器框图

其工作原理描述如下：

- 接收端

1. 天线接收到射频信号后，按照低噪声放大器 “（Low Noise Amplifier, LNA）→ 混频器（Mixer）→ 基带（Baseband, BB）放大器 → 模数转换器（Analog-to-Digital Converter, ADC）” 的接收路径处理并输出数字信号。
2. 数字信号被发送到数字前端进行解调。
3. 数字前端提供自动增益控制（Automatic Gain Control, AGC）反馈信号，调整LNA和BB放大器的增益，以实现满足要求的最大信噪比（Signal-to-Noise Ratio, SNR）。

- 发射端

1. 数字前端将数字信号传输给锁相环（Phase Locked Loop, PLL）进行调制。
2. 调制后的载波通过功率放大器（Power Amplifier, PA）放大，放大系数可由数字增益配置。
3. 调制后的信号通过低功率或高功率PA路径放大后发送到天线，然后天线将放大后的载波通过电磁波向外辐射。

说明:

射频频率和数字时钟是由XO产生的。

3.1.3.2 射频电路原理图

GR551x最小系统中射频模块的电路原理图如图 3-5:

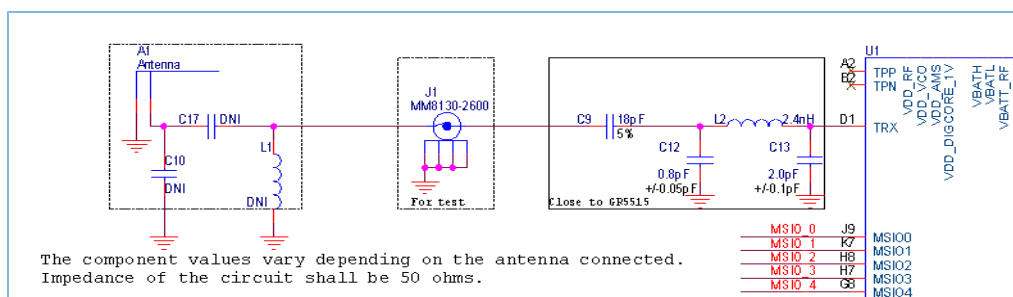


图 3-5 射频电路原理图

在该电路中，左侧的PI型匹配网络（由电感L1、电容C10、C17组成）对天线进行匹配；C9是隔直电容；右侧的PI型匹配网络（由电感L2、电容C12、C13组成）对芯片内部的PA进行匹配，与芯片TRX引脚相连。

电路中使用的电容C12、C13、C9以及电感L2的器件选型，请参考如表 3-8 所示。

表 3-8 推荐使用的器件

符号	描述	值	封装尺寸	推荐器件（制造商、型号）
C9	CAP CER NPO 18 pF $\pm 5\%$ pF 50 V	18 pF	0402	Murata GRM1555C1H180JA01D
C12	CAP CER NPO 0.8 pF ± 0.05 pF 50 V	0.8 pF	0402	Murata GRM1555C1HR80WA01D
C13	CAP CER NPO 2.0 pF ± 0.1 pF 50 V	2.0 pF	0402	Murata GRM1555C1H2R0BA01D
L2	Inductor, Wirewound, 2.4 nH ± 0.2 nH, 50 mOhm, Q = 20@250 MHz	2.4 nH	0402	Murata LQW15AN2N4B00

3.1.4 I/O引脚

GR551x提供软件可配置的I/O引脚复用功能，不同外设可复用在不同引脚上。当I/O引脚被配置为GPIO时，可设置为输入或输出，并可配置上拉或下拉电阻。当系统进入睡眠或深度睡眠模式时，I/O引脚会保持其进入睡眠前的状态。只有AON_GPIO可用于将系统从睡眠/深度睡眠模式唤醒。

说明:

- 关于引脚复用的更多详细信息，请参考《GR551x Datasheet》。
- 在电路应用设计I/O分配时，注意MSIO引脚不具备硬件中断功能。
- GR551x芯片配备2组PWM（PWM0和PWM1），每组提供三路独立的输出通道：PWMA、PWMB、PWMC。同一组内的三路PWM信号频率相同，不能单独设置，相位和占空比可通过寄存器配置。

3.1.5 串行调试接口

通过串行调试接口（Serial Wire Debug, SWD），可外接J-Link仿真器进行调试。

GR551x不同封装下的SWD接口对应的芯片引脚如表 3-9 所示。

表 3-9 SWDIO和SWCLK对应的芯片引脚

SWD接口	引脚（QFN56）	引脚（BGA68）	引脚（BGA55）	引脚（QFN40）
SWCLK	Pin 4	Pin C4	Pin B4	Pin 4
SWDIO	Pin 5	Pin E3	Pin B5	Pin 5

当不使用SWD接口时，这些引脚可复用为GPIO引脚。

3.1.6 外部Flash

GR5515I0ND使用外部QSPI Flash，用户可以根据需求灵活选型，对于基本的读、写、擦除访问需求，多种Flash型号可以选用。

不同厂商和型号的Flash功耗不同，选择读取功耗低的Flash，对GR5515I0ND产品整机功耗有竞争力。推荐的GR5515I0ND外部Flash列表如下：

表 3-10 GR5515I0ND外部Flash选型推荐型号

Flash推荐型号	厂商	Flash容量	电压范围
P25Q128L	Puya（普冉）	128 Mb	1.65 ~ 2.00
P25Q128H	Puya（普冉）	128 Mb	2.30 ~ 3.60
W25Q64JW	Winbond（华邦）	64Mb	1.70 ~ 1.95
XT25Q64D	XTX（芯天下）	64 Mb	1.65 ~ 2.10
W25Q64JV	Winbond（华邦）	64Mb	2.70 ~ 3.60
XM25QH64A	XMC（新芯）	64 Mb	2.30 ~ 3.60
XT25F64B	XTX（芯天下）	64 Mb	2.70 ~ 3.60

更多GR5515I0ND外部Flash选型信息，可参考《GR5515I0ND外部Flash选型指导手册》。

说明:

- GR551x SDK 1.6.10 及之后版本支持低压Flash（电压为1.8 V），如用户选择低压Flash，需通过GRPLT工具对eFuse进行相应的设置。
- 由于外置Flash支持情况不同，部分Flash无法支持64 MHz速率读取，因此可根据Flash访问速率需求降低QSPI速率。
- 在GR5515I0ND外置Flash的应用场景中，Flash的实际工作频率和器件封装、布局、走线等因素相关，需根据产品实际情况参照Flash选型标准进行合理选择。

3.2 PCB Layout设计指南

3.2.1 PCB叠层

建议QFN56、BGA68、BGA55和QFN40封装的PCB板均采用四层板。如下是以1.6 mm板厚为例的PCB参考叠层结构，如下图所示。

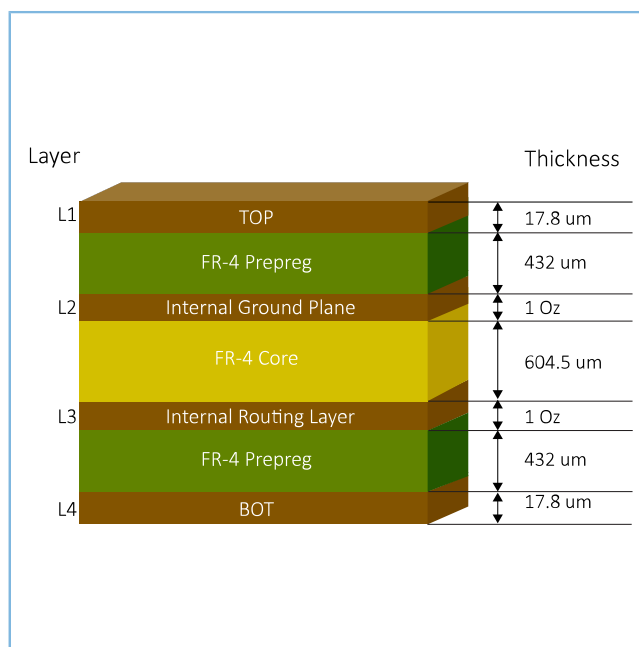


图 3-6 GR551x PCB参考叠层结构

第一层L1：顶层，主要用于放置元器件、走RF传输线及关键信号线。

第二层L2：地平面层，既用于接地返回路径，也作为50 Ω 射频传输线的参考地平面。

第三层L3：电源平面层，用于电源分割、走少量信号线。

第四层L4：底层，放置元器件和走信号线。

说明:

用户可根据自身产品开发需求，修改PCB叠层结构设计。[4.2.1 QFN56 PCB四层板参考设计](#)和[4.2.4 BGA68 PCB四层板参考设计（NRND）](#)提供了两个典型的四层板PCB Layout案例以帮助用户快速开发和设计。

如用户对QFN封装有降低成本需求必须采用两层板，要特别注意两层板的电源滤波器件布局、电源输入、DC-DC buck地的返回路径、RF走线的参考地完整性等，详情请参考[4.2.2 QFN两层板参考设计](#)布局布线。

3.2.2 元器件布局

所有高频器件的放置应尽可能紧凑，有利于防止走线之间的交叉耦合，并将对系统工作产生负面影响的寄生效应降到最低。

产品整体布局需要考虑：主芯片根据产品结构情况尽量靠近天线接口位置，射频走线下方尽量避免布局其他功能部分的元器件，优先保证射频器件的布局和走线位置。

3.2.3 电源

电源是保证芯片可靠运行的基本要素，电源处理不当会带来ESD性能差、辐射超标等整机系统问题。所以在PCB设计时需要优先处理好关键电源的布局和走线。其中DC-DC电源和RF输入电源尤为重要，需遵循以下设计要求。

3.2.3.1 DC-DC开关电源

以GR5515RGBD为例，芯片内置DC-DC开关电源，DC-DC的PCB layout需满足以下设计要求：

1. DC-DC电源输出外围器件L3（电感9.1 nH）、L4（电感2.2 μ H）和C15（2.2 μ F）应尽可能靠近芯片VSW和VREG引脚，建议距离不超过3 mm。
2. DC-DC电源输出的VSW在没有经过电感之前干扰比较强，因此需要和其它网络保持至少0.2 mm的间距要求。主要会影响V1P0和DIGCORE电源。
3. 电感L3（9.1 nH）和L4（2.2 μ H）最好垂直放置，避免电感耦合。电容C15（2.2 μ F）应放置在电感L4之后，且VREG反馈调节电源应在电容后取电。
4. 电容的接地脚应尽可能靠近芯片VSS_BUCK接地脚，电容的地脚器件焊盘就近打地过孔，建议和芯片的主地引脚用地平面连接，使电源路径回路最短。

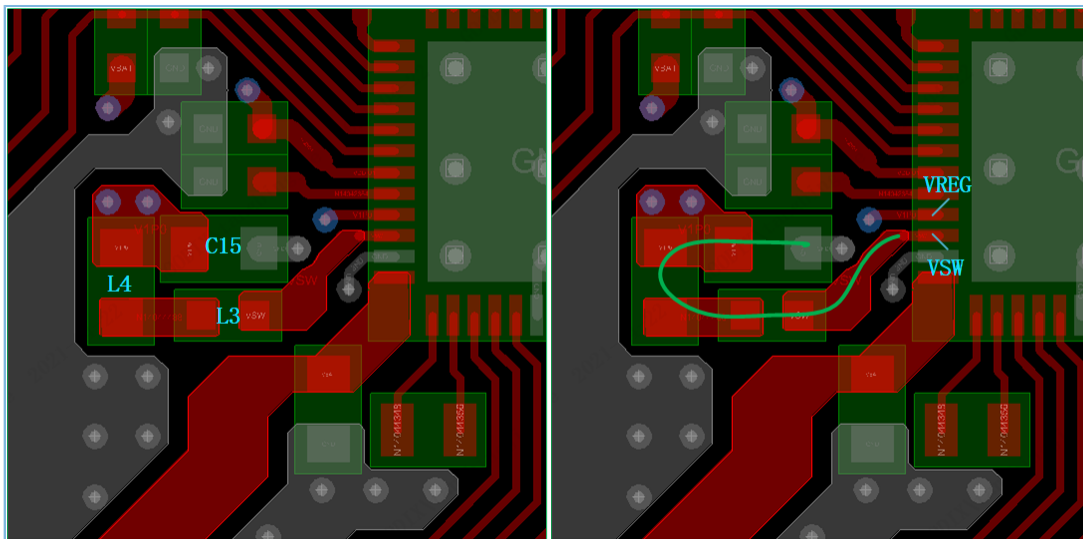


图 3-7 DC-DC电源输出参考布局和走线

说明：

图 3-7中绿色线为输出电源路径。

3.2.3.2 RF输入电源

RF输入电源端是一个非常重要的设计点，如处理不好会引起诸多辐射超标的问题，RF输入电源端PCB layout设计需满足如下要求：

1. RF输入电源VDD_RF、VDD_VCO、VDD_AMS的去耦电容都应尽可能靠近各芯片的引脚处，最好控制在1 mm左右，不要超过3 mm。尽量保证与芯片在同一面，且路径需要先经过电容再到芯片电源引脚（即如果换层连接，过孔需要打在去耦电容附近）。
2. 电源走线应尽量短，宽度尽量粗，至少保证线宽0.2 mm以上,并和其它网络能够保持大于等于0.2 mm的间距。

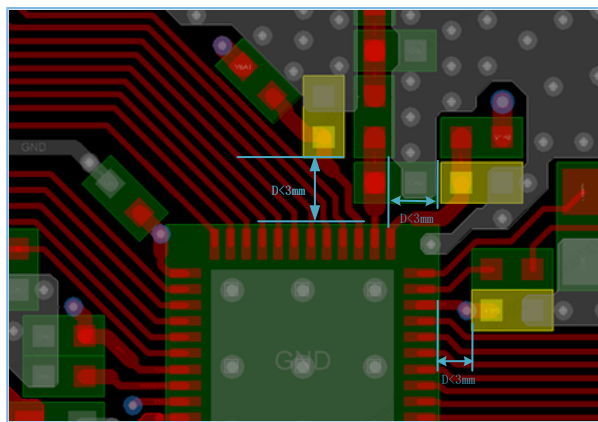


图 3-8 RF输入电源参考布局和走线

参考图 3-9，将C1（10 μ F 电容）放置在VBATL引脚旁，C4、C7、C8（0.1 μ F 电容）分别靠近VDD_VCO、VDD_DIO1和VIO_LDO_OUT引脚，C2、C3、C6（15 pF 电容）分别靠近VDD_AMS、VBATT_RF和VDD_RF引脚，C5（1 μ F 电容）靠近VDD_DIGCORE_1V引脚。

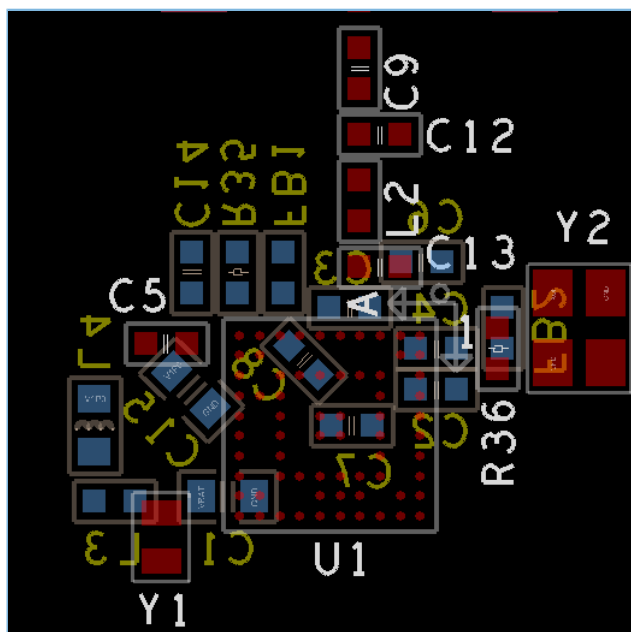


图 3-9 GR5515RGBD PCB参考电源布局

3.2.4 时钟

晶振尽可能放置于IC附近，建议不超过4 mm，这将最大限度地减少输入引脚上的额外容性负载，并降低晶振与其他信号串扰和干扰的可能性。另外，请确保在晶振下方或晶振走线旁边无其他信号线。32 MHz晶振走线尽可能包地处理，如晶振下方有完整地平面并没有其他干扰信号的情况下，可在晶振焊盘正下方做开窗处理，减小焊盘寄生电容。

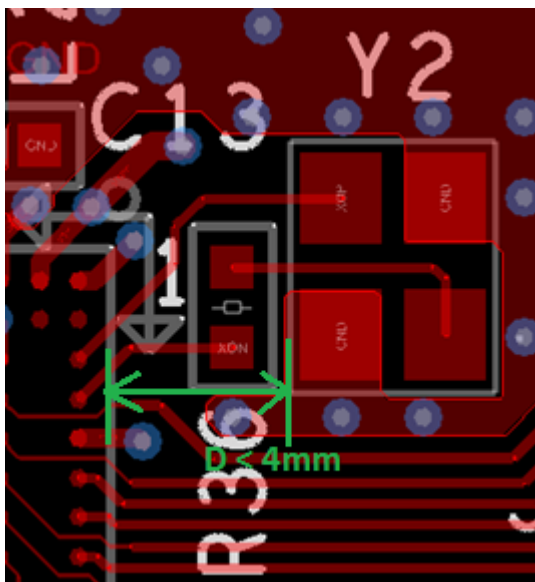


图 3-10 GR5515RGBD PCB参考时钟布局

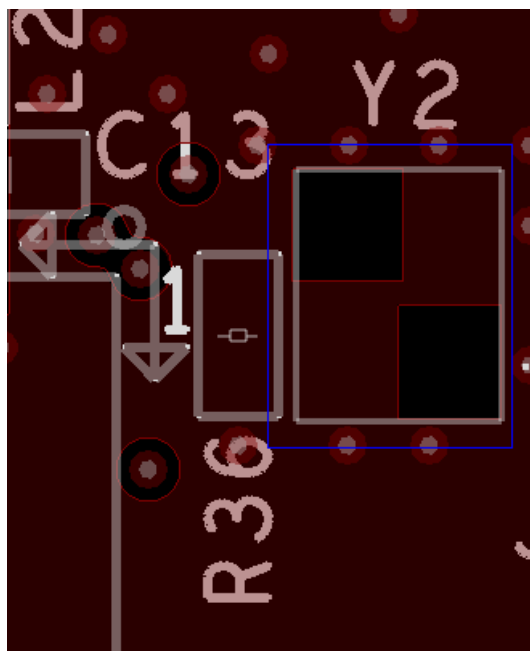


图 3-11 GR5515RGBD PCB晶振开窗处理

3.2.5 射频端口

GR551x提供单端射频输入输出（Radio Frequency Input/Output, RFIO）端口。连接RFIO端口与天线的射频传输线特性阻抗要求为 $50\ \Omega$ ，但由于RFIO端口阻抗并非 $50\ \Omega$ ，因此需使用一个匹配网络来匹配RF端口与 $50\ \Omega$ 传输线之间的阻抗。

匹配网络的元器件必须尽可能地靠近RFIO引脚，将匹配网络的第一个元器件放置在离RFIO引脚不超过1 mm的位置。射频端口的PCB布局设计，请参考下图。

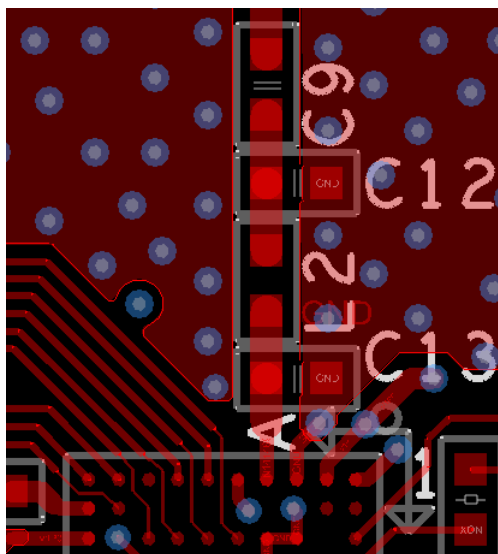


图 3-12 射频端口的PCB布局

说明:

RF走线尽可能短而直，如结构限制需要转弯，则转角处要求倒圆弧禁止出现直角或小于90°夹角走线。RF线优选走表层，避免打过孔换层，禁止走线上存在stub，RF走线下方必须保证完整参考地平面。RF线宽尽量设计和匹配器件焊盘一致，从而避免由于元器件的焊盘宽度与走线宽度不一致而破坏50 Ω传输线特性阻抗的连续性。

以4层板设计为例，射频走线以L2地层作为参考平面的微带传输线，其相关尺寸参数为：

- 走线宽度：559 μm
- 走线与顶层的间距：178 μm
- 顶层与L2层的间距：432 μm

对于该传输线，其PCB采用FR-4材质，顶层走线的铜箔厚度为0.5盎司（在实际设计中，射频走线要求板厂做单端50欧（+/- 10%）阻抗控制）。

另外，沿传输线每隔1.25 mm放置一个接地过孔，并紧邻匹配元器件的接地焊盘。

在靠近天线馈电点位置布局一个PI型匹配网络，以便进行天线匹配。天线匹配网络的参数可根据实际使用的天线进行调整，并建议使用成熟的天线方案和天线厂商提供的推荐参数。

3.2.6 接地

GR551x需要进行可靠的接地连接，使用尽可能多的地过孔在IC的下方创建一个接地区域，并将其连接到内部和底部的GND层。

QFN类封装底部中心的接地焊盘可通过3 x 3、4 x 4或更多的过孔矩阵连接至地平面层。

VBATL的10 μF滤波电容地需要靠近芯片主地，建议尽可能通过敷铜的方式连接，如3.2.3 电源所述，DC-DC电源的接地VSS_BUCK返回路径确保完好，良好的接地有利于芯片的稳定安全工作。

说明:

- 确保PCB上的接地焊盘形状与芯片的焊盘形状保持一致，包括裸露的焊盘部分（QFN类封装）。
- 确保TRX引脚的旁边有接地过孔。
- 对于BGA封装，尽可能将接地过孔放置在接地焊球附近。

3.2.7 系统ESD防护设计

3.2.7.1 系统级ESD设计要求

系统级ESD设计是一个较为复杂的工程，工程师在原理图、PCB和产品设计方面须要遵循以下设计规则。

3.2.7.1.1 原理图设计要点

1. 如3.1.1 电源所述，GR551x芯片供电采用单独的LDO供电。
2. 在充电接口CHAR+、CHAR-端分别串接磁珠，可衰减静电能量，并在磁珠前端增加TVS管进行ESD防护处理，如下图所示。

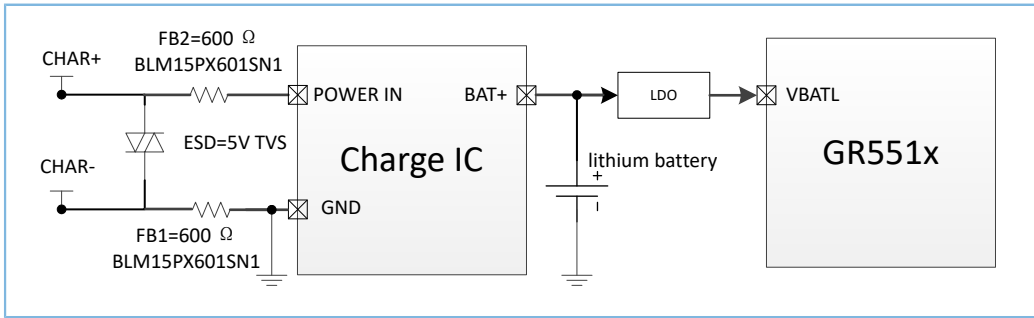


图 3-13 电源充电接口ESD处理

TVS管和磁珠BEAD选型要求和推荐型号如下表：

表 3-11 TVS选型要求

参数	说明	最小值	典型值	最大值
$V_{RWM}(V)$	反向关断电压		5 V	
$V_{BR}(V)$	击穿电压		7 V	
$V_{clamp}(V)$	钳位电压		6 V	
$V_{ESD}(kV)$	抗ESD能力	接触放电: ± 10 kV 空气放电: ± 12 kV		

表 3-12 磁珠BEAD选型要求

参数	说明	最小值	典型值	最大值
FB (Ω)	100 MHz 下的阻抗值		600 Ω	

参数	说明	最小值	典型值	最大值
I _{额定电流} (mA)	额定工作电流		900 mA	
R _{DC最大电阻} (mΩ)	直流最大电阻		230 mΩ	

表 3-13 TVS选型推荐型号

推荐型号	V _{RWM} (V)	V _{BR} (V)	V _{clamp} (V)	工作温度	V _{ESD} (kV)	封装	品牌
AZ5C25-01	5	9	6	-55℃ ~ 85℃	接触放电: ±13 kV 空气放电: ±16 kV	0201	Amazing
OVE38E32	6.5	7	10	-55℃ ~ 125℃	接触放电: ±25 kV 空气放电: ±25 kV	0402	OVREG

表 3-14 BEAD推荐型号

推荐型号	阻抗@100 MHz	额定电流	DC最大电阻	工作温度	封装	品牌
BLM15PX601	600 Ω	900 mA	230 mΩ	-55℃ ~ 125℃	0402	MURATA
WLBD1005HC	600 Ω	900 mA	230 mΩ	-55℃ ~ 125℃	0402	Walsin

- 对于金属外壳的产品，金属外壳接地点和主板地之间串接磁珠，避免静电干扰直接进入主板。
- 针对手表，手环等产品，如果产品系统静电指标为空气放电±8 kV，接触放电±4 kV以上时，需要另外增加外部看门狗等复位机制来增强产品系统ESD防护能力。

使用外部硬件看门狗时，需要注意硬件看门狗的初始启动条件，在没有固件时不要启动外部看门狗，避免在未烧录固件时误启动了硬件看门狗，导致系统误复位。

看门狗选型要求和推荐型号如下表所示：

表 3-15 看门狗选型要求和推荐型号

防静电敏感性	t _{WD} 看门狗喂狗时间	t _{RET} 看门狗输出复位时间	输入电压范围	工作电流	工作温度	推荐型号	品牌
HBM > 2000 V CDM > 500 V	可配置，满足10s内喂狗需求	> 100 ms	1.6 ~ 5 V	需满足整机睡眠电流要求，建议不高于5 uA	-40℃ ~ 85℃	SGM820A/B-X	圣邦微

以SGM820作为外部硬件看门狗来复位系统为例，该看门狗喂狗时间可以通过外部电容配置。

SGM820A-X标准可编程看门狗计时时间，计算公式如下：

$$t_{WD_standard}(ms) = 3.33 \times C_{CWD}(nF) + 0.28(ms) \quad (1)$$

SGM820B-X扩展可编程看门狗计时时间，计算公式如下：

$$t_{WD_extended}(ms) = 78.3 \times C_{CWD}(nF) + 51(ms) \quad (2)$$

系统在喂狗时间 t_{WD} 内，输出一个大于50 ns的喂狗脉冲信号后，看门狗计时清零，则不会复位系统。当发生ESD事件系统软件失效时，不能在 t_{WD} 内进行喂狗，则看门狗输出200 ms的复位信号，对系统进行复位。

看门狗参考设计如下图所示，nRESET连接GR551x Chip_EN，在系统发生软件跑飞时，输出复位信号从而重启系统，WDI_820连接任意GPIO进行喂狗操作。

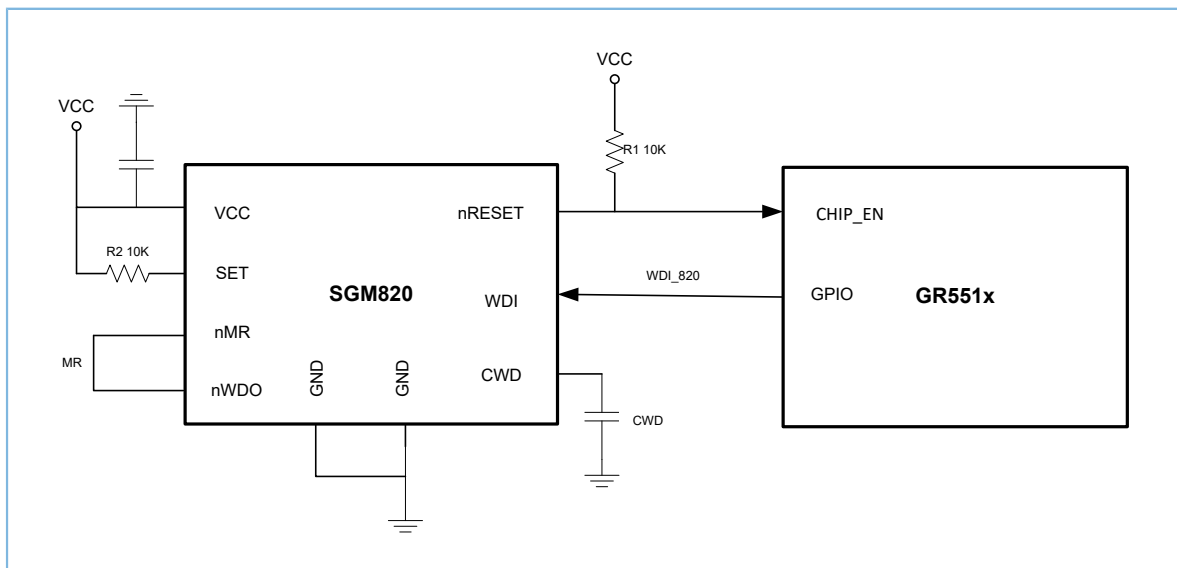


图 3-14 硬件看门狗参考设计电路

3.2.7.1.2 PCB Layout设计要点

1. GR551x PCB GND Layout设计建议

- 建议PCB板采用四层及以上，GR551x芯片邻层为完整的GND层，完整可靠的接地层有利于ESD静电的快速泄放。
- 芯片GND管脚先在Top层与主板GND互连，后再通过Via与PCB其他层GND互连。
- QFN封装产品，芯片VSS_BUCK GND管脚需要靠近输入电容（10 μ F）地脚，通过就近打至少2个过孔在其它层与EPAD互联。该Pin脚走线线宽需0.25 mm以上，减少电源/GND回路阻抗。

2. 充电接口触点PAD布局及设计要求

- 建议充电接口CHAR+、CHAR-的触点PAD尽量与GR551x芯片布局不同层，如充电PAD与芯片布局在同一层，PAD与芯片距离应在5 mm以上。
- CHAR+、CHAR-的触点PAD不能靠近时钟、Reset、通信等敏感信号，同时需要对其做包地隔离处理。

3. 滤波电容要紧靠GR551x芯片的Power管脚放置，保持最小的电源回路面积，增强滤波效果。

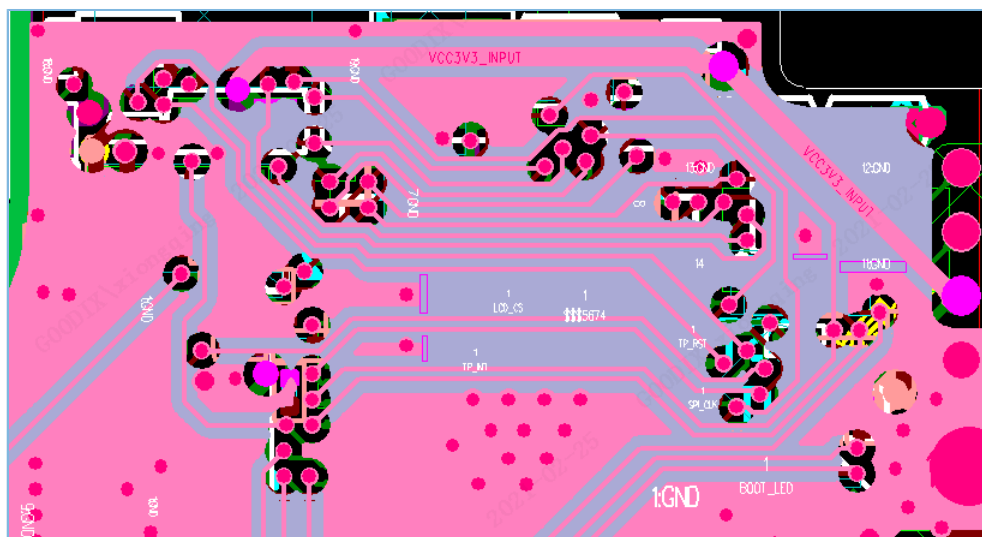


图 3-17 正确的IO走线处理

5. 电容或ESD防护器件等的走线要贯穿焊盘，避免通过长引线连接到焊盘，导致滤波或防护效果变差。

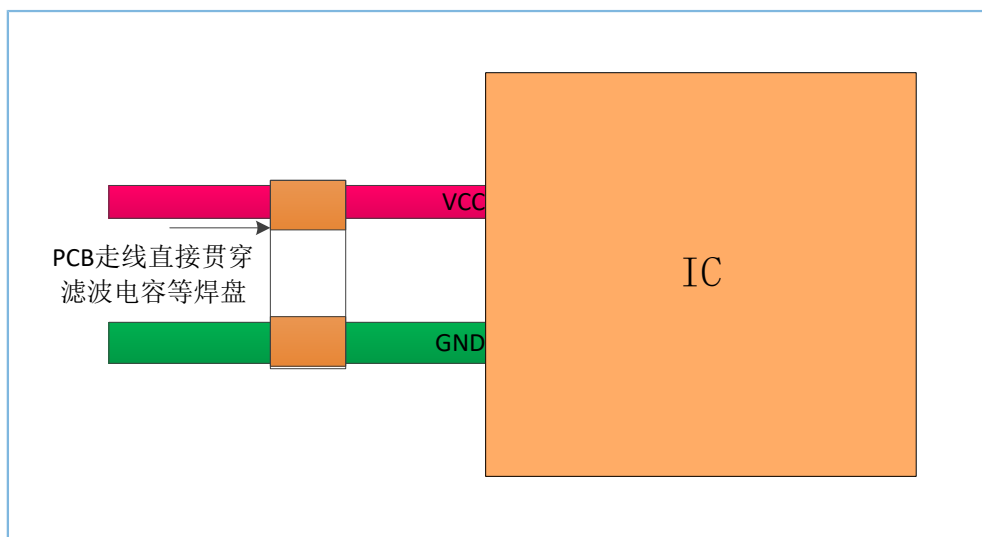


图 3-18 正确的电容或ESD防护器件走线

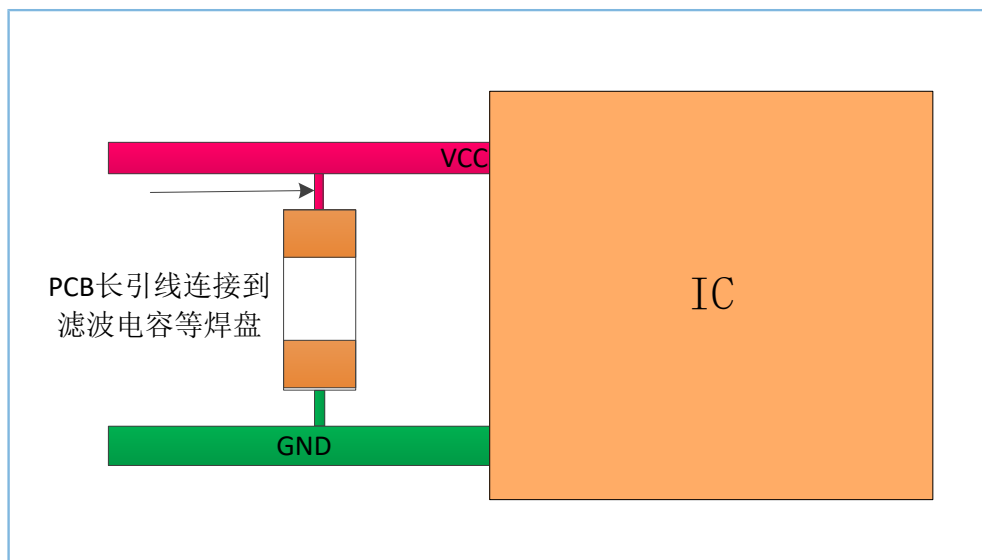


图 3-19 错误的电容或ESD防护器件走线

3.2.7.1.3 产品结构设计要求

- 外壳缝隙要密封，阻断静电进入。
- 金属外壳接地点要串接磁珠后再连接到主板的GND回路，防止静电通过金属外壳直接进入主板。
- 结构上不允许有悬浮金属，触摸与显示等传感器模组的钢板补强需要接地处理。
- 结构上需尽量避免主板与触摸、显示等传感器模组FPC重叠区域紧密接触，同时建议主板连接器裸露区域贴高温胶防止结构上短路及静电串入。

3.2.7.2 生产、运输、调试阶段ESD注意事项

在生产、运输、调试等阶段要严格按照ESD管控要求执行，避免ESD事件发生。

- 需佩戴防静电手环，禁止用手或金属镊子直接夹取芯片。
- 使用静电袋或防静电托盘装芯片。
- 烙铁、焊接台、测试仪器需有防静电措施。
- 生产、运输环节需严格按照产线ESD防控要求执行。

4 参考设计

4.1 原理图参考设计

GR5515IGND QFN56封装的参考电路原理图如图 4-1所示:

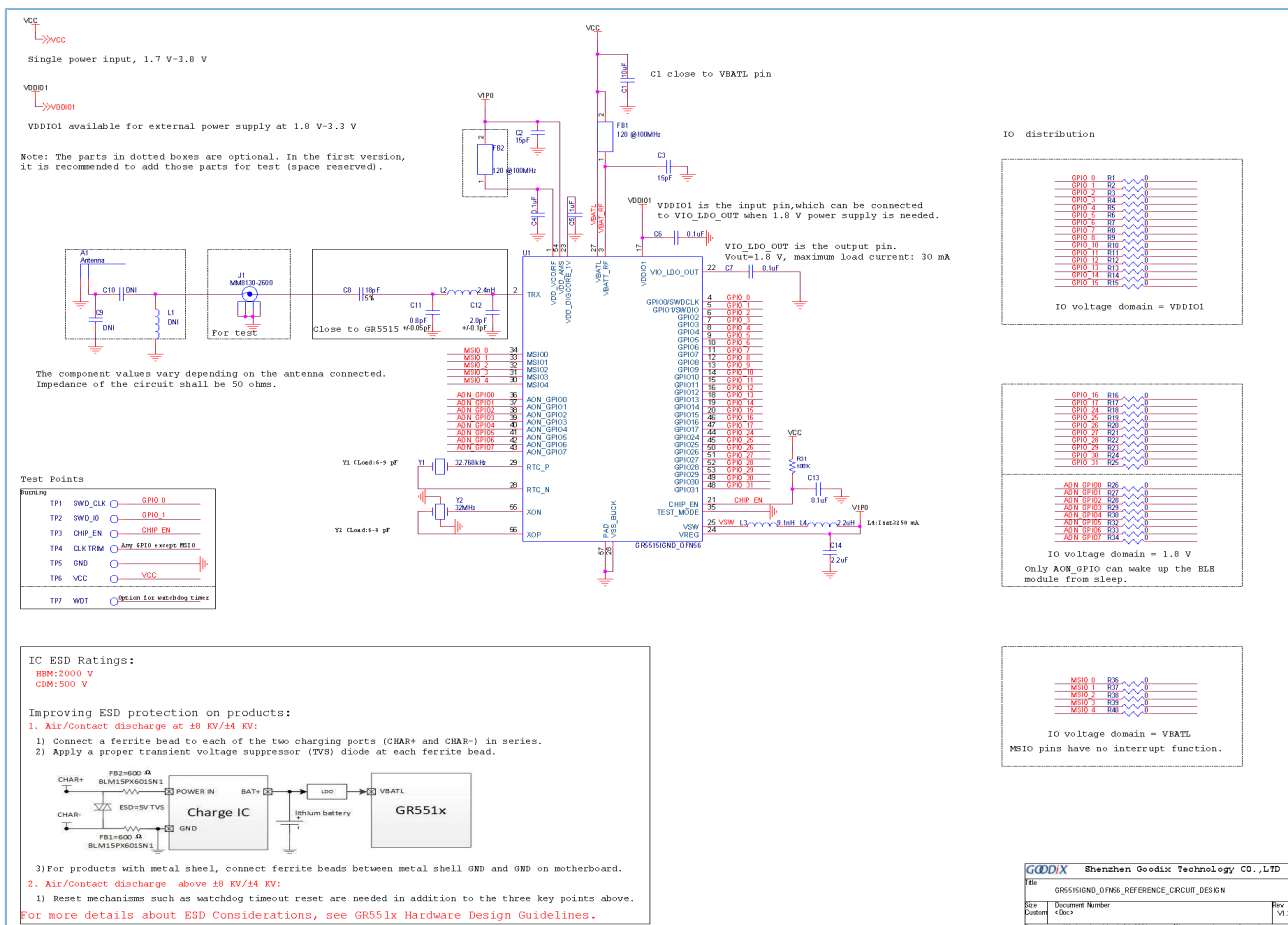


图 4-1 GR5515IGND QFN56封装的参考电路

GR5515I0ND QFN56封装的参考电路原理图如图 4-2所示:

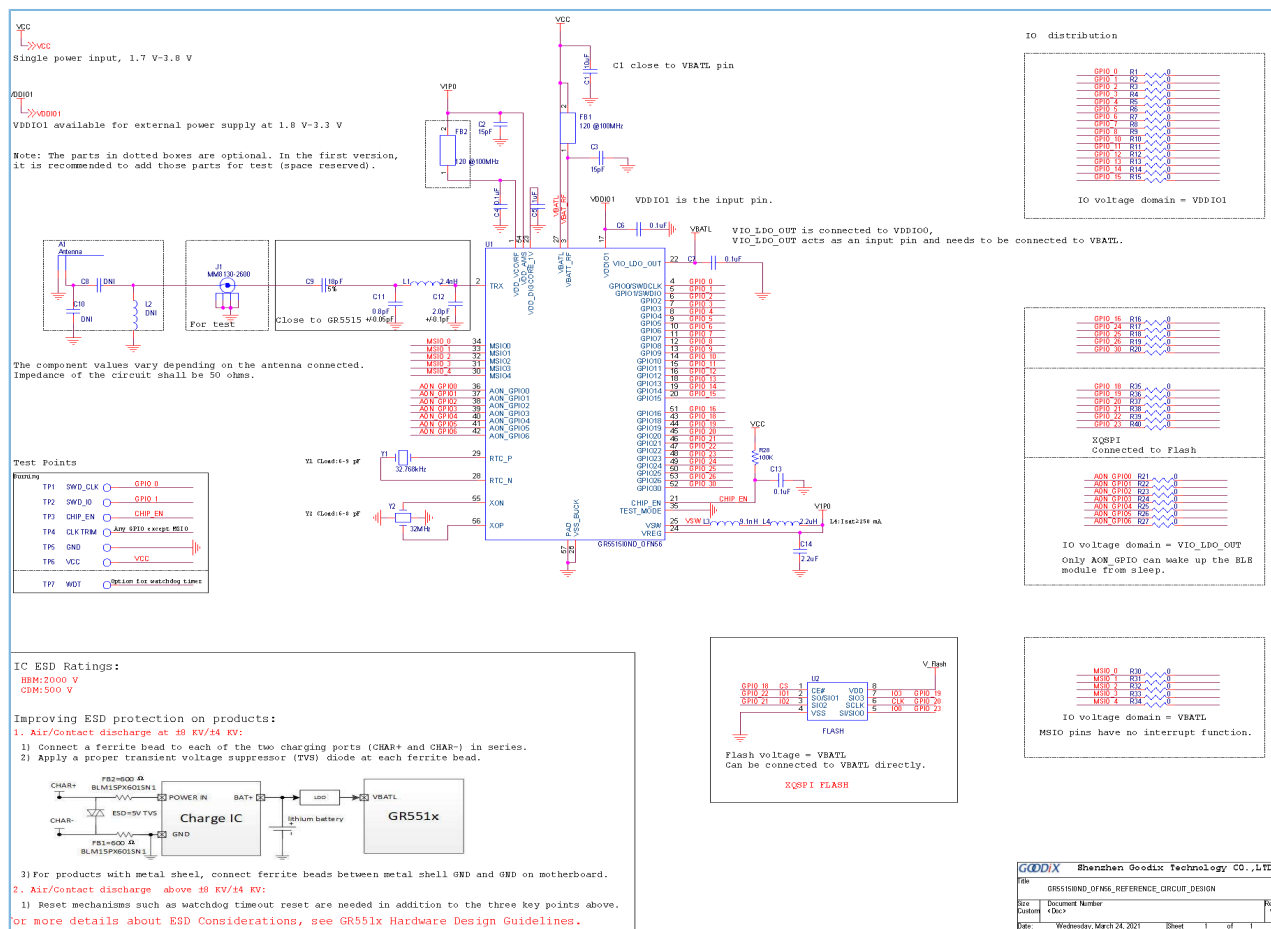
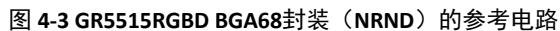


图 4-2 GR5515I0ND QFN56封装的参考电路

GR5515RGBD BGA68封装 (NRND) 的参考电路原理图如图 4-3所示:



GR5515GGBD BGA55封装的参考电路原理图如图 4-4所示:

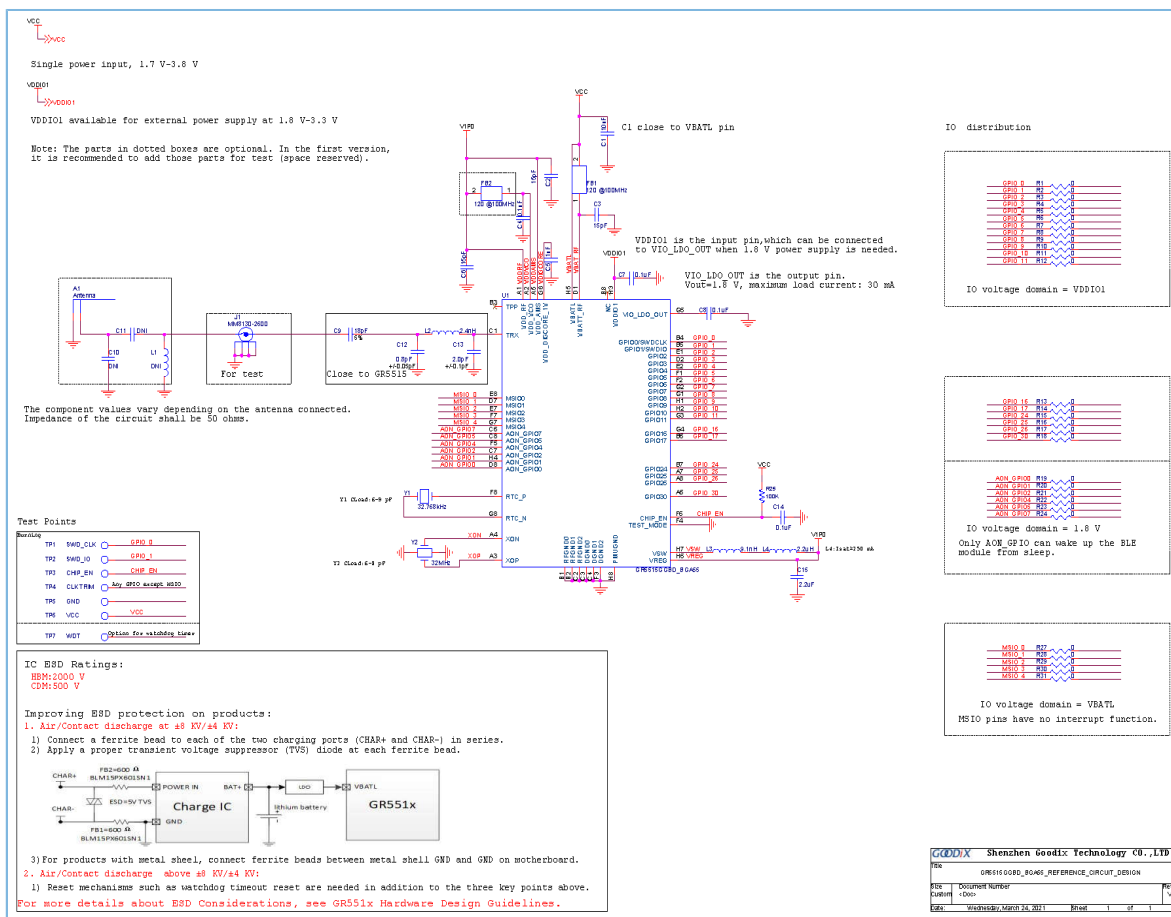


图 4-4 GR5515GGBD BGA55封装的参考电路

GR5513BEND QFN40封装的参考电路原理图如图 4-5所示:

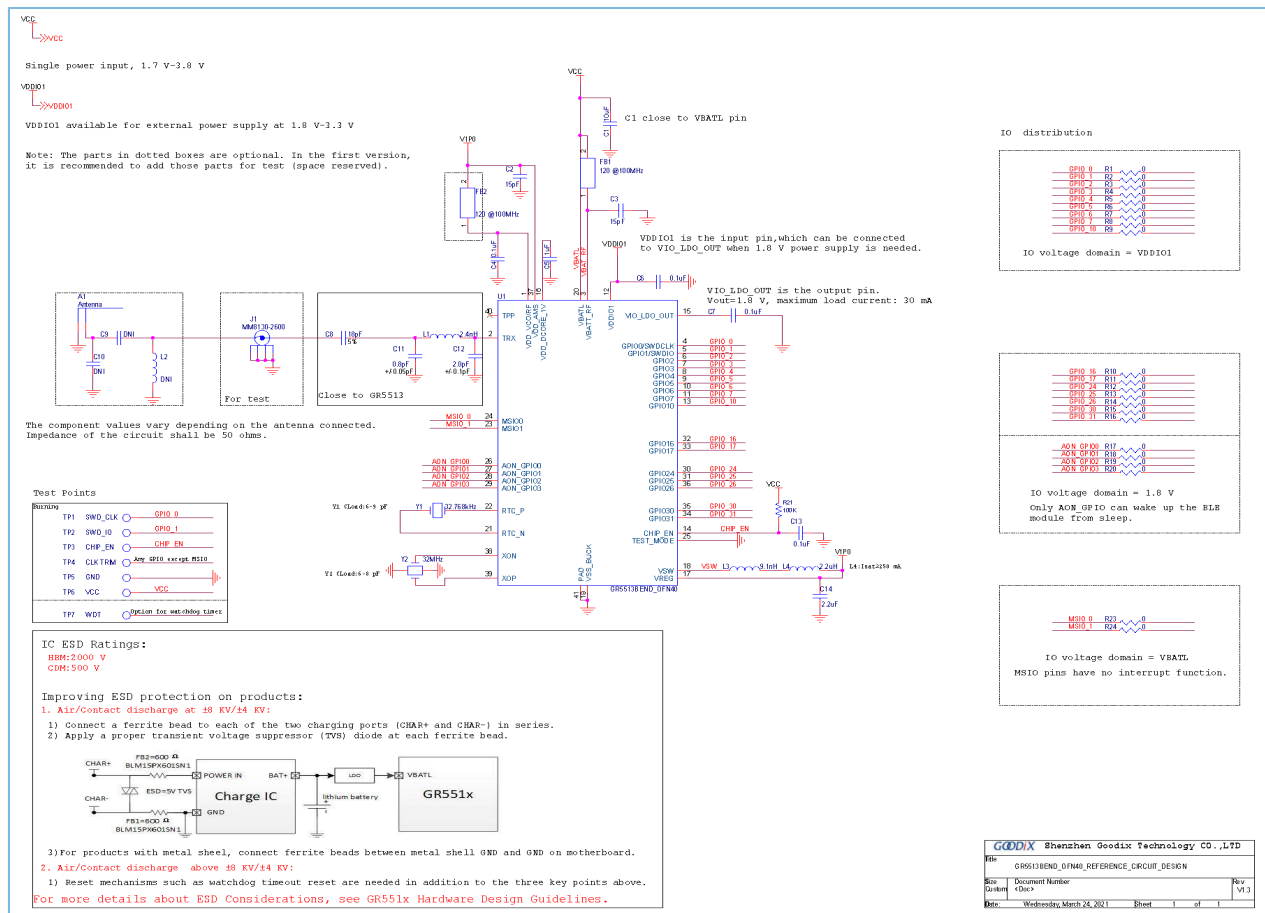


图 4-5 GR5513BEND QFN40封装的参考电路

4.2 PCB参考设计

按照3.2 PCB Layout设计指南的规则，下面章节将以BGA68和QFN56为例，提供完整的最小系统PCB Layout参考设计，帮助客户进行快速产品开发和设计。

4.2.1 QFN56 PCB四层板参考设计

本例的PCB Layout参考设计将所有的GPIO信号从芯片中引出。采用四层板的设计，板厚0.6 mm，过孔全为通孔，射频线走线宽度为22 mil，与匹配器件的焊盘同宽。由于PCB板较薄，为保证射频传输线的50 Ω阻抗控制，第二层进行了挖空，使用第三层（使用0.6 mm板厚50 Ω阻抗控制参考叠层设计，如图4-6所示）作为参考地平面。

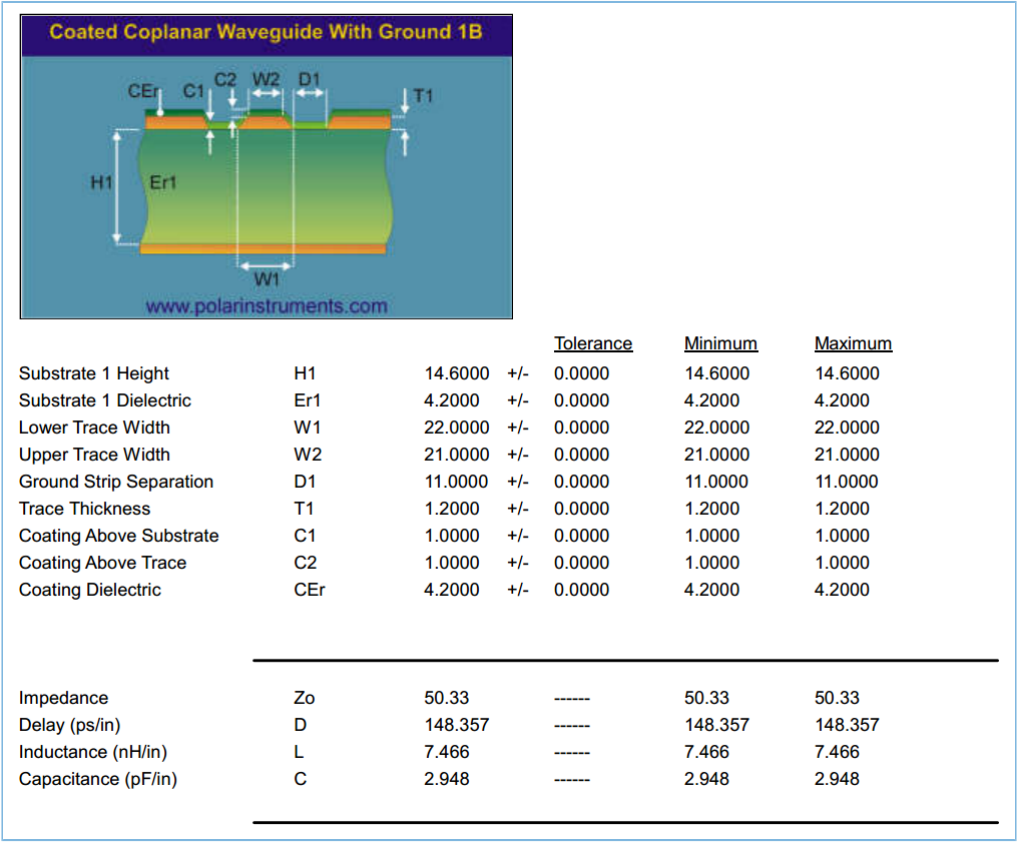


图 4-6 阻抗控制叠层设计

详细PCB Layout参考设计如下。

1. TOP层

用于元器件布局 and RF 等关键信号走线。

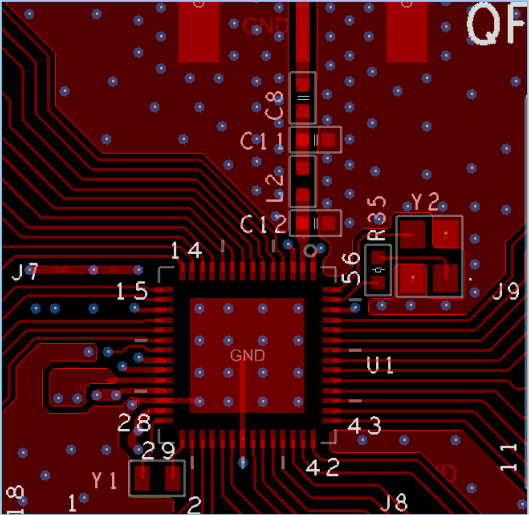


图 4-7 TOP层设计

2. L2层

用于信号返回接地层，本例按照板厚0.6 mm阻抗控制叠层设计做了50 Ω射频传输线隔层参考的地平面挖空处理，以及32 MHz晶振焊盘下方的地平面挖空处理。

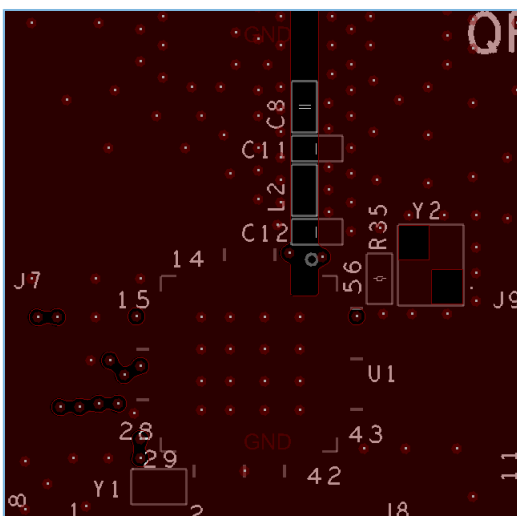


图 4-8 L2层设计

3. L3层

用于电源和少量走线。本例中该层作为射频线的参考地层，注意保证射频传输线走线下方的接地平面完整。

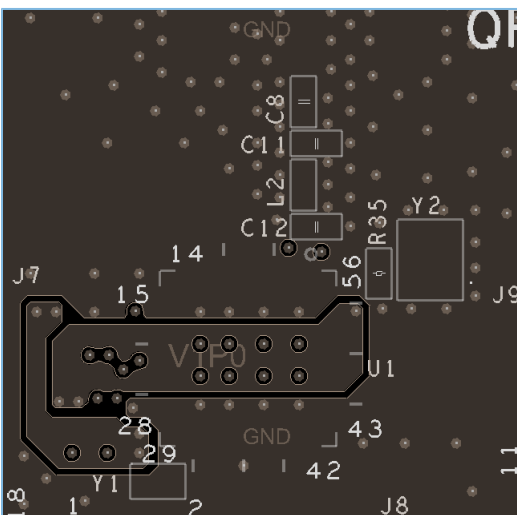


图 4-9 L3层设计

4. BOTTOM层

用于滤波器件的布局和信号走线，滤波器件尽可能靠近对应的芯片管脚。

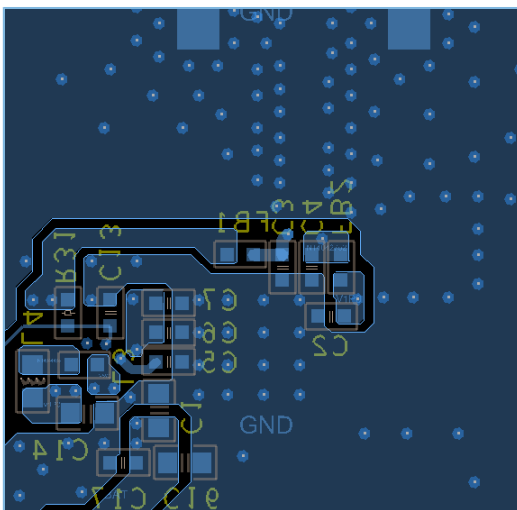


图 4-10 BOTTOM层设计

4.2.2 QFN两层板参考设计

针对用户降低成本需求，QFN类封装可以使用两层板来设计PCB。两层板由于缺少内层完整地平面，所以在PCB设计上需要特别注意，尤其是对于有较高ESD防护等级要求和辐射认证要求的产品应用。需严格遵循[3.2 PCB Layout设计指南](#)章节的PCB设计规则，并优先确保电源滤波电容紧邻芯片电源引脚，以及增强地回路连接。设计参考如下：

1. 采用单面（TOP面）布局，且走线也尽量在TOP层，保证BOTTOM的地平面尽量完整。参考[图 4-11](#)，TOP层用于元器件布局和RF等关键信号走线。

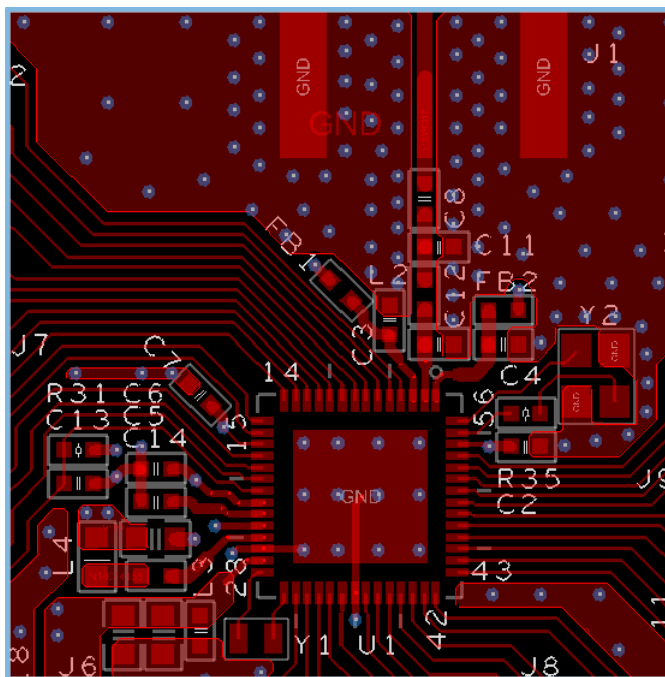


图 4-11 TOP层参考设计

2. 图 4-12 为以QFN40封装为例的电源和GND走线参考设计，黄色圈出的GND过孔主要为电源和RF信号回流路径的过孔。这些GND过孔需要通过BOTTOM面的铜皮与芯片散热PAD连接，且保证足够宽且路径短（如图 4-12中绿色箭头所示）。

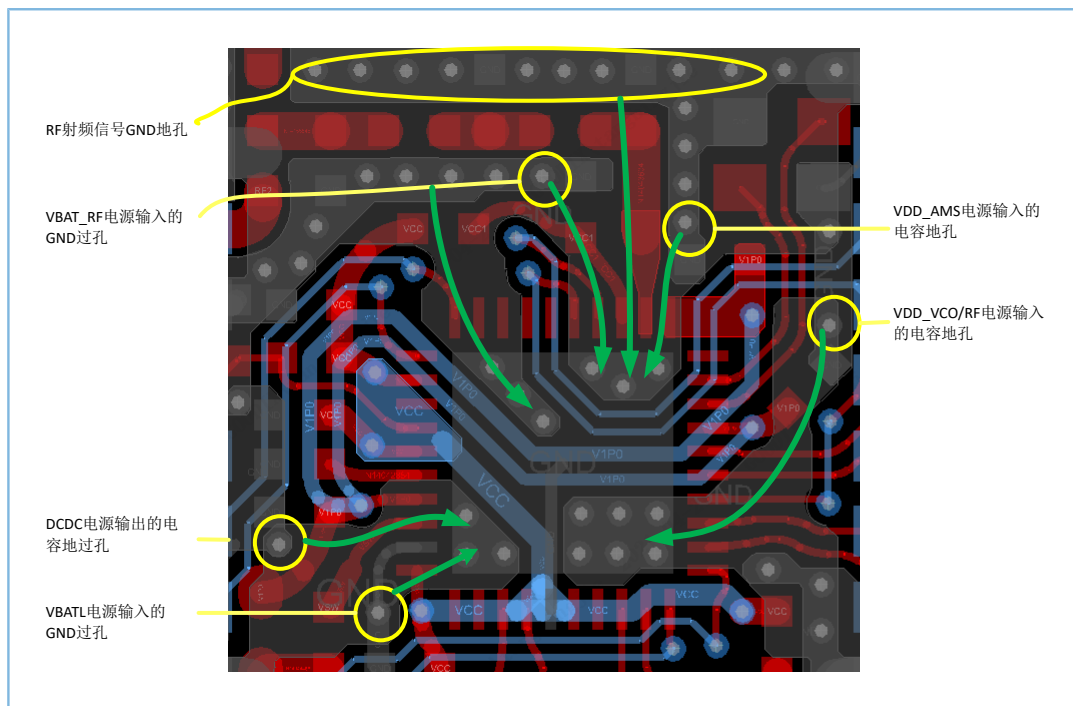


图 4-12 QFN40电源和GND走线参考设计

4.2.3 GR5515I0ND外部Flash参考设计

GR5515I0ND使用外部QSPI Flash，最高支持64 MHz时钟频率。为避免其它信号的串扰，PCB布局时Flash尽量靠近IC以保证QSPI走线尽量短。QSPI走线需要做等长处理，等长误差要求小于 ± 50 mil。

GR5515I0ND PCB布局参考设计如图 4-13所示。

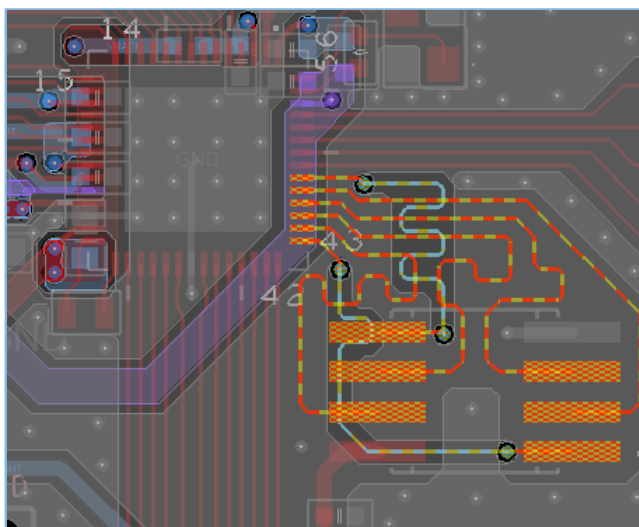


图 4-13 GR5515I0ND PCB布局参考设计

4.2.4 BGA68 PCB四层板参考设计（NRND）

本例的BGA68 PCB Layout参考设计将所有的GPIO信号从芯片中引出。采用四层板设计的板厚1.6 mm，过孔全为通孔，射频线走线宽度为22 mil，和匹配器件的焊盘同宽。该PCB板叠层设计如3.2.1 PCB叠层所示，使用第二层作为50 Ω 射频传输线参考地平面。

详细PCB Layout参考设计如下。

1. TOP层

用于元器件布局和RF等关键信号走线。

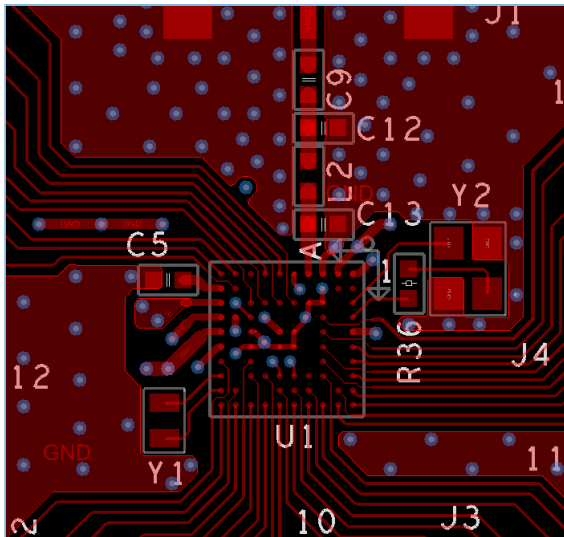


图 4-14 TOP层设计

2. L2层

用于接地返回路径和50 Ω 射频传输线的参考地平面。为了减小32 MHz晶振的寄生负载电容，在晶振焊盘下方的地平面挖空处理。

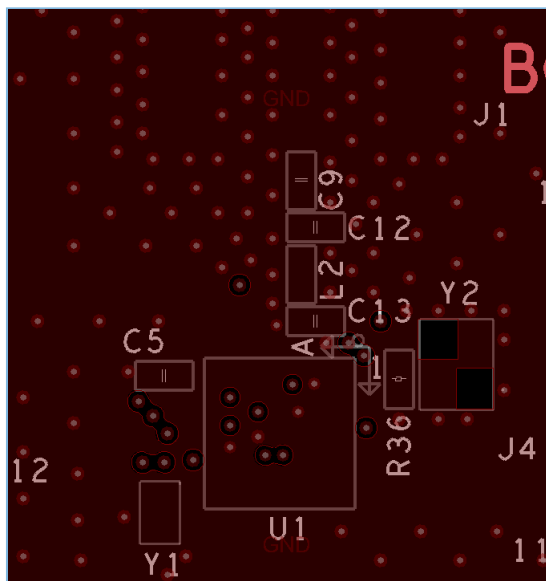


图 4-15 L2层设计

3. L3层

用于电源分割和少量信号线走线。

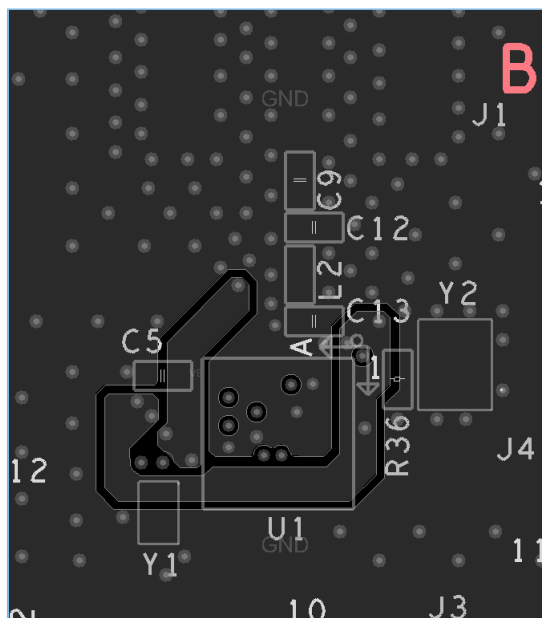


图 4-16 L3层设计

4. BOTTOM层

用于滤波器件的布局和信号走线，滤波器件尽可能靠近对应的芯片管脚。

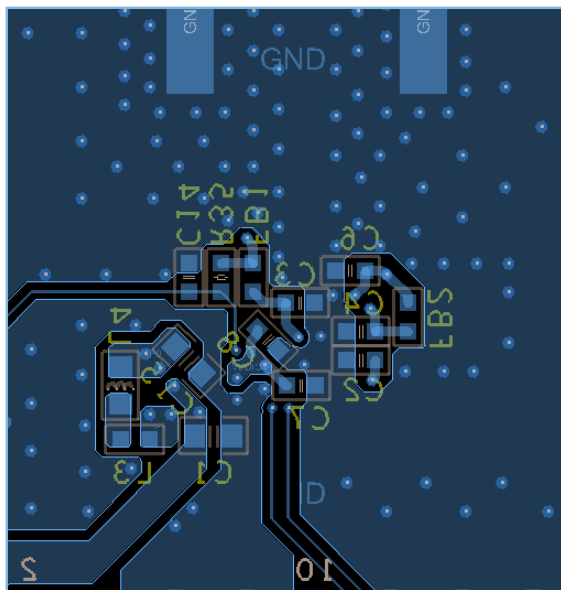


图 4-17 BOTTOM层设计

5 常见问答

5.1 能够将GR551x所有I/O的电压域设置为3.3 V吗？

- 问题描述：

在电路应用时，会连接不同电压域的外设，如何正确配置GR551x的I/O电压？是统一配置为3.3 V还是有其它的配置方式？

- 问题分析：

GR551x有两个独立I/O电压域，VDDIO0在芯片内部和VIO_LDO_OUT连在一起，外部有VDDIO1的电压输入PIN脚。

- VDDIO0连接内部1.8 V Flash，并在内部已经和VIO_LDO_OUT连在一起，只能用在1.8 V的电压域。该电压域对应的IO为GPIO16 ~ 31，AON_GPIO0 ~ 7。
- VDDIO1可配置在1.8 ~ 3.3 V电压域。该电压域对应的I/O为GPIO0 ~ 15。
- 当VDDIO1和VIO_LDO_OUT连接时，所有I/O电压域都为1.8 V。
- 当需设置VDDIO1为其他电压，VDDIO1可使用外部输入电压，但注意外部输入的电压不能超过供电电压。

- 处理方法：

不能将所有I/O的电压域设置为3.3 V。可根据以上的问题分析，对不同环境下的I/O设置不同的电压。

说明:

GR5515I0ND外置Flash支持高电压模式（VDDIO0为3.3 V或VBATL）。当用户需要使用高压模式时，其设置如下：

- 系统启动时会根据eFuse配置自动关闭I/O LDO。
- VIO_LDO_OUT只作为VDDIO0数字电压域输入，将其连接到3.3 V或VBATL。

5.2 为什么睡眠时的功耗偏高？

- 问题描述：

在测试睡眠功耗时，不同的IO配置会出现睡眠功耗不一致的情况，请问如何在睡眠前正确配置IO？

- 问题分析：

睡眠时的功耗偏高，有可能是没有正确配置IO。

- IO处于浮空状态
- 错误地配置了IO的上下拉

这些错误的配置会导致系统漏电，因此，需要在进入sleep之前正确配置IO的状态。

- 处理方法：
正确配置IO。
 - IO在外部有上下拉或作为驱动输出使用时，该IO不需要配置上下拉
 - IO未使用或工作在输入模式下无外部上下拉时，则需要配置该IO为内部下拉。
- 关于睡眠功耗的设置，具体操作请参考《GR551x睡眠模式及功耗测量说明》。

5.3 RF射频的PI电路可以简化或移除吗？

- 问题描述：
电路设计时，因受PCB板的空间限制，元器件布局比较困难，请问目前推荐的RF射频PI电路能否更改？
- 问题分析：
RF射频线上推荐电路有两个PI电路，靠近GR551x的PI电路和靠近天线端的PI电路。这两个电路是否可以简化或移除，需要区别对待。
- 处理方法：
靠近GR551x端的PI电路用于匹配芯片内部PA，不能移除。该电路的电感值和电容值也不能改变，必须保持和推荐电路一致的。从芯片PI出来后的RF通道上的阻抗是50 Ω ，可以兼容市面上任意2.4 GHz频段的天线（2400 ~ 2484 MHz）。
靠近天线端的PI电路是用于匹配天线的，该电路可以根据所使用的天线进行更改。天线的匹配问题，可以通过矢量网络分析仪测试S11参数或史密斯圆图进行简单的匹配调节。但是天线的增益、方向性等其他指标则建议寻求专业的天线厂完成匹配测试。

6 术语与缩略语

表 6-1 术语与缩略语

名称	描述
ADC	Analog to Digital Converter, 模/数转换器
AGC	Automatic Gain Control, 自动增益控制
AMS	Analog Mix Signal, 模拟混合信号
BB	Baseband, 基带
BGA	Ball Grid Array Package, 球栅阵列封装
Bluetooth LE	Bluetooth Low Energy, 低功耗蓝牙
BUCK	一种降压型DC-DC转换器
DC-DC	DC-to-DC Converter, DC-DC转换器
ESD	Electrostatic Discharge, 静电保护
ESR	Equivalent Series Resistance, 等效串联电阻
Tg	Glass Transition Temperature, 玻璃态转化温度
GPIO	General Purpose Input Output, 通用输入输出
LDO	Low-dropout Regulator, 低压差线性稳压器
LNA	Low Noise Amplifier, 低噪声放大器
NRND	Not Recommended for New Designs, 不推荐用于新产品项目评估
PLL	Phase Locked Loop, 锁相环
PMU	Power Management Unit, 电源管理单元
PCB	Printed circuit board, 印制电路板
PTH	Plated Through Hole, 通孔
QFN	Quad Flat No-Lead Package, 方形扁平无引脚封装
QSPI	Queued Serial Peripheral Interface, 队列串行外设接口
RoHS	Restriction of Hazardous Substances Directive, RoHS是由欧盟立法制定的一项强制性标准, 全称为《关于限制在电子电气设备中使用某些有害成分的指令》。
SDK	Software Development Kit, 软件开发工具包
SOC	System on Chip, 片内系统
SPI	Serial Peripheral Interface, 串行外设接口
SVHC	Substance of Very High Concern, 高关注材料
SWD	Serial Wire Debug, 串行线调试
USB	Universal Serial Bus, 通用串行总线
UART	Universal Asynchronous Receiver, 通用异步收发传输器
XO	Crystal Oscillator, 晶振

7 附录：QFN和BGA封装指南

GR551x QFN和BGA封装符合MSL3以及RoHS绿色环保标准。RoHS（Restriction of Hazardous Substances Directive），是欧盟于2003年2月发布的对电子器件中有害物质含量的限制标准。MSL 3（Moisture Sensitivity Level 3），即潮湿敏感度测试等级3。MSL 3表明潮湿敏感器件从干燥袋中取出后，可暴露在最高温度30°C和最大相对湿度60% RH的环境中。

GR551x储存条件：

- 温度：< 40°C
- 相对湿度：< 90% RH
- 保存期限：12个月

打开包装后，GR551x应该在48小时内进行回流焊接，环境条件如下：

- 温度：< 30°C
- 相对湿度：< 60% RH
- 储存湿度：< 10% RH

无铅焊料和锡铅焊料在一般PCB设计中都使用相同的应用规则。由于无铅焊料具有更高的回流温度和兼容性，因此在无铅应用中，只需考虑PCB板的表面涂层和PCB板材质。QFN和BGA封装在PCB板上的安装以及焊点质量会受到许多因素的影响，包括：地/散热焊盘区域的焊锡膏量、散热焊盘周边和热焊盘区域的钢网设计、过孔类型、电路板厚度、封装引线涂层，电路板表面涂层，焊锡膏类型和回流焊的温度曲线等。

说明：

本附录旨在为用户提供芯片主板开发设计和表面组装工艺指南。用户需结合自身表面组装实践和要求，优化芯片焊接工艺。

为了保证焊点的可靠性，在设计母板焊盘和焊锡膏印刷时需要特别注意。

通常情况下，可根据厂商指南或遵循IPC-SM-782等行业标准设计芯片封装的PCB焊盘。这里主要依据国际电子工业连接协会（Association Connecting Electronics Industries，IPC）相关标准来设计GR551x PCB焊盘。并且，由于GR551x芯片封装底部中央位置有一块大面积裸露焊盘，因此还需在IPC标准基础上增加特定的限制条件。使用的焊盘图案充分考虑了引线和封装材料的容差。

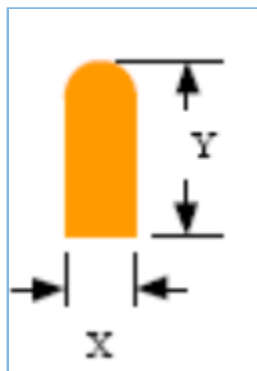


图 7-1 封装底部的焊盘示例

对于GR551x QFN56封装（7 mm x 7 mm，0.4 mm间距）的PCB焊盘，建议设置 $X = 0.25\text{ mm}$ 和 $Y = 0.75\text{ mm}$ ，还可将焊盘内边缘倒成圆弧形。焊盘最大宽度为0.25 mm，以防止“锡桥”（锡膏接合在一起）。

建议使用非阻焊层限定（NSMD，Non-Solder-Mask Defined）焊盘。GR551x QFN56封装的引脚间距为0.4 mm、焊盘宽度为0.25 mm，焊盘之间没有足够的空间加阻焊层。在这种情况下，建议使用“沟槽”型阻焊开口，即在封装每一侧的所有焊盘周围设计一个大开口，而焊盘之间无阻焊层，如图 7-2所示。

说明:

阻焊层应采用圆形内边缘，尤其是拐角引脚处，从而为拐角区域提供足够的阻焊层。

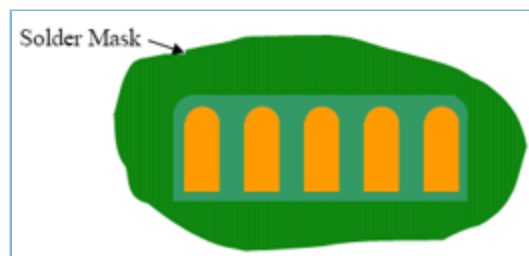


图 7-2 0.4 mm引脚间距元件的阻焊层设计

7.1 封装信息

GR551x 支持GR5515IGND/GR5515I0ND QFN56、GR5515RGBD BGA68、GR5515GGBD BGA55和GR5513BEND QFN40封装，可满足不同环境下的要求。

7.1.1 GR5515IGND/GR5515I0ND QFN56

GR551x QFN56封装包括GR5515IGND QFN56和GR5515I0ND QFN56，是一个56引脚和7 x 7 x 0.75毫米QFN封装，符合MSL3标准。

表 7-1 GR5515IGND/GR5515I0ND QFN56封装信息

参数	值	单位	容差
封装尺寸	7 x 7	mm	±0.1 mm
QFN焊盘数量	56		
总厚度	0.75	mm	±0.05 mm
QFN焊盘间距	0.40		
焊盘宽度	0.20		
裸露焊盘大小	5.2 x 5.2		±0.1 mm

GR5515IGND/GR5515I0ND QFN56封装的外形尺寸如图 7-3所示。

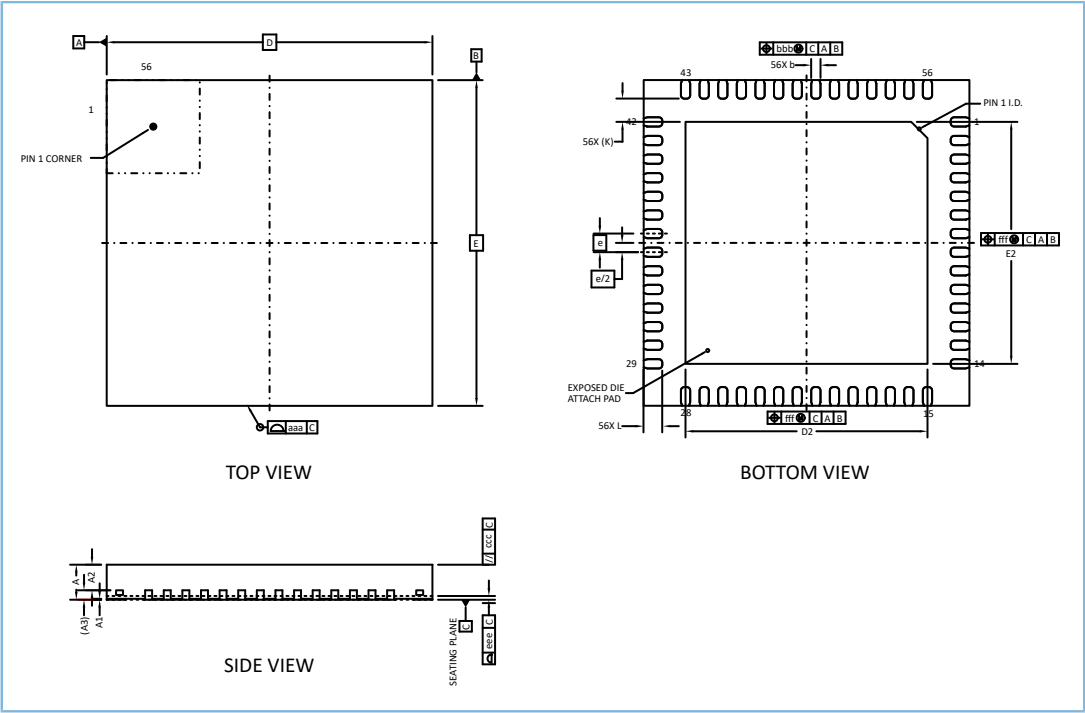


图 7-3 GR5515IGND/GR5515I0ND QFN56封装外形尺寸

说明:

上图并非按照实物比例绘制。

表 7-2 GR5515IGND/GR5515I0ND QFN56封装尺寸

符号	尺寸（单位：mm）			尺寸（单位：inch）		
	最小值	正常值	MAX	最小值	正常值	最大值
A	0.700	0.750	0.800	0.028	0.030	0.032
A1	0.000	0.020	0.050	0.000	0.001	0.002
A2	-	0.550	-	-	0.022	-
A3	0.203 REF.			0.008 REF.		
b	0.150	0.200	0.250	0.006	0.008	0.010
D	7.000 BSC.			0.276 BSC.		
E	7.000 BSC.			0.276 BSC.		
e	0.400 BSC.			0.016 BSC.		
D2	5.100	5.200	5.300	0.201	0.205	0.209
E2	5.100	5.200	5.300	0.201	0.205	0.209
L	0.300	0.400	0.500	0.012	0.016	0.020
k	0.500 REF.			0.020 REF.		
aaa	0.100			0.004		
ccc	0.100			0.004		
eee	0.080			0.003		

符号	尺寸（单位：mm）			尺寸（单位：inch）		
	最小值	正常值	MAX	最小值	正常值	最大值
bbb	0.070			0.003		
fff	0.100			0.004		

说明:

单位为英寸的值由对应的毫米值转换而来，并保留到小数点后第3位。

更多焊接信息，请访问[JEDEC standard J-STD-020](#)。

7.1.2 GR5515RGBD BGA68（NRND）

GR5515RGBD BGA68是一个68引脚和5.3 x 5.3 x 0.88毫米BGA封装，符合MSL3标准。

表 7-3 GR5515RGBD BGA68封装信息

参数	值	单位	容差
封装尺寸	5.3 x 5.3	mm	±0.1 mm
BGA焊球数量	68		
总厚度	0.88	mm	±0.1 mm
BGA焊球间距	0.50		
焊球直径	0.25		
焊球高度	0.18		

GR5515RGBD BGA68封装的外形尺寸如图 7-4。

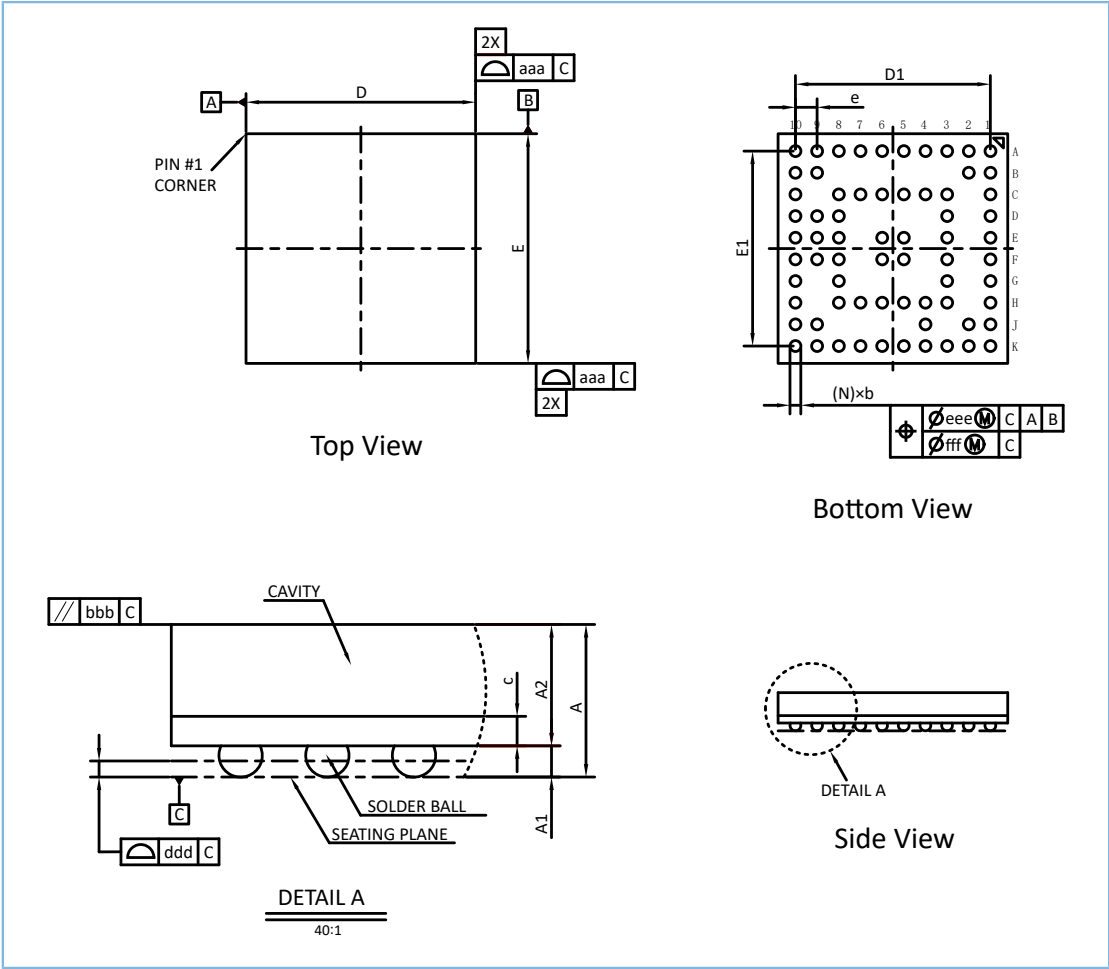


图 7-4 GR5515RGBD BGA68封装外形尺寸

说明:

上图并非按照实物比例绘制。

表 7-4 GR5515RGBD BGA68封装尺寸

符号	尺寸（单位：mm）			尺寸（单位：inch）		
	最小值	正常值	最大值	最小值	正常值	最大值
A	0.780	0.880	0.980	0.031	0.035	0.039
A1	0.130	0.180	0.230	0.005	0.007	0.009
A2	0.650	0.700	0.750	0.026	0.028	0.030
c	0.140	0.170	0.200	0.006	0.007	0.008
D	5.200	5.300	5.400	0.205	0.209	0.213
E	5.200	5.300	5.400	0.205	0.209	0.213
D1	--	4.500	--	--	0.177	--
E1	--	4.500	--	--	0.177	--
e	--	0.500	--	--	0.020	--

符号	尺寸（单位：mm）			尺寸（单位：inch）		
	最小值	正常值	最大值	最小值	正常值	最大值
b	0.200	0.250	0.300	0.008	0.010	0.012
aaa	0.100			0.004		
bbb	0.100			0.004		
ddd	0.080			0.003		
eee	0.150			0.006		
fff	0.050			0.002		

说明:

单位为英寸的值由对应的毫米值转换而来，并保留到小数点后第3位。

7.1.3 GR5515GGBD BGA55

GR5515GGBD BGA55是一个55引脚和3.5 x 3.5 x 0.60毫米BGA封装，符合MSL3标准。

表 7-5 GR5515GGBD BGA55封装信息

参数	值	单位	容差
封装尺寸	3.5 x 3.5	mm	±0.1 mm
BGA焊球数量	55		
总厚度	0.60	mm	±0.05 mm
BGA焊球间距	0.40		
焊球直径	0.20		
焊球高度	0.12		±0.03 mm

GR5515GGBD BGA55封装的外形尺寸如图 7-5。

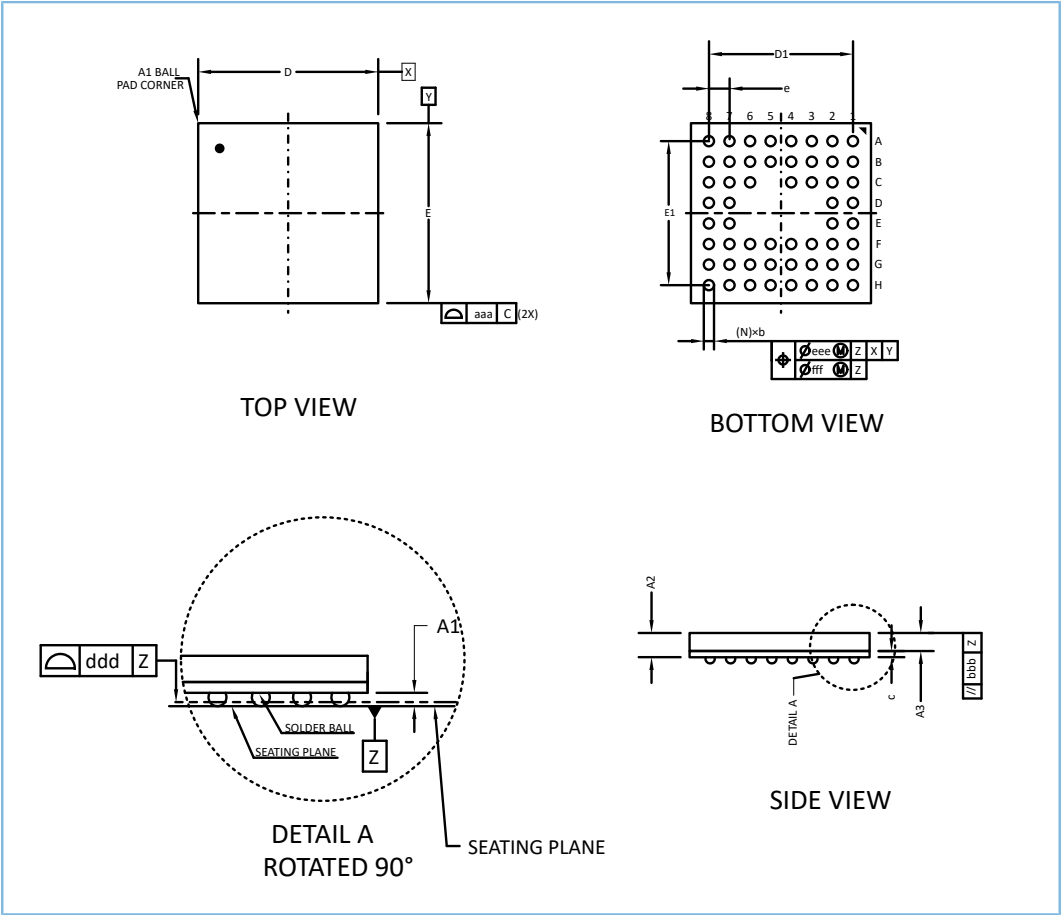


图 7-5 GR5515GGBD BGA55 封装外形尺寸

说明:

上图并非按照实物比例绘制。

表 7-6 GR5515GGBD BGA55封装尺寸

符号	尺寸（单位：mm）			尺寸（单位：inch）		
	最小值	正常值	最大值	最小值	正常值	最大值
A	0.550	0.600	0.650	0.022	0.024	0.026
A1	0.090	0.120	0.150	0.004	0.005	0.006
A2	0.435	0.475	0.505	0.017	0.019	0.020
A3	0.350 REF.			0.014 REF.		
c	0.125 REF.			0.005 REF.		
D	-	3.500	-	-	0.138	-
E	-	3.500	-		0.138	
D1	--	2.800	--	--	0.110	--
E1	--	2.800	--	--	0.110	--
e	--	0.400	--	--	0.016	--
b	0.150	0.200	0.250	0.006	0.008	0.010

符号	尺寸（单位：mm）			尺寸（单位：inch）		
	最小值	正常值	最大值	最小值	正常值	最大值
aaa	0.100			0.004		
bbb	0.100			0.004		
ddd	0.080			0.003		
eee	0.150			0.006		
fff	0.050			0.002		

说明:

单位为英寸的值由对应的毫米值转换而来，并保留到小数点后第3位。

7.1.4 GR5513BENDQFN40

GR5513BEND QFN40是一个40引脚和5 x 5 x 0.75毫米QFN封装，符合MSL3标准。

表 7-7 GR5513BEND QFN40封装信息

参数	值	单位	容差
封装尺寸	5 x 5	mm	±0.1 mm
QFN焊盘数量	40		
总厚度	0.75	mm	±0.05 mm
QFN焊盘间距	0.40		
焊盘宽度	0.20		±0.05 mm
裸露焊盘大小	3.7 x 3.7		±0.1 mm

GR5513BEND QFN40封装的外形尺寸如图 7-6。

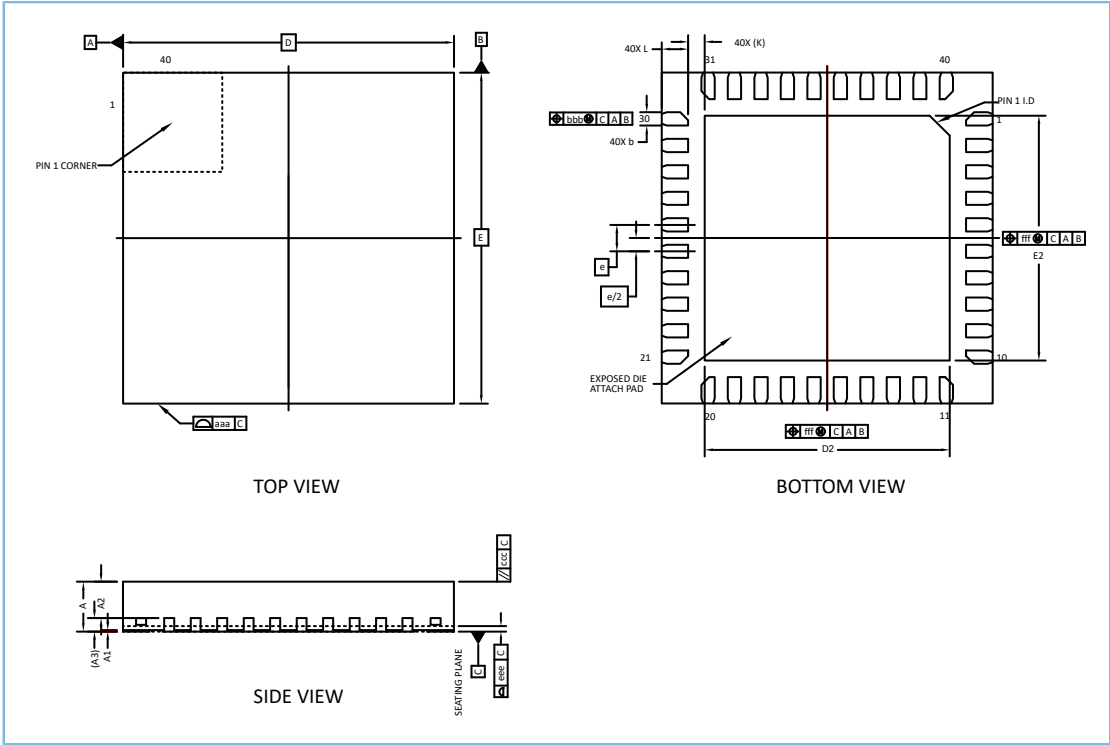


图 7-6 GR5513BEND QFN40封装外形尺寸

说明:

上图并非按照实物比例绘制。

表 7-8 GR5513BEND QFN40封装尺寸

符号	尺寸（单位：mm）			尺寸（单位：inch）		
	最小值	正常值	最大值	最小值	正常值	最大值
A	0.700	0.750	0.800	0.028	0.030	0.032
A1	0.000	0.020	0.050	0.000	0.001	0.002
A2	-	0.550	-	-	0.022	-
A3	0.203 REF.			0.008 REF.		
b	0.150	0.200	0.250	0.006	0.008	0.010
D	5.000 BSC.			0.197 BSC.		
E	5.000 BSC.			0.197 BSC.		
e	0.400 BSC.			0.016 BSC.		
D2	3.600	3.700	3.800	0.142	0.146	0.150
E2	3.600	3.700	3.800	0.142	0.146	0.150
L	0.300	0.400	0.500	0.012	0.016	0.020
K	0.250 REF.			0.010 REF.		
aaa	0.100			0.004		
ccc	0.100			0.004		

符号	尺寸（单位：mm）			尺寸（单位：inch）		
	最小值	正常值	最大值	最小值	正常值	最大值
eee	0.080			0.003		
bbb	0.100			0.004		
fff	0.100			0.004		

说明:

单位为英寸的值由对应的毫米值转换而来，并保留到小数点后第3位。

7.2 电路板焊接指南

由于器件引脚比较小，器件焊接在PCB板上主要是通过钢网刷焊锡膏，因此在QFN和BGA封装中，需要保证焊点的可靠性。由于QFN类封装引脚中心正下方有较大的DIE-PAD接地焊盘，且接近于焊盘内边缘，因此QFN类封装的焊接变得更加复杂。

虽然上文推荐的焊盘设计有助于解决一些PCB焊接的问题，但是用户仍然需要考虑周边和散热焊盘的钢网设计以及焊锡膏印刷工艺。由于表面组装工艺因公司而异，建议在工艺开发中谨慎小心，遵循各公司相关规定。

7.2.1 周边焊盘的钢网设计

周边焊盘上的最佳可靠焊点应具有约50至75微米（2至3密耳）的隔距高度，外表面平整而光滑。具有好的隔距高度但外表面不够平整的焊点虽然可以满足应用要求，但会减少使用寿命。

保证焊点的良好可靠性，第一步为设计钢网，钢网孔开口的设计应达到最大的膏体释放量。在此过程中，需要考虑以下比值：

- 面积比 = 孔径开口面积/开口侧壁面积
- 宽厚比 = 孔径宽度/钢网厚度

对于矩形孔径开口，根据GR551x封装要求，这些比率计算公式如下：

- 面积比 = $LW/2T(L+W)$
- 宽厚比 = W/T

L和W分别代表孔径的长度和宽度，T为钢网厚度。为获得最佳的焊锡膏释放效果，面积比和纵横比应分别大于0.66和1.5。

为轻松达到此面积比和宽厚比，钢网开口孔径应与PCB的焊盘尺寸比为1:1。钢网应采用激光切割和电镀抛光。抛光使得钢网侧壁更光滑，从而更好地释放焊锡膏。

同时，建议严格控制钢网开口孔径容差，从而有效地缩小开口尺寸。此外，在中心裸露的接地焊盘区域印刷焊锡膏时，建议使用具有多个小开口的钢网，避免使用带有单个开口较大的钢网。阻焊层参考设计，请参考图 7-7。

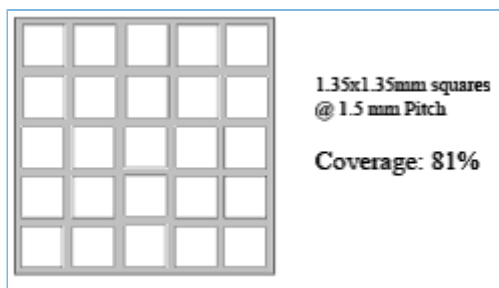


图 7-7 QFN封装接地焊盘钢网设计

7.2.2 过孔类型和焊点气孔

裸露接地焊盘下的焊点气孔会对高速和射频应用产生不利影响，该接地平面内的气孔会增加电流路径。

气孔的最大尺寸应小于平面内的过孔间距，可避免由于气孔过大，导致过孔无效的情况发生。

7.2.2.1 钢网厚度和焊锡膏

对于0.4 mm引脚间距的元件，建议使用0.125 mm厚度的钢网。为了更好的释放焊锡膏，建议使用激光切割的无痕不锈钢配合电抛光梯形墙制作钢网。由于回流焊后，元件下方没有足够的空间，建议使用免清洗型3号焊粉（Type 3，IPC standard J-STD-005）进行QFN类封装焊接。在回流期间也建议使用氮气吹扫。

与无铅表面组装技术（Surface Mount Technology, SMT）兼容的常见表面抛光工艺有以下几种：

- 有机可焊性防腐剂（Organic solderability preservative, OSP）
- 化学镀镍/沉金（Electroless Nickel/Immersion Gold, ENIG）
- 沉银
- 沉金

最终用户可针对电路板设计、装配流程、可操作度、存储条件和成本等需求，选择合适的表面处理工艺。

7.2.2.2 PCB材料

由于无铅材料的回流温度要求较高，建议使用具有高玻璃态转化温度T_g值（Glass Transition Temperature）（> 170°C）的电路板材料。

7.2.3 SMT印刷流程

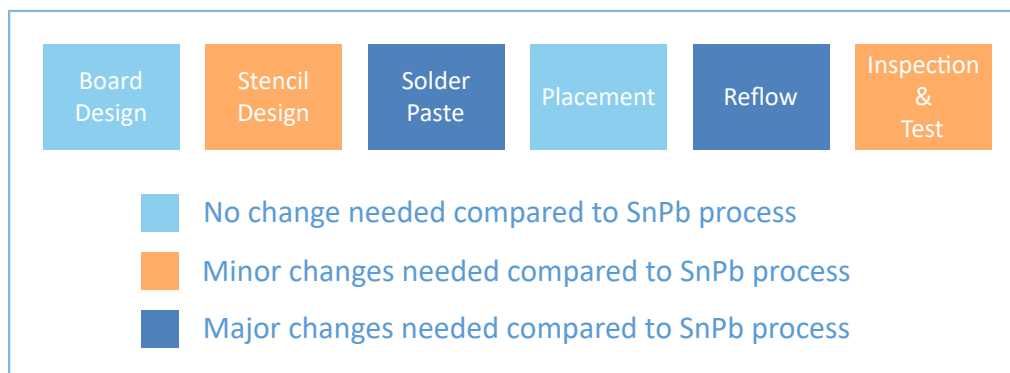


图 7-8 SMT 印刷流程

- 焊锡膏

熔化温度为217°C的锡银铜（Sn-Ag-Cu）合金焊料最常用于无铅焊料回流应用中。该合金由于其低成本、相对低的熔化温度和良好的抗热疲劳性等优势，广泛用于半导体行业。

- 钢网设计

如前所述，建议采用激光切割、无痕钢制钢网，厚度为5 ~ 7密耳，开口大小和焊盘尺寸比例为1:1。为了更好的释放焊锡膏，钢网孔径呈正锥形，底部开口比顶部开口宽1 mil。与锡铅合金相比，Sn-Ag-Cu合金不易湿润。

- 印刷流程

与锡铅合金焊料相比，Sn-Ag-Cu合金的印刷工艺无显著变化。应遵循焊锡膏厂商推荐的印刷指南，满足焊锡膏印刷的特定需求。印刷后检查和焊锡膏测量对于确保良好的印刷质量和均匀的焊料沉积至关重要。

- 贴片

由于QFN类封装在回流过程中的自对准特性，其定位精度小于焊盘宽度的30%，只要焊盘能够接触到焊锡膏即可。

7.3 SMT回流过程

优化回流工艺是无铅焊接最需要考虑的因素。要实现最佳回流温度曲线，应充分考虑焊锡膏特性、电路板尺寸、元件密度、大小尺寸元件的混合布局以及元件的峰值温度要求。优化的回流工艺是确保成功实现无铅组装，高产品良率和焊点长期高可靠的关键。

1. 温度曲线

通过在QFN和BGA芯片焊点、大型元件的顶部以及电路板的多个位置添加热电偶，可对新设计电路板进行温度分析。这将确保所有元件被加热到高于最低回流温度，且较小元件的温度不超过峰值温度。

对于具有大量元件的大型精密电路板，可将电路板上的温差缩小至小于10度以内，从而尽可能防止电路板翘曲。元件主体的最高温度不应超过MSL3的规范要求。

2. 回流曲线指南

焊料回流曲线应遵循焊锡膏制造商的建议和业界通用的JEDEC或IPC J-STD-20标准。J-STD-20标准温度曲线如图 7-9所示。表 7-9 中列出了配置文件参数和元件峰值温度指南。

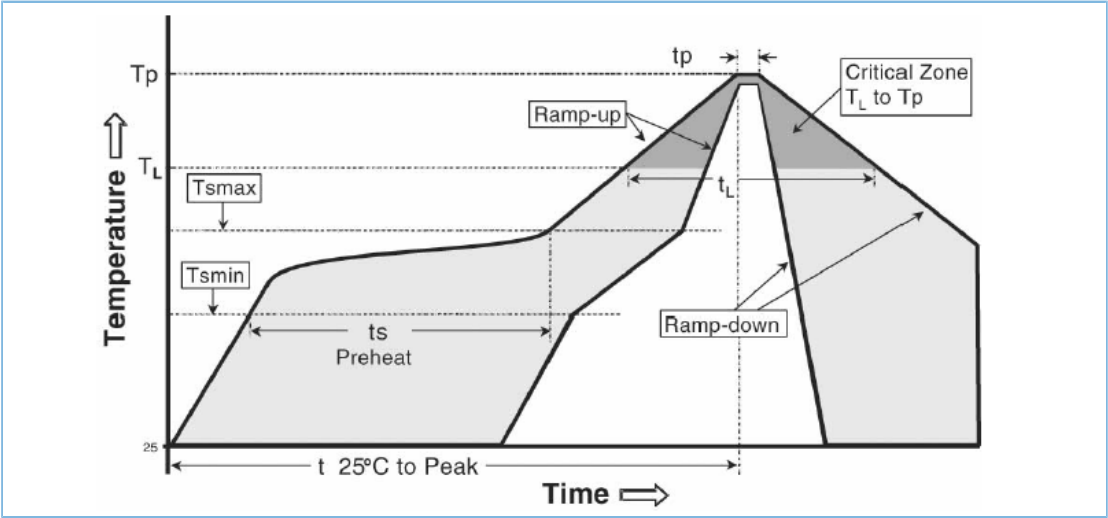


图 7-9 JEDEC建议无铅回流温度曲线

GR551x符合IPC/JEDEC标准的无铅焊接要求，即回流焊接的峰值温度高达260℃。

GR551x QFN40引线框采用铜合金（CuAg）材质，并表面电镀无铅锡（镀锡厚度：300 ~ 600 μin）。此设计使得GR551x引线框架能够承受温度260℃下的3倍回流焊。

表 7-9 回流温度曲线参数

参数	无铅封装、对流、IR/Convection
Ramp-up rate (Tsmáx to Tp)	最大值：每秒3℃
Preheat temperature (Tsmín to Tsmáx)	150℃ ~ 200℃
Preheat time (ts)	60 ~ 180秒
Time above Tm, 217℃(TL)	60 ~ 150秒
Time within 5℃ of peak temperature (tp)	20 ~ 40秒
Ramp-down rate	最大值：每秒6℃
Time 25℃ to peak temperature	最大值：8分钟

说明:

表 7-9 中的所有规定温度均在封装表面测量所得。

将回流温度峰值控制在规定的最高温度以下至关重要，以防止对封装造成热损坏。回流曲线的示例如图 7-10所示。

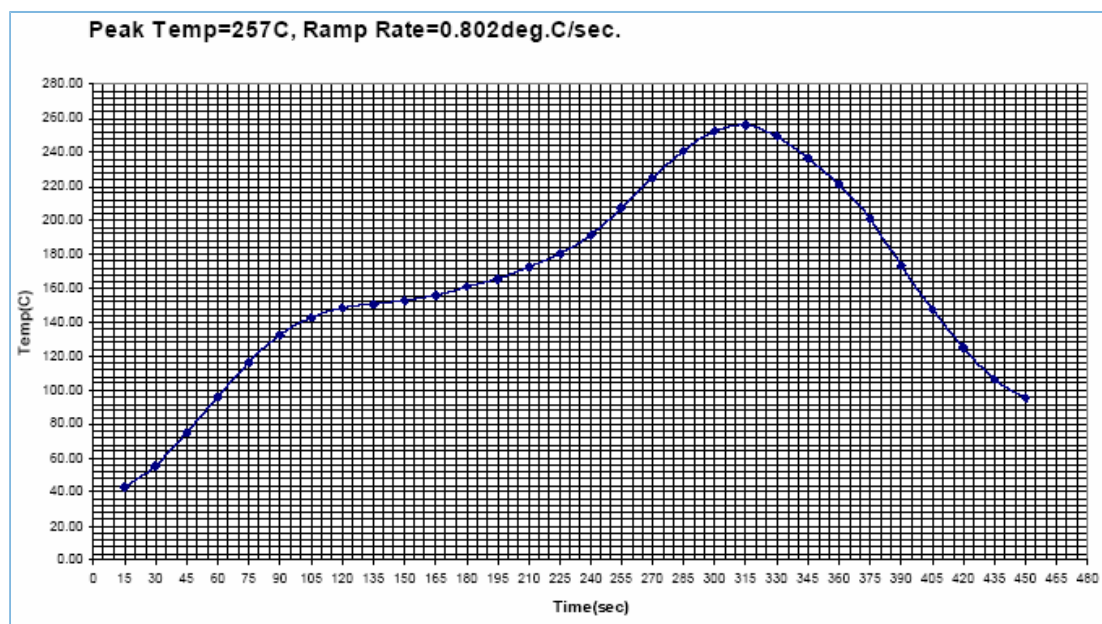


图 7-10 峰值温度为257℃的回流曲线示例

3. 回流炉

强烈建议使用配备多加热区和氮回流环境的回流炉进行无铅封装。

更多的加热区可提供更高的回流灵活性，以优化大型复杂电路板的回流曲线。氮气环境可有效提高整体环境的湿度并降低电路板的温度梯度，同时可减少焊料氧化影响，从而增强焊点的外形美观度。

7.4 返修指南

由于在QFN和BGA类封装下焊点并非完全裸露在外，因此返修工作仅限于修复侧边圆角。对于封装层下的缺陷，必须移除整个封装才能进行返修。由于GR551x QFN和BGA封装的尺寸小，因此返修将面临诸多挑战。

在大多数应用中，QFN和BGA类封装将被安装在尺寸更小、更薄和元件更密集的PCB上，给返修人员的操作带来诸多挑战。在返修期间相邻元件不可避免出现受热，这使得该返修过程进一步复杂化。由于各产品的复杂度不同，以下仅列举QFN类封装成功返修流程，为用户提供指导。

返修步骤：

1. 元件拆卸
2. 焊盘清理
3. 焊锡膏印刷
4. 元件贴片
5. 元件焊接

说明:

返修前，建议将PCB在125℃温度下烘烤至少4小时，以去除元件中残留水分。

7.4.1 元件拆除

拆卸元件的第一步是对连接到PCB板上元件的焊点回流。理想状况下，拆除元件的回流曲线应与焊接元件的回流曲线相同。但是，一旦回流完成，则可缩短液相线以上的时间。

说明:

在拆卸过程中，建议使用对流加热器从底部加热PCB板，并在元件上方使用热风加热。

应使用特殊喷嘴对要拆除的元件区域加热，并尽量减少对相邻元件的加热。加热过程中还应避免气流过多，以免芯片级封装（Chip Scale Package, CSP）弯曲。空气流速应保持在每分钟15 ~ 20升。一旦焊点回流，在回流到冷却的过程中，就会自动实施真空抬起。

由于GR551x芯片尺寸小，真空压力应保持在15英寸汞柱以下。有助于只有在所有焊点都完成回流的情况下，元件才会被抬起，从而避免焊盘在部分焊点未回流的情况下被抬起。

7.4.2 焊盘清理

拆除元件后，需要正确清理焊盘。最好使用刀片式导电工具和吸锡带相结合的方式。刀片的宽度应与原元件占用的最大宽度相匹配，刀片温度应足够低，以免损坏电路板。去除残留的焊料后，应使用溶剂清洁焊盘。溶剂的选择应遵循焊料制造商的建议，与原器件中使用的焊料类型相匹配。

7.4.3 焊锡膏印刷

QFN封装的尺寸小、间距细，实施QFN的焊锡膏沉积时需特别小心。可使用专为该组件研制的微型钢网，实现均匀和精确的焊锡膏沉积。钢网孔径应在50至100倍放大率下与焊盘对齐。

将钢网放置在PCB上，并且使用小金属刮刀刀片印刷焊锡膏。也可用迷你钢网在封装侧面印刷焊锡膏。应使用125微米厚的钢网，其开口孔尺寸和形状与封装焊盘相同。

此外，因为QFN封装的隔距高度较小，提供的清洁空间不足，应使用免清洗助焊剂。

7.4.4 贴片

QFN封装由于质量小而具有优越的自定心能力，该封装的贴片流程应与BGA封装相似。由于引线位于封装的下侧，因此应使用裂隙光学系统来完成主板上的元件对位。这将在原焊接印记上形成引线图像重合覆盖，并有助于正确元件对位。同样，对位应在50至100倍放大率下进行。贴片设备应支持对X、Y和旋转轴进行微调。

7.4.5 元件焊接

应该在最初的元件焊接或拆除过程中开发的回流曲线下，进行新元件焊接。由于所有回流曲线参数都已经优化，因此使用相同的曲线将消除对热电偶反馈的需求，并将减少对操作人员的依赖性。

7.5 RoHS标准

GR551x符合RoHS 2002/95/EC标准及其修订条例。

7.6 SVHC清单

GR551x遵从欧盟有关REACH的高关注物质（Substance of Very High Concern, SVHC）清单规定。该清单由欧洲化学品管理局（European Chemicals Agency, ECHA）于2008年10月28日发布，编号为1907/2006。

7.7 无卤

GR551x符合BS EN 14582:2007关于卤素，即氟、氯、溴和碘含量的要求。