



GR5525硬件设计指南

版本： 1.1

发布日期： 2024-03-29

版权所有 © 2024 深圳市汇顶科技股份有限公司。保留一切权利。

非经本公司书面许可，任何单位和个人不得对本手册内的任何部分擅自摘抄、复制、修改、翻译、传播，或将其全部或部分用于商业用途。

商标声明

GOODIX 和其他汇顶商标均为深圳市汇顶科技股份有限公司的商标。本文档提及的其他所有商标或注册商标，由各自的所有人持有。

免责声明

本文档中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。

深圳市汇顶科技股份有限公司（以下简称“GOODIX”）对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。GOODIX对因这些信息及使用这些信息而引起的后果不承担任何责任。

未经GOODIX书面批准，不得将GOODIX的产品用作生命维持系统中的关键组件。在GOODIX知识产权保护下，不得暗或以其他方式转让任何许可证。

深圳市汇顶科技股份有限公司

总部地址：深圳市福田区腾飞工业大厦B座12-13层

电话：+86-755-33338828 邮编：518000

网址：www.goodix.com

前言

编写目的

本文档主要介绍GR5525低功耗蓝牙（Bluetooth LE）系统级芯片（SoC）正常运行时所需电路设计，提供了推荐芯片接口、外设、电路原理图和PCB布局指南。

本文档旨在帮助系统设计人员搭建低功耗蓝牙最小硬件电路，并应用于产品开发中。

读者对象

本文适用于以下读者：

- GR5525用户
- 蓝牙产品开发人员
- 蓝牙系统设计人员
- 硬件工程师

版本说明

本文档为第2次发布，对应的产品系列为GR5525。

修订记录

版本	日期	说明
1.0	2023-09-20	首次发布
1.1	2024-03-29	优化内容描述

目录

前言..... I

1 产品简介..... 1

 1.1 特性..... 1

 1.2 系统框图..... 4

2 引脚排列与定义..... 5

 2.1 QFN68..... 5

 2.2 QFN56（带Flash）..... 8

 2.3 QFN56（不带Flash）..... 11

3 GR5525最小系统设计..... 14

 3.1 电路原理图设计指南..... 14

 3.1.1 电源..... 14

 3.1.1.1 简介..... 14

 3.1.1.2 上电时序..... 15

 3.1.1.3 I/O LDO..... 17

 3.1.1.4 电源电路原理图..... 18

 3.1.2 时钟..... 21

 3.1.2.1 简介..... 21

 3.1.2.2 32 MHz晶振（XO）..... 21

 3.1.2.3 32.768 kHz晶振..... 22

 3.1.3 射频..... 22

 3.1.3.1 简介..... 22

 3.1.3.2 射频电路原理图..... 23

 3.1.4 I/O引脚..... 24

 3.1.5 串行调试接口..... 25

 3.1.6 Flash..... 25

 3.2 PCB Layout设计指南..... 26

 3.2.1 PCB叠层..... 26

 3.2.2 元器件布局..... 27

 3.2.3 电源..... 27

 3.2.3.1 DC-DC开关稳压器..... 27

 3.2.3.2 RF输入电源..... 28

 3.2.3.3 数字和模拟电源..... 29

 3.2.4 时钟..... 29

 3.2.5 射频端口..... 30

 3.2.6 接地..... 31

 3.3 系统ESD防护设计..... 31

 3.3.1 系统级ESD设计要求..... 31

3.3.1.1 原理图设计要点.....	32
3.3.1.2 PCB布局设计.....	34
3.3.1.3 产品结构设计要点.....	36
3.3.2 生产、运输、调试阶段ESD注意事项.....	37
4 参考设计.....	38
4.1 原理图参考设计.....	38
4.2 PCB布局参考设计.....	41
4.2.1 四层板参考设计.....	41
4.2.2 两层板参考设计.....	44
4.2.3 GR5525I0NI外部Flash参考设计.....	45
5 常见问题.....	46
5.1 为什么睡眠时的功耗偏高?	46
5.2 射频匹配电路可以简化或移除吗?	46
6 术语与缩略语.....	47
7 附录: QFN封装指南.....	48
7.1 封装信息.....	49
7.1.1 QFN68.....	49
7.1.2 QFN56.....	51
7.2 电路板焊接指南.....	53
7.2.1 周边焊盘的钢网设计.....	53
7.2.2 过孔类型和焊点气孔.....	54
7.2.2.1 钢网厚度和焊锡膏.....	54
7.2.2.2 PCB材料.....	54
7.2.3 SMT印刷流程.....	55
7.3 SMT回流过程.....	55
7.4 返修指南.....	57
7.4.1 元器件拆除.....	58
7.4.2 焊盘清理.....	58
7.4.3 焊锡膏印刷.....	58
7.4.4 元器件贴片.....	58
7.4.5 元器件焊接.....	58
7.5 RoHS标准.....	59
7.6 SVHC清单.....	59
7.7 无卤.....	59

1 产品简介

GR5525系列是Goodix推出的Bluetooth 5.3单模低功耗蓝牙（Bluetooth LE）系统级芯片（SoC），可以配置为广播者（Broadcaster）、观察者（Observer）、外围设备（Peripheral）或中央设备（Central），并支持上述各种角色的组合应用，以及支持低功耗蓝牙定向（AoA/AoD）等功能，可广泛应用于物联网（IoT）和智能穿戴设备领域。

基于96 MHz Arm[®] Cortex[®] -M4F内核，GR5525集成了2.4 GHz射频（RF）收发器、低功耗蓝牙5.3协议栈、片上可编程存储器Flash、256 KB系统SRAM，以及多种外设，提供更丰富的I2C/UART接口数量与I/O功能。GR5525 MCU增强了QSPI接口，支持外部RAM（PSRAM），为用户提供更丰富的数据空间与强大的图形化表现能力，并为可穿戴设备方案提供丰富的片上资源。

GR5525系列提供QFN68和QFN56两种封装，具体芯片配置如下表所示。

表 1-1 GR5525系列芯片

产品型号	GR5525RGNI	GR5525IGNI	GR5525IENI	GR5525I0NI
CPU	Cortex [®] -M4F	Cortex [®] -M4F	Cortex [®] -M4F	Cortex [®] -M4F
RAM	256 KB	256 KB	256 KB	256 KB
SiP Flash	1 MB	1 MB	512 KB	N/A
I/O数量	50	39	39	39
I/O电压	1.8 V~3.6 V	1.8 V~3.6 V	1.8 V~3.6 V	跟随外部Flash
封装（mm）	QFN68（7.0 x 7.0 x 0.85）	QFN56（7.0 x 7.0 x 0.75）	QFN56（7.0 x 7.0 x 0.75）	QFN56（7.0 x 7.0 x 0.75）

1.1 特性

- 低功耗蓝牙5.3收发器：
 - 数据传输速率：1 Mbps、2 Mbps、Long Range（500 kbps、125 kbps）
 - AoA/AoD寻向技术
 - 发射（TX）功率：-20 dBm ~ +7 dBm
 - 接收（RX）灵敏度：
 - 97 dBm（1 Mbps模式下）
 - 93 dBm（2 Mbps模式下）
 - 101 dBm（Long Range 500 kbps模式下）
 - 103 dBm（Long Range 125 kbps模式下）
 - 3.3 V VBAT输入模式下功耗：
 - TX功耗：6.3 mA @ 0 dBm输出功率（64 MHz系统时钟）
 - RX功耗：5.3 mA @ 1 Mbps（64 MHz系统时钟）
- 32位Arm[®] Cortex[®] -M4F微处理器，支持浮点运算

- 时钟频率高达96 MHz
- 内置内存保护单元（MPU），提供8个可编程的区域
- 支持浮点运算单元（FPU）
- 内置嵌套矢量中断控制器（NVIC）
- 支持不可屏蔽中断（NMI）输入
- 支持串行调试（SWD），提供16个断点、2个监视点和1个时间戳计数器
- 在3.3 V、64 MHz HFXO条件下，从Flash运行CoreMark的功耗：56 μ A/MHz
- 片上存储
 - 256 KB数据RAM，支持数据保持
 - 8 KB指令Cache RAM，支持数据保持
 - Stack ROM（包含启动流程和蓝牙协议栈）
 - 内置1 MB QSPI Flash（GR5525IENI为512 KB，GR5525I0NI为外接Flash）
- 数字外设
 - 2个通用DMA引擎，分别支持6个通道以及多达16个可编程请求和触发源
- 模拟外设
 - 1个13位感测ADC，支持1 Msps采样率和多达11个通道（8个外部I/O通道和3个内部信号通道）
 - 内置晶圆温度传感器和电压传感器
 - 低功耗比较器，支持从睡眠模式唤醒设备
- 丰富的串行外设
 - 4个UART模块，传输速率高达2 Mbps，均支持流量控制与IrDA红外传输协议
 - 4个I2C模块，支持外设通信，传输速率高达3.4 MHz，可配置为主/从设备
 - 2路I2S接口（1路I2S Master接口，1路I2S Slave接口）
 - 1路PDM接口，支持硬件采样率转换器
 - 2路SPI接口（1路8位/16位/32位SPI Master接口，1路SPI Slave接口），用于主机通信
 - 1路DSPI接口，用于外接显示屏，支持MIPI DBI Type-C接口协议
 - 3路QSPI接口，传输速率高达48 MHz，支持内存映射，可快速访问外接NOR Flash
- 安全
 - 提供完善的安全计算引擎：
 - AES 128位/192位/256位对称加密（ECB和CBC）
 - HMAC-SHA256哈希加密算法

- PKC
 - TRNG
- 提供全面的安全运行机制：
 - 安全启动
 - 加密固件直接从Flash运行
 - 密钥加密后存储至eFuse中
 - 应用数据密钥不同于固件密钥，支持一机一密
- I/O外设
 - 多达50个可复用的I/O引脚
 - 多达34个GPIO，支持上/下拉电阻配置
 - 多达8个AON I/O，支持从睡眠模式唤醒设备
 - 多达8个MSIO，可配置为数字/模拟信号接口
- 定时器
 - 2个32位通用定时器
 - 1个双路定时器，包含2个可编程32位/16位递减计数器
 - 1个睡眠定时器，可将设备从睡眠模式唤醒
 - 2个3通道PWM模块，支持边沿对齐模式与中间对齐模式
 - 2个实时计数器（RTC）：1个RTC和1个用于实现Calendar
- 电源管理
 - 片内DC-DC转换器，为RF模拟模块及芯片CORE_LDO供电
 - 片内I/O LDO稳压器，为I/O及外围器件供电
 - 可编程的欠压检测器（BOD）阈值电压
 - 供电电压：2.4 V~3.8 V
 - I/O电压：1.8 V~3.6 V
- 低功耗模式
 - Sleep模式：7.3 μ A（典型值）；此时VBAT输入电压为3.3 V，通过AON域唤醒源唤醒系统，LFXO_32K运行
 - Ultra Deep Sleep模式：5.0 μ A（典型值）；此时无存储器数据保持，通过睡眠定时器或AON GPIO唤醒系统
 - OFF模式：200 nA（典型值）；芯片处于复位模式
- 工作温度：- 40°C ~ +85°C

- 封装类型
 - QFN68: 7.0 mm * 7.0 mm * 0.85 mm, 焊盘间距0.35 mm
 - QFN56: 7.0 mm * 7.0 mm * 0.75 mm, 焊盘间距0.4 mm

1.2 系统框图

GR5525的系统框图如下所示:

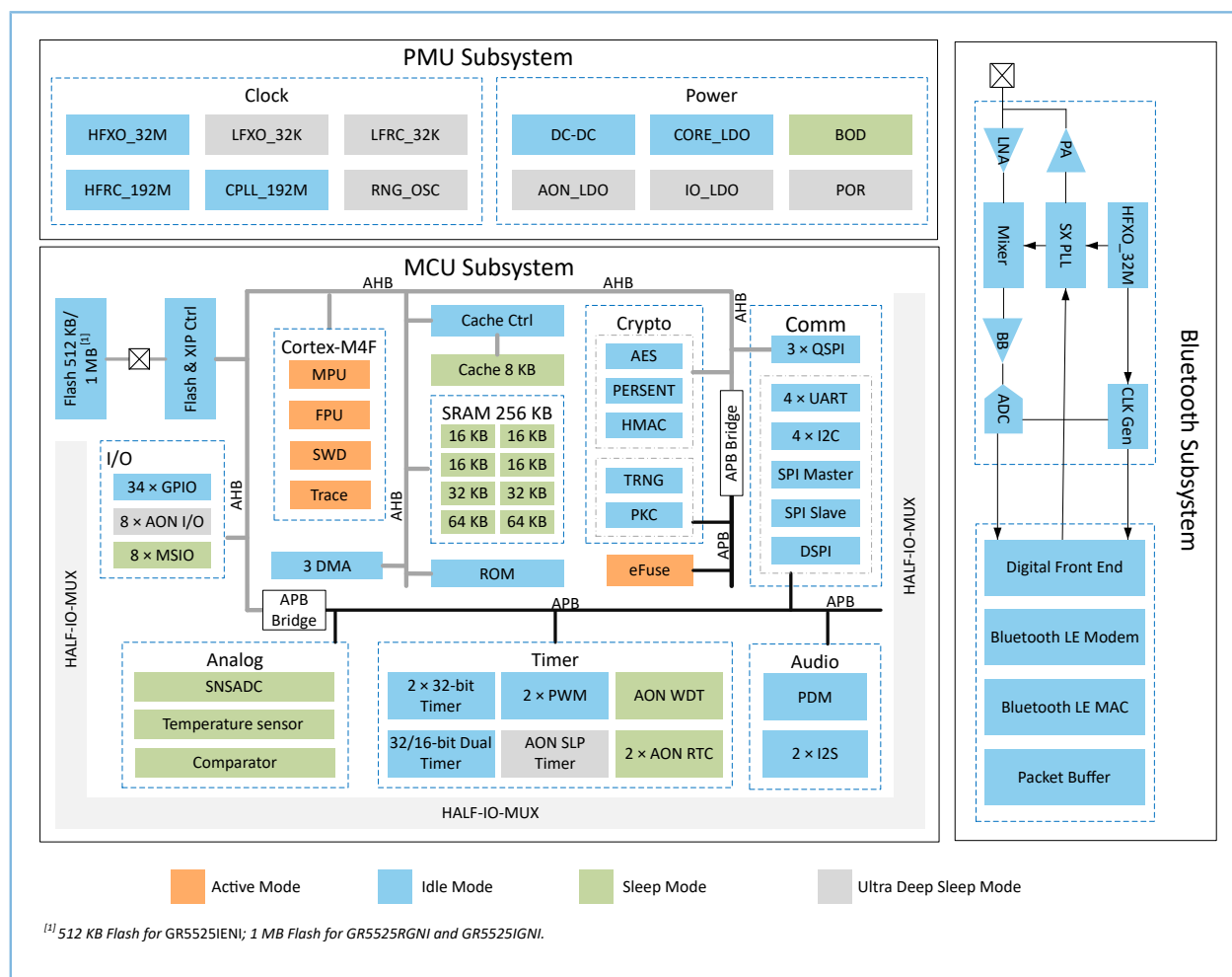


图 1-1 GR5525系统框图

说明:

有关框图中各模块的更多细节, 请参考《GR5525 Datasheet》。

2 引脚排列与定义

本章主要介绍芯片引脚排列及各引脚的详细信息。

2.1 QFN68

QFN68封装芯片的引脚排列如下图所示：

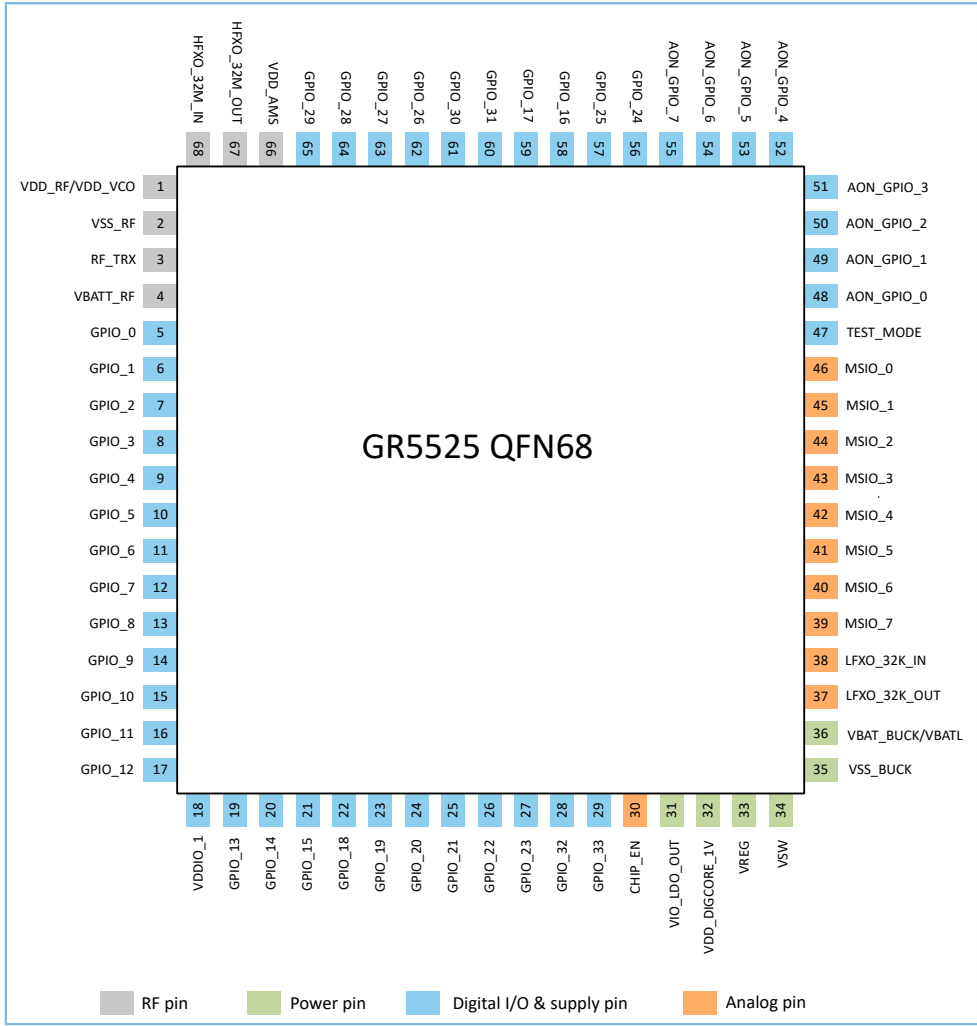


图 2-1 QFN68封装引脚排列（顶视图）

具体引脚功能描述如下表所示：

表 2-1 引脚描述

引脚编号	引脚名称	引脚类型	定义/默认功能	电源域
1	VDD_RF/VDD_VCO	模拟和射频供电	合成器VCO/射频供电：1.1 V，连接至VREG	
2	VSS_RF	模拟和射频	RF GND，连接至GND	
3	RF_TRX	模拟和射频	RF收发机的RX输入和TX输出	
4	VBATT_RF	模拟和射频供电	为RF SPA与带隙基准电路（Bandgap）供电，连接至VBATL	

引脚编号	引脚名称	引脚类型	定义/默认功能	电源域
5	GPIO_0	数字I/O	GPIO，默认：SWD_CLK	VDDIO1
6	GPIO_1	数字I/O	GPIO，默认：SWD_IO	
7	GPIO_2	数字I/O	GPIO，可配置为SWO接口	
8	GPIO_3	数字I/O	GPIO	
9	GPIO_4	数字I/O		
10	GPIO_5	数字I/O		
11	GPIO_6	数字I/O		
12	GPIO_7	数字I/O		
13	GPIO_8	数字I/O		
14	GPIO_9	数字I/O		
15	GPIO_10	数字I/O		
16	GPIO_11	数字I/O		
17	GPIO_12	数字I/O		
18	VDDIO_1	数字I/O供电	数字I/O供电输入；支持输入外部电压1.8 V~3.3 V	
19	GPIO_13	数字I/O	GPIO	
20	GPIO_14	数字I/O		
21	GPIO_15	数字I/O		
22	GPIO_18	数字I/O		
23	GPIO_19	数字I/O		
24	GPIO_20	数字I/O		
25	GPIO_21	数字I/O		
26	GPIO_22	数字I/O		
27	GPIO_23	数字I/O		
28	GPIO_32	数字I/O		
29	GPIO_33	数字I/O		
30	CHIP_EN	模拟和PMU	芯片主使能信号复位引脚； CHIP_EN高电平为VBATL； 高电平最小值：1 V	VDDIO0
31	VIO_LDO_OUT	PMU	片内I/O LDO稳压器输出，在芯片内部与VDDIO0相连； 典型输出电压：1.8 V	
32	VDD_DIGCORE_1V	模拟和PMU	数字内核的片内LDO输出	
33	VREG	模拟和PMU	开关稳压器的DC-DC反馈引脚	
34	VSW	模拟和PMU	DC-DC转换器开关节点	
35	VSS_BUCK	模拟和PMU	DC-DC转换器电源地	

引脚编号	引脚名称	引脚类型	定义/默认功能	电源域
36	VBAT_BUCK/VBATL	模拟和PMU	供电电压：2.4 V~3.8 V	
37	LFXO_32K_OUT	PMU	32.768 kHz晶振反向放大器输出	
38	LFXO_32K_IN	PMU	32.768 kHz晶振反向放大器输入	
39	MSIO_7	混合信号I/O	可配置的混合信号I/O，带数字I/O和模拟I/O	VBATL
40	MSIO_6	混合信号I/O		
41	MSIO_5	混合信号I/O		
42	MSIO_4	混合信号I/O		
43	MSIO_3	混合信号I/O		
44	MSIO_2	混合信号I/O		
45	MSIO_1	混合信号I/O		
46	MSIO0	混合信号I/O		
47	TEST_MODE	模拟和射频	输入引脚，用于工厂测试模式设置 • 1：工厂测试模式 • 0：普通操作模式 说明： 在实际应用中，默认值为0，该引脚直接连接至GND。	
48	AON_GPIO_0	数字I/O	AON GPIO，可将芯片从睡眠模式唤醒	VDDIO0
49	AON_GPIO_1	数字I/O		
50	AON_GPIO_2	数字I/O		
51	AON_GPIO_3	数字I/O		
52	AON_GPIO_4	数字I/O		
53	AON_GPIO_5	数字I/O		
54	AON_GPIO_6	数字I/O		
55	AON_GPIO_7	数字I/O		
56	GPIO_24	数字I/O	GPIO	
57	GPIO_25	数字I/O		
58	GPIO_16	数字I/O		
59	GPIO_17	数字I/O		
60	GPIO_31	数字I/O		
61	GPIO_30	数字I/O		
62	GPIO_26	数字I/O		
63	GPIO_27	数字I/O		
64	GPIO_28	数字I/O		
65	GPIO_29	数字I/O		

引脚编号	引脚名称	引脚类型	定义/默认功能	电源域
66	VDD_AMS	模拟和射频	AMS供电：1.1 V，连接至VREG	
67	HFXO_32M_OUT	模拟和射频	32 MHz晶振反向放大器输出	
68	HFXO_32M_IN	模拟和射频	32 MHz晶振反向放大器输入	

说明:

- 3.3 V供电时，GPIO和AON_GPIO的驱动能力可配置为4 mA。
- 3.3 V供电时，MSIO的驱动能力可配置为2 mA。

2.2 QFN56（带Flash）

QFN56封装芯片（带Flash）的引脚排列如下图所示：

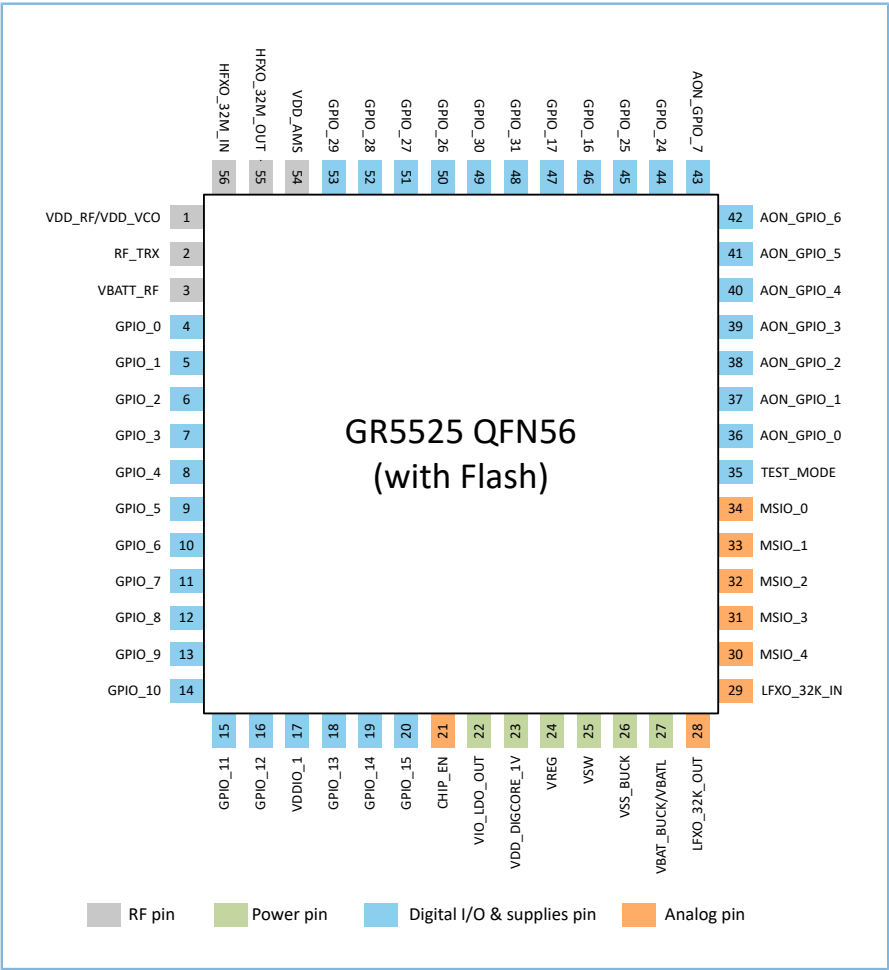


图 2-2 QFN56封装（带Flash）引脚排列（顶视图）

具体引脚功能描述如下表所示：

表 2-2 引脚描述

引脚编号	引脚名称	引脚类型	定义/默认功能	电源域
1	VDD_RF/VDD_VCO	模拟和射频供电	合成器VCO/射频供电：1.1 V，连接至VREG	
2	RF_TRX	模拟和射频	RF收发机的RX输入和TX输出	
3	VBATT_RF	模拟和射频供电	为RF SPA与带隙基准电路（Bandgap）供电，连接至VBATL	
4	GPIO_0	数字I/O	GPIO，默认：SWD_CLK	VDDIO1
5	GPIO_1	数字I/O	GPIO，默认：SWD_IO	
6	GPIO_2	数字I/O	GPIO	
7	GPIO_3	数字I/O		
8	GPIO_4	数字I/O		
9	GPIO_5	数字I/O		
10	GPIO_6	数字I/O		
11	GPIO_7	数字I/O		
12	GPIO_8	数字I/O		
13	GPIO_9	数字I/O		
14	GPIO_10	数字I/O		
15	GPIO_11	数字I/O		
16	GPIO_12	数字I/O		
17	VDDIO_1	数字I/O供电	数字I/O供电输入；支持输入外部电压1.8 V~3.3 V	
18	GPIO_13	数字I/O	GPIO	
19	GPIO_14	数字I/O		
20	GPIO_15	数字I/O		
21	CHIP_EN	模拟和PMU	芯片主使能信号复位引脚； CHIP_EN高电平为VBATL； 高电平最小值：1 V	
22	VIO_LDO_OUT	PMU	片内I/O LDO稳压器输出，在芯片内部与VDDIO0相连； 典型输出电压：1.8 V	VDDIO0
23	VDD_DIGCORE_1V	模拟和PMU	数字内核的片内LDO输出	
24	VREG	模拟和PMU	开关稳压器的DC-DC反馈引脚	
25	VSW	模拟和PMU	DC-DC转换器开关节点	
26	VSS_BUCK	模拟和PMU	DC-DC转换器供电和电池接地引脚	
27	VBAT_BUCK/VBATL	模拟和PMU	供电电压：2.4 V~3.8 V	
28	LFXO_32K_OUT	PMU	32.768 kHz晶振反向放大器输出	
29	LFXO_32K_IN	PMU	32.768 kHz晶振反向放大器输入	

引脚编号	引脚名称	引脚类型	定义/默认功能	电源域	
30	MSIO_4	混合信号I/O	可配置的混合信号I/O，带数字I/O和模拟I/O	VBATL	
31	MSIO_3	混合信号I/O			
32	MSIO_2	混合信号I/O			
33	MSIO_1	混合信号I/O			
34	MSIO_0	混合信号I/O			
35	TEST_MODE	模拟和射频	输入引脚，用于工厂测试模式设置 • 1：工厂测试模式 • 0：普通操作模式 说明： 在实际应用中，默认值为0，该引脚直接连接至GND。		
36	AON_GPIO_0	数字I/O	AON GPIO，可将芯片从睡眠模式唤醒	VDDIO0	
37	AON_GPIO_1	数字I/O			
38	AON_GPIO_2	数字I/O			
39	AON_GPIO_3	数字I/O			
40	AON_GPIO_4	数字I/O			
41	AON_GPIO_5	数字I/O			
42	AON_GPIO_6	数字I/O			
43	AON_GPIO_7	数字I/O			
44	GPIO_24	数字I/O	GPIO		
45	GPIO_25	数字I/O			
46	GPIO_16	数字I/O			
47	GPIO_17	数字I/O			
48	GPIO_31	数字I/O			
49	GPIO_30	数字I/O			
50	GPIO_26	数字I/O			
51	GPIO_27	数字I/O			
52	GPIO_28	数字I/O			
53	GPIO_29	数字I/O			
54	VDD_AMS	模拟和射频	AMS供电：1.1 V，连接至VREG		
55	HFXO_32M_OUT	模拟和射频	32 MHz晶振反向放大器输出		
56	HFXO_32M_IN	模拟和射频	32 MHz晶振反向放大器输入		

说明:

- 3.3 V供电时，GPIO和AON_GPIO的驱动能力可配置为4 mA。
- 3.3 V供电时，MSIO的驱动能力可配置为2 mA。

2.3 QFN56（不带Flash）

QFN56封装芯片（不带Flash）的引脚排列如下图所示：

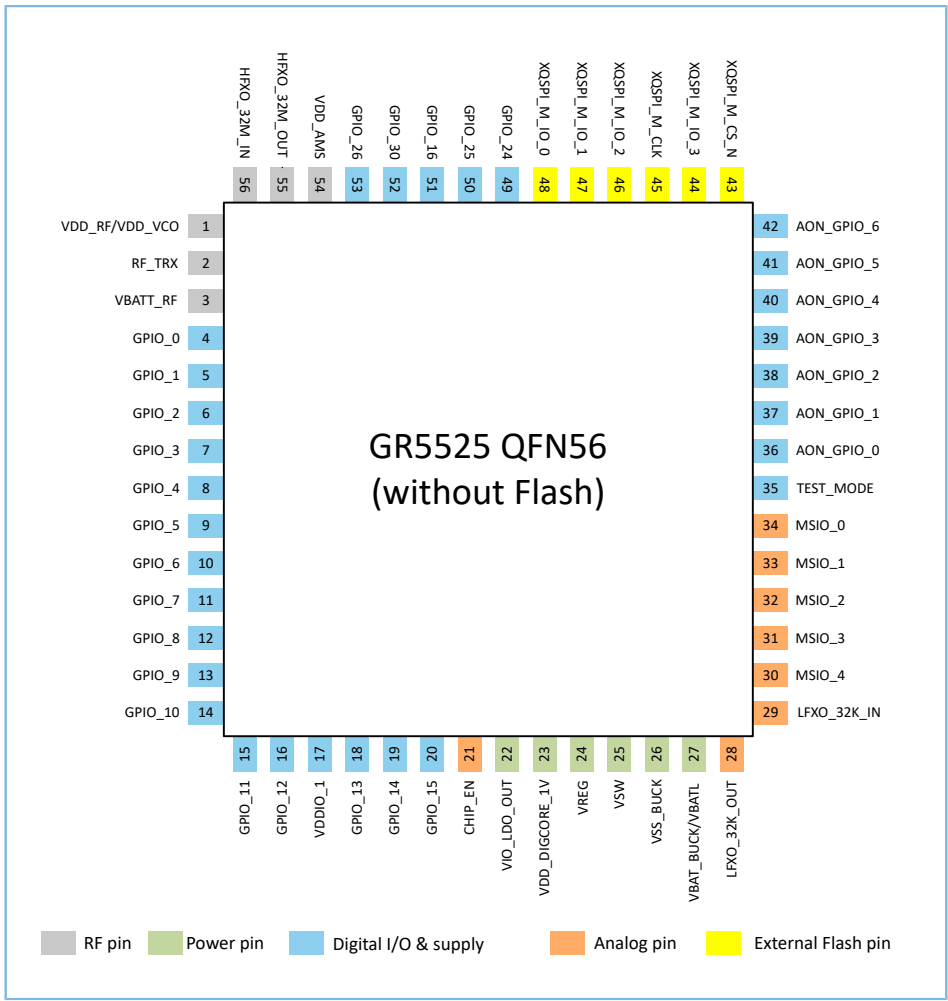


图 2-3 QFN56封装（不带Flash）引脚排列（顶视图）

具体引脚功能描述如下表所示：

表 2-3 引脚描述

引脚编号	引脚名称	引脚类型	定义/默认功能	电源域
1	VDD_RF/VDD_VCO	模拟和射频供电	合成器VCO/射频供电：1.1 V，连接至VREG	
2	RF_TRX	模拟和射频	RF收发机的RX输入和TX输出	
3	VBATT_RF	模拟和射频供电	为RF SPA与带隙基准电路（Bandgap）供电，连接至VBATL	

引脚编号	引脚名称	引脚类型	定义/默认功能	电源域
4	GPIO_0	数字I/O	GPIO，默认：SWD_CLK	VDDIO1
5	GPIO_1	数字I/O	GPIO，默认：SWD_IO	
6	GPIO_2	数字I/O	GPIO	
7	GPIO_3	数字I/O		
8	GPIO_4	数字I/O		
9	GPIO_5	数字I/O		
10	GPIO_6	数字I/O		
11	GPIO_7	数字I/O		
12	GPIO_8	数字I/O		
13	GPIO_9	数字I/O		
14	GPIO_10	数字I/O		
15	GPIO_11	数字I/O		
16	GPIO_12	数字I/O		
17	VDDIO_1	数字I/O供电	数字I/O供电输入；支持输入外部电压1.8 V~3.3 V	
18	GPIO_13	数字I/O	GPIO	
19	GPIO_14	数字I/O		
20	GPIO_15	数字I/O		
21	CHIP_EN	模拟和PMU	芯片主使能信号复位引脚； CHIP_EN高电平为VBATL； 高电平最小值：1 V	
22	VIO_LDO_OUT	PMU	片内I/O LDO稳压器输出，在芯片内部与VDDIO0相连； 典型输出电压：1.8 V	VDDIO0
23	VDD_DIGCORE_1V	模拟和PMU	数字内核的片内LDO输出	
24	VREG	模拟和PMU	开关稳压器的DC-DC反馈引脚	
25	VSW	模拟和PMU	DC-DC转换器开关节点	
26	VSS_BUCK	模拟和PMU	DC-DC转换器供电和电池接地引脚	
27	VBAT_BUCK/VBATL	模拟和PMU	供电电压：2.4 V~3.8 V	
28	LFXO_32K_OUT	PMU	32.768 kHz晶振反向放大器输出	
29	LFXO_32K_IN	PMU	32.768 kHz晶振反向放大器输入	
30	MSIO_4	混合信号I/O	可配置的混合信号I/O，带数字I/O和模拟I/O	VBATL
31	MSIO_3	混合信号I/O		
32	MSIO_2	混合信号I/O		
33	MSIO_1	混合信号I/O		
34	MSIO_0	混合信号I/O		

引脚编号	引脚名称	引脚类型	定义/默认功能	电源域
35	TEST_MODE	模拟和射频	输入引脚，用于工厂测试模式设置 • 1：工厂测试模式 • 0：普通操作模式 说明： 在实际应用中，默认值为0，该引脚直接连接至GND。	
36	AON_GPIO_0	数字I/O	AON GPIO，可将芯片从睡眠模式唤醒	VDDIO0
37	AON_GPIO_1	数字I/O		
38	AON_GPIO_2	数字I/O		
39	AON_GPIO_3	数字I/O		
40	AON_GPIO_4	数字I/O		
41	AON_GPIO_5	数字I/O		
42	AON_GPIO_6	数字I/O		
43	XQSPI_M_CS_N	数字I/O	连接至外部Flash	
44	XQSPI_M_IO_3	数字I/O		
45	XQSPI_M_CLK	数字I/O		
46	XQSPI_M_IO_2	数字I/O		
47	XQSPI_M_IO_1	数字I/O		
48	XQSPI_M_IO_0	数字I/O		
49	GPIO_24	数字I/O	GPIO	
50	GPIO_25	数字I/O		
51	GPIO_16	数字I/O		
52	GPIO_30	数字I/O		
53	GPIO_26	数字I/O		
54	VDD_AMS	模拟和射频	AMS供电：1.1 V，连接至VREG	
55	HFXO_32M_OUT	模拟和射频	32 MHz晶振反向放大器输出	
56	HFXO_32M_IN	模拟和射频	32 MHz晶振反向放大器输入	

说明:

- 3.3 V供电时，GPIO和AON_GPIO的驱动能力可配置为4 mA。
- 3.3 V供电时，MSIO的驱动能力可配置为2 mA。

3 GR5525最小系统设计

GR5525最小应用系统必须包括以下模块：

- 电源
- 时钟
- 射频
- I/O引脚
- SWD接口
- 外部Flash

以下章节将详细介绍GR5525最小应用系统的电路原理图以及PCB布局参考设计，帮助用户快速入门GR5525的硬件应用开发。

3.1 电路原理图设计指南

GR5525最小系统的电路原理图可参考[4.1 原理图参考设计](#)。

3.1.1 电源

3.1.1.1 简介

GR5525通过VBATL引脚外接电源供电，供电电压为2.4 V~3.8 V。

为避免电池焊接引起的开关过冲，GR5525上电运行时需在电池与VBATL引脚之间串联一个电阻（0.39 Ω ~1 Ω ）。建议在为VBATL供电前通过LDO稳压器或DC-DC转换器将电池电压转换为3.3 V。

GR5525电源管理单元（PMU）框图如下所示。

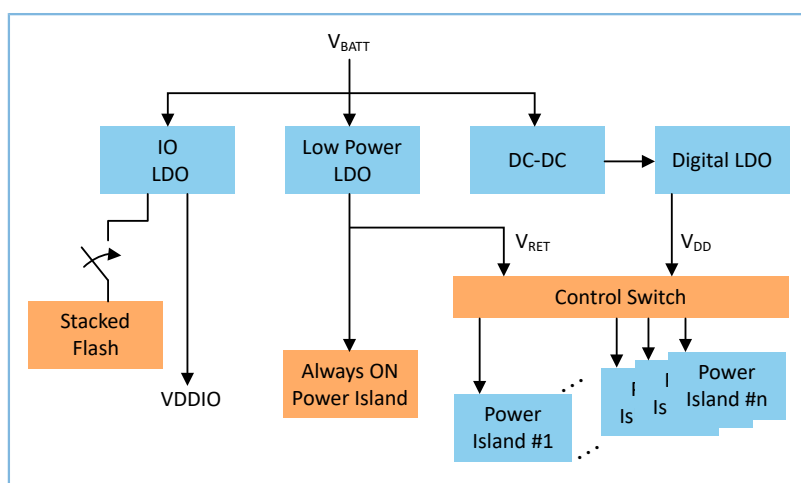


图 3-1 GR5525 PMU框图

PMU为GR5525芯片的各模块供电。

- I/O LDO稳压器为片上Flash（GR5525I0NI除外）以及芯片的I/O引脚提供电源电压。更多信息，请参考[3.1.1.3 I/O LDO](#)。

- 在Active模式下，DC-DC转换器为收发器供电，LDO稳压器为数字模块供电。
- GR5525使用LDO稳压器为AON模块供电，这些模块即使在MCU子系统和蓝牙子系统都关闭的情况下仍保持开启状态。LDO稳压器还为内存的数据保持区域提供低压电源，以便从睡眠模式唤醒后恢复保存在内存中的数据内容。
- 数据保持区域和数字模块的电源电压将通过控制开关矩阵分配给芯片的所有电源域。

3.1.1.2 上电时序

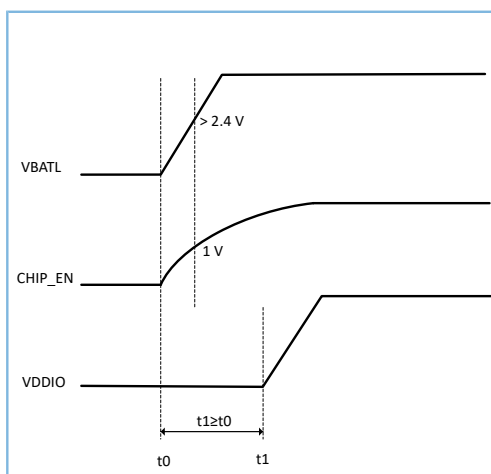


图 3-2 GR5525上电时序

说明:

- 芯片上电后，当CHIP_EN达到1 V时，VBATL应高于2.4 V。
- VDDIO不可先于VBATL上电。
- 当GR5525作为从机使用时，不能拉低CHIP_EN后再上电VBATL，否则I/O引脚可能会不受控制而强制输出高电平。

GR5525应用于可充电电池供电的应用时，若搭配使用不带电源路径管理（PPM）的Charger，则当电池电压降为0 V（例如，在长期船运或仓储过程中，电池自放电致使电量放完）时，进行再次充电，系统将因无法满足上电时序而不能正常启动。为解决该问题，GR5525 0 V充电设计采用以下方案。

- 选择带电源路径管理的Charger

使用带系统电源路径管理的Charger时，推荐的电路设计如下所示。

- 当电池电压为0 V时，Charger可通过USB接口外接充电电源。输入电源通过Qbypass及Qrvs路径后，输出电压V_{SYS}为系统供电，同时控制Qswitch输出Vbat为0 V电池充电，从而实现电池充电与系统供电独立管理。
- 充电开始时，V_{SYS}将瞬间升至预设电压，GR5525 VBATL也将瞬间达到工作电压以上。由于CHIP_EN引脚上具有延时电路，可满足上电时序，从而保证系统仍能正常工作。

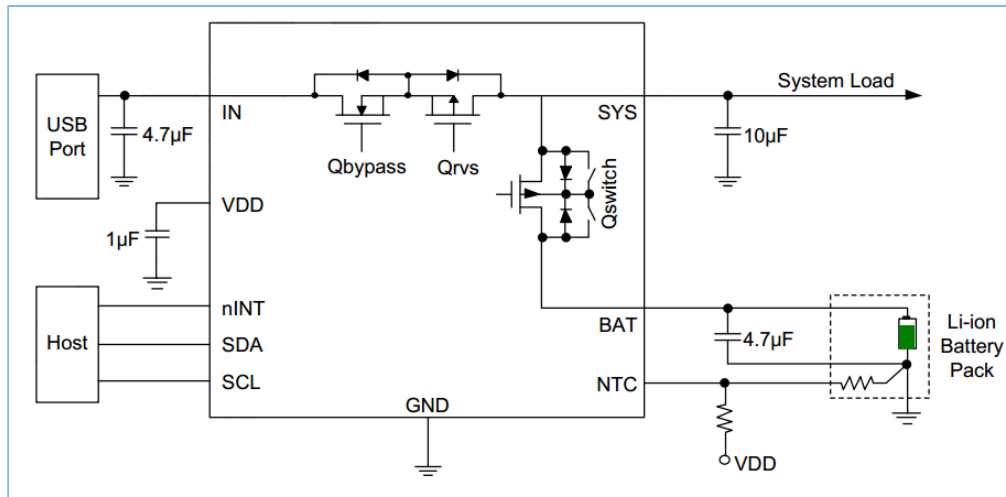


图 3-3 带电源路径管理的Charger参考电路

- 选择不带电源路径管理的Charger

在一般电路设计中，电池电压经过LDO转换为恒定的3.3 V电压，为GR5525提供电源。使用不带电源路径管理的Charger时，可利用MOSFET管（Q1）控制LDO使能（参考电路如下所示），以便当电池电量达到预设值（足够供给GR5525正常工作）后才开启LDO，从而保证系统正常启动。

当系统充电时，MOSFET管（Q1）的栅极电压（Vg）由两个电阻（Ra和Rb）分压得到。若配置Ra = Rb，即Vg电压设置为2.5 V，则0 V充电时MOSFET管（Q1）导通的条件为： $V_{bat} \geq 2.5 V + |V_{gs(th)}|$ ，其中Vgs(th)指MOSFET管（Q1）栅极G与源极S导通的阈值电压。

MOSFET管（Q1）的源极电压（Vs）为电池电压（Vbat），随充电进程逐渐升高。当Vbat升至Vgs(th)时，MOSFET管（Q1）导通，LDO的EN引脚电压（VLDO_EN）等于Vbat。此时，LDO工作，GR5525可正常启动。

- 系统充电时，MOSFET管（Q1）状态与LDO EN引脚电压的关系为：
 - Vbat < 2.5 V + |Vgs(th)| 时，Vgs未达到阈值电压Vgs(th)，MOSFET管（Q1）处于截止状态，VLDO_EN = 0 V。
 - Vbat ≥ 2.5 V + |Vgs(th)| 时，Vgs达到阈值电压Vgs(th)，MOSFET管（Q1）处于导通状态，VLDO_EN = Vbat。
- 当系统正常工作未充电且USB端口未外接电源时，MOSFET管（Q1）的栅极电压（Vg）由下拉电阻Rb决定，即为0 V，MOSFET管（Q1）处于导通状态，VLDO_EN电压等于Vbat。

Vg电压计算公式： $V_g = V_{usb} * R_b / (R_a + R_b)$

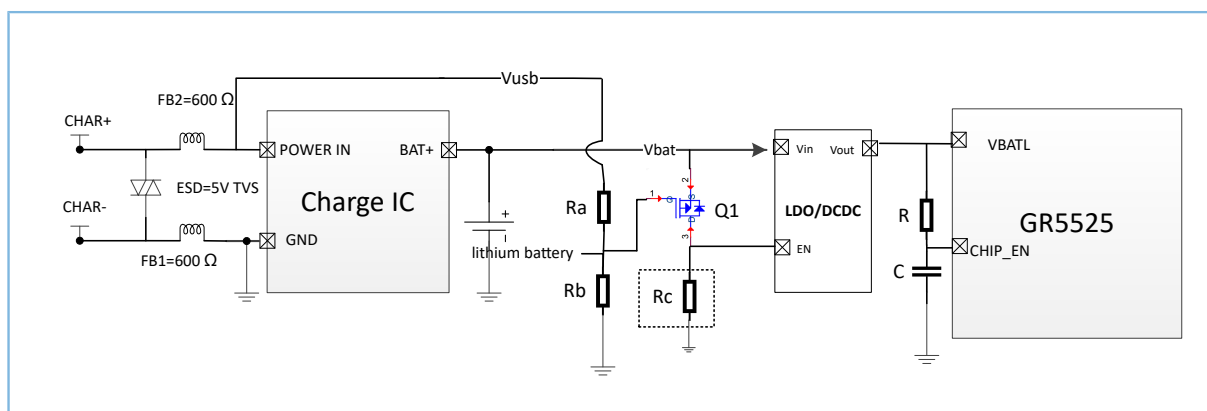


图 3-4 不带电源路径管理的Charger参考电路

说明:

- Q1为PMOS。
- Ra、Rb阻值可根据Q1参数进行调整。
- 建议预留Rc，用于配置LDO初始状态。若Rc采用贴片电阻，则将产生漏电流 $I=V_{bat}/R_c$ ，会增加系统功耗。

推荐的MOSFET管参数如下：

表 3-1 MOSFET管选型参考

器件类型	器件型号	V _{gs(th)}	I _d (μA)	R _{DS(ON)} @ V _{gs} = - 2.5 V	封装	厂商
PMOS	CJBB3139K	- 1.1 V (最大值)	- 0.66	780 mΩ	DFN1006-3L-A	JSCJ (长晶)
PMOS	NTK3139P	- 1.2 V (最大值)	- 1	520 mΩ	SOT-723	ON Semiconductor (安森美)

此外，还可通过增加其他外部电路，使得Charger具备路径管理，从而保证GR5525正常启动。

3.1.1.3 I/O LDO

GR5525的I/O LDO默认输出1.8 V的额定电压，为片上Flash和芯片的I/O引脚（VDDIO0引脚）供电，也可通过VIO_LDO_OUT引脚为外部Flash供电。此外，它还可作为传感器等外围器件供电，最大负载电流为30 mA。

I/O LDO的电源输出引脚为VIO_LDO_OUT，该引脚需就近连接一个1 μF去耦电容。

GR5525的I/O电压域包括三个：VDDIO_0、VDDIO_1两个数字电压域以及一个MSIO数字混合电压域，对应的参考电平分别为VDDIO_0、VDDIO_1、VBATL。VIO_LDO_OUT与I/O电压域关系如下图所示：

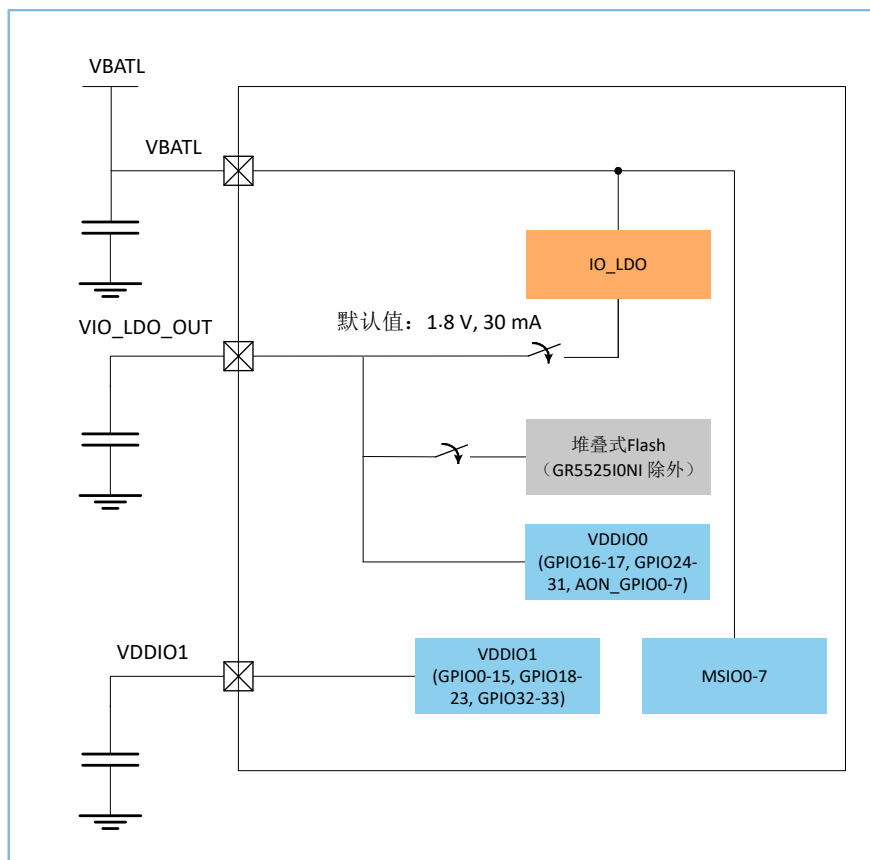


图 3-5 VIO_LDO_OUT与I/O电压域关系示意图

说明:

- 用户可通过配置软件调节I/O LDO的供电电压，范围：**1.8 V~3.0 V**，默认值：**1.8 V**。
- VDDIO_0在芯片内部和VIO_LDO_OUT相连，未单独连接到封装引脚上。
- VDDIO_1可由VIO_LDO_OUT或外部电源（典型电压范围：**1.8 V~3.3 V**）供电。由VIO_LDO_OUT供电时，VDDIO_1需与VIO_LDO_OUT在芯片外部相连。
- 由外部电源供电时，VDDIO_1的GPIO电平跟随外部电源的电平而改变。
- I/O LDO的漏电流约为**0.7 μ A**。
- VDDIO_0（VIO_LDO_OUT）和VDDIO_1的输入电压不能超过VBATL。
- VDDIO_1电压域为GPIO_0~GPIO_15、GPIO_18~GPIO_23和GPIO_32~GPIO_33供电；VDDIO_0为GPIO_16~GPIO_17、GPIO_24~GPIO_31和AON_GPIO_0~AON_GPIO_7供电。

3.1.1.4 电源电路原理图

GR5525 SoC具备完整的电源管理模块，可保证系统的正常和安全运行。以GR5525 QFN68封装为例，GR5525电源管理模块的电路设计参考如下图所示。

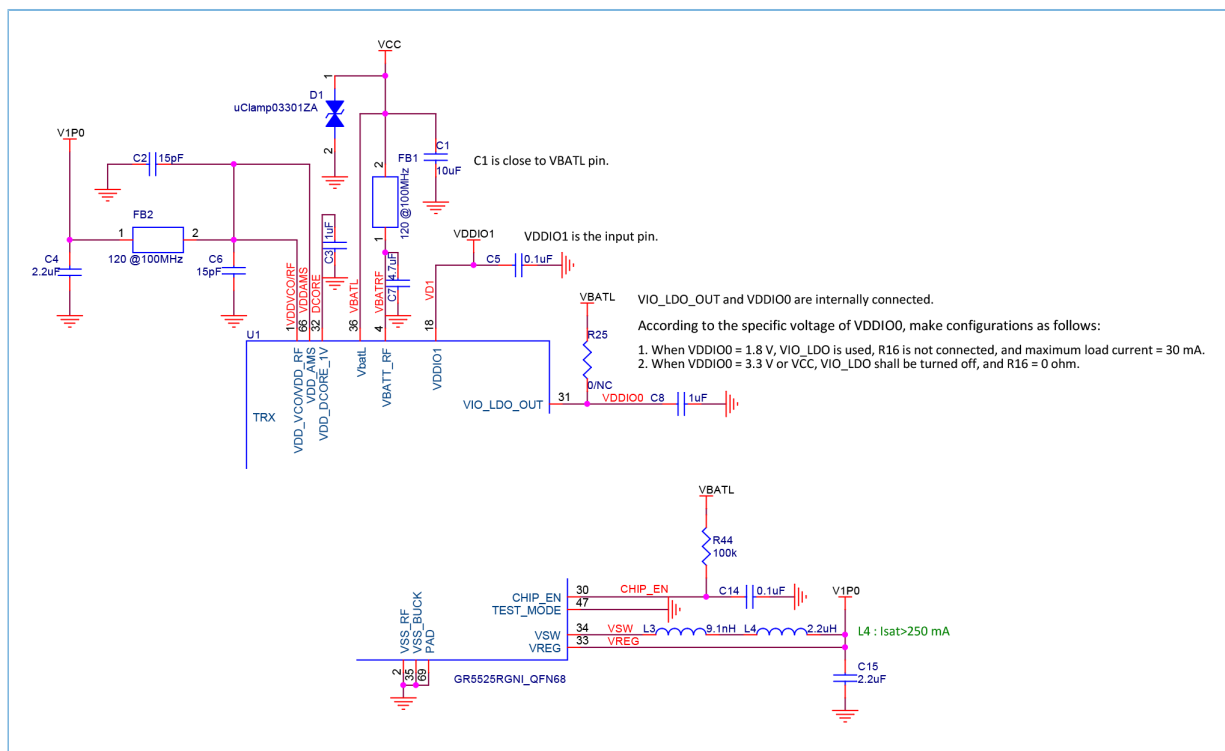


图 3-6 GR5525电源原理图

各引脚的功能及连接描述如下:

- **VDD_VCO/VDD_RF:** 内部射频部分的供电引脚，连接至DC-DC开关稳压器的输出电压网络V1P0，并连接一个2.2 μ F/15 pF滤波电容。
- **VDD_AMS:** 内部模拟部分的供电引脚，连接至DC-DC开关稳压器的输出电压网络V1P0，并连接一个15 pF滤波电容。
- **VDD_DIGCORE_1V:** 数字LDO输出引脚，为数字内核逻辑供电。连接一个1 μ F滤波电容。
- **VBATL:** 芯片电源输入，电压范围：2.4 V~3.8 V，典型值：3.3 V。连接一个10 μ F滤波电容。
- **VBATT_RF:** 连接至VBATL，并连接一个4.7 μ F滤波电容。
- **VIO_LDO_OUT:** 在芯片内部默认与VDDIO0连接在一起，片上VDDIO LDO稳压器的输出引脚，为片上Flash供电；典型输出电压：1.8 V；同时也可为VDDIO引脚和外部传感器供电，最大负载电流为30 mA。连接一个1 μ F去耦电容。
- **VSW:** DC-DC开关稳压器的输出引脚。串联两个电感（一个为9.1 nH电感，用于减少开关噪声引起的射频干扰；另一个为2.2 μ H功率电感）以及一个2.2 μ F电容，组成完整的DC-DC电路，输出V1P0电压为芯片供电。该引脚需通过外部电路连接至VDD_VCO/VDD_RF和VDD_AMS引脚。
- **VREG:** DC-DC开关稳压器输出电压的反馈引脚，连接至V1P0电压网络。
- **VDDIO1:** I/O1电压域供电引脚，可由VIO LDO_OUT或者外部稳压器供电，连接一个0.1 μ F滤波电容。

以上使用的电容、磁珠以及电感的器件选型，可参考以下表格。

表 3-2 推荐使用的去耦电容、磁珠器件

位号	描述	值	封装类型	推荐器件（制造商、型号）
C15	CAP、CER、X5R、2.2 μF ($\pm 10\%$)、6.3 V	2.2 μF	0603	Murata GRM188R61C225KE15D
C5、C14	CAP、CER、X7R、0.1 μF ($\pm 10\%$)、10 V	0.1 μF	0402	Murata GRM155R71A104KA01D
C3、C8	CAP、CER、X5R、1 μF ($\pm 10\%$)、6.3 V	1 μF	0402	Samsung CL05A105KO5NNNC
C4	CAP、CER、2.2 μF ($\pm 10\%$)、X5R、10 V	2.2 μF	0402	Murata GRM155R61A225KE95D
C1	CAP、CER、X5R、10 μF ($\pm 20\%$)、10 V	10 μF	0603	Murata GRM188R61A106ME69
C2、C6	CAP、CER、NPO、15 pF ($\pm 5\%$)、50 V	15 pF	0402	Murata GRM1555C1H150JA01D
C7	CAP、CER、4.7 μF ($\pm 10\%$)、X5R、10 V	4.7 μF	0402	Murata GRM155R61A475KEAAD
FB1、FB2	磁珠、120 Ω @ 100 MHz、400 mA、500 m Ω 、0603	120 Ω @ 100 MHz	0603	Murata BLM18AG121SN1

表 3-3 推荐使用的9.1 nH电感器件

位号	值	DC电阻（最大值）	饱和电流	长 x 宽 x 高（mm）	推荐器件（制造商、型号）
L3	9.1 nH	0.32 Ω	300 mA	1.0 x 0.5 x 0.5	Murata LQG15HS9N1J02D

表 3-4 推荐使用的2.2 μH 电感器件

位号	值	DC电阻（典型值）	饱和电流	长 x 宽 x 高（mm）	推荐器件（制造商、型号）
L4	2.2 $\mu\text{H} \pm 20\%$	0.3 Ω	250 mA	1.6 x 0.8 x 0.8	Sunlord MPH160809S2R2
		0.2 Ω	250 mA	1.6 x 0.8 x 0.8	Murata LQM18PN2R2MGH
		0.38 Ω	300 mA	1.6 x 0.8 x 0.8	Murata LQM18PN2R2MFH

2.2 μH 功率电感用于PSM模式（Pulse Skip Mode）的DC-DC Buck电路，且对整个DC-DC电路至关重要，其饱和电流需大于250 mA。为保证系统安全运行和提升GR5525性能，建议优先选择具有高饱和电流与低直流电阻的电感，这是因为直流电阻高意味着功耗也高。

3.1.2 时钟

3.1.2.1 简介

GR5525的系统时钟源由外部32 MHz晶振产生，实时时钟源由外部的32.768 kHz晶振提供。

3.1.2.2 32 MHz晶振（XO）

系统时钟（或称CPU时钟），由外部32 MHz晶振提供。32 MHz晶振的规格参数要求参见表 3-5，器件选型参见表 3-6。

表 3-5 32 MHz晶振规格参数

参数	描述	条件	最小值	典型值	最大值	单位
Crystal Freq	晶振频率	-	-	32	-	MHz
ESR	等效串联电阻	-	-	-	100	Ω
C _{load}	负载电容	-	6	-	8	pF
f-Xtal	晶振频率初始容差	-	-	-	±50	ppm
f-Xtal	晶振频率容差（随温度变化）	-	-	-	±30	ppm
f-Xtal	晶振频率容差（随产品使用年限变化）	-	-	-	±10	ppm
P _{DRV}	最大驱动功率	-	-	-	100	μ W

表 3-6 推荐的32 MHz晶振

器件型号	Abracon	TAITIEN	Murata	TXC
	ABM10W-32.0000MHZ-6-D1X-T3	G0068-X-006-3	XRCGB32M000F5N10R0	8Z32000004
频率	32 MHz	32 MHz	32 MHz	32 MHz
初始容差	±10 ppm	±40 ppm	±50 ppm	±10 ppm
随温度变化后容差	±20 ppm	±30 ppm	±30 ppm	±20 ppm
负载电容	6 pF	6 pF	6 pF	8 pF
ESR	70 Ω	30 Ω	≤ 100 Ω	≤ 60 Ω
温度	- 40°C ~ +85°C	- 40°C ~ +105°C	- 40°C ~ +85°C	- 40°C ~ +85°C
长 x 宽 x 高 (mm)	2.5 x 2.0 x 0.60	2.5 x 2.0 x 0.60	2.0 x 1.6 x 0.60	2.5 x 2.0 x 0.60

说明:

- 32 MHz晶振负载电容参数要求必须为6 pF~8 pF，否则会影响系统的稳定性并增加功耗。32 MHz晶振无需外接负载电容，但需要使用量产工具进行频率偏移校准。
- 应用电路需为量产工具预留接口或测试点，包括SWDCLK、SWDIO、CLK_TRIM（除MSIO外的任意GPIO）、GND以及VBAT。

3.1.2.3 32.768 kHz晶振

GR5525在睡眠模式下采用低功耗的低频时钟，有助于延长电池使用寿命。建议GR5525采用外部32.768 kHz晶振，可提供更紧凑的时序和更高的时钟精度，从而降低系统的整体功耗。

GR5525内嵌了一个可调节的负载电容，因此通常情况下，该晶振无需外接负载电容。

32.768 kHz晶振的规格参数要求参见表 3-7；器件选型参见表 3-8。

表 3-7 32.768 kHz晶振规格参数

参数	描述	条件	最小值	典型值	最大值	单位
Crystal Freq	晶振频率	-	-	32.768	-	kHz
ESR	等效串联电阻	-	-	-	100,000	Ω
C _{load}	负载电容	-	6	-	9	pF
f-Xtal	晶振频率初始容差	-	-	-	±50	ppm
f-Xtal	晶振频率容差（随温度和芯片使用年限变化）	-	-	-	±250	ppm
PDRV	最大驱动功率	-	-	-	0.5	μW

表 3-8 32.768 kHz晶振规格（推荐使用）

器件型号	Abracon ABS05-32.768KHZ-9-T
频率	32.768 kHz
初始容差	±20 ppm
随温度变化后容差	±250 ppm
负载电容	9 pF
等效串联电阻	90,000 Ω
温度	- 40°C ~ +85°C
长 x 宽 x 高（mm）	1.6 x 1.0 x 0.50

说明:

32.768 kHz晶振负载电容参数要求必须为6 pF~9 pF，否则会影响系统的稳定性并增加功耗。

3.1.3 射频

3.1.3.1 简介

GR5525收发器的功能框图如下所示。

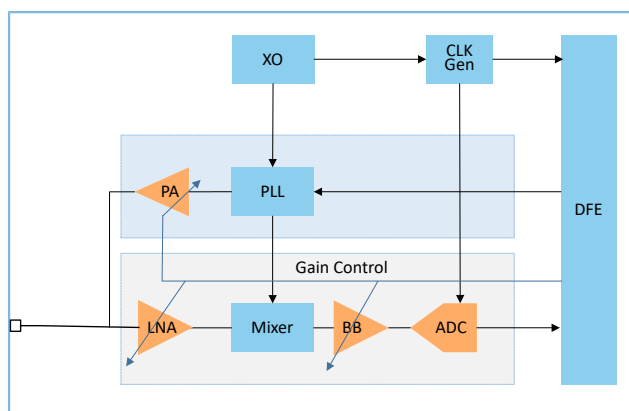


图 3-7 GR5525收发器框图

其工作原理描述如下：

- 接收端
 1. 天线接收到射频信号后，按照“低噪声放大器（LNA）→ 混频器（Mixer）→ 基带（BB）放大器 → 模数转换器（ADC）”的接收路径处理并输出数字信号。
 2. 数字信号被发送至数字前端（DFE）进行解调。
 3. 数字前端提供自动增益控制（AGC）反馈信号，调整LNA和BB放大器的增益，以实现满足要求的最大信噪比（SNR）。
- 发射端
 1. 数字前端将数字信号传输给锁相环（PLL）进行调制。
 2. 调制载波发送至功率放大器（PA）进行功率放大处理，放大系数可由数字增益配置。
 3. 功率放大后的调制载波经过低功率或高功率PA路径发送至天线，再由天线将载波通过电磁波向外辐射。

说明:

射频载波和数字时钟均由HFXO_32M产生。

3.1.3.2 射频电路原理图

以GR5525 QFN56封装为例，GR5525最小系统中射频模块的电路原理图如下所示。

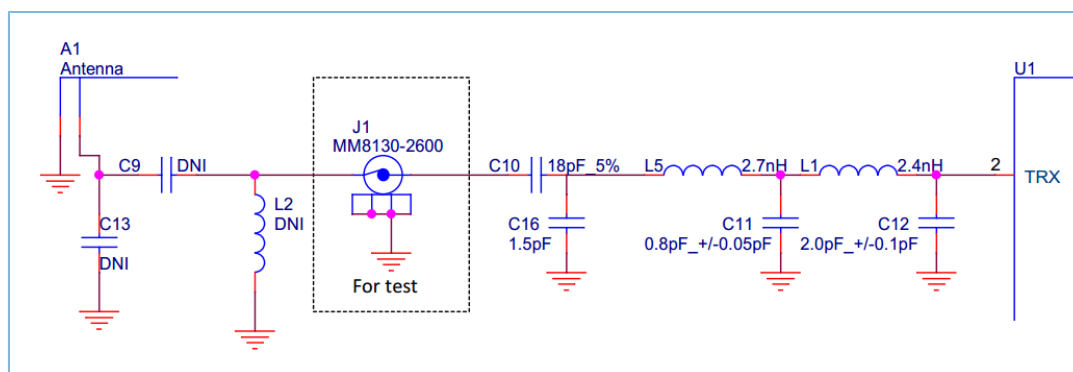


图 3-8 射频电路原理图 (QFN56封装)

建议在RF TRX路径（从TRX引脚至天线）上插入两个匹配网络，使PA输出阻抗与天线阻抗匹配。

- 天线匹配网络

电路左侧的PI型匹配网络（由电感L2、电容C9、C13组成）用于匹配天线阻抗。该匹配网络中各器件的值可根据实际使用的天线调整。建议采用成熟的天线方案和天线厂商提供的推荐参数。

- 芯片匹配网络

电路右侧的PI型匹配网络（由电感L1、L5和电容C11、C12、C16组成）用于匹配GR5525芯片内部PA阻抗，与芯片TRX引脚相连。

两个匹配网络由隔直电容C10相连。

电路中使用的电容与电感的器件选型详见下表。

表 3-9 射频电路推荐使用器件

位号	描述	值	封装尺寸	推荐器件（制造商、型号）
C10	CAP、CER、NPO、18 pF ($\pm 5\%$)、50 V	18 pF	0402	Murata GRM1555C1H180JA01D
C11	CAP、CER、NPO、0.8 pF (± 0.05 pF)、50 V	0.8 pF	0402	Murata GRM1555C1HR80WA01D
C12	CAP、CER、NPO、2.0 pF (± 0.1 pF)、50 V	2.0 pF	0402	Murata GRM1555C1H2R0BA01D
C16	CAP、CER、COG、1.5 pF (± 0.1 pF)、50 V	1.5 pF	0201	Murata GRM0335C1H1R5BA01D
L1	绕线电感、2.4 nH (± 0.2 nH)、50 m Ω 、Q = 20 @ 250 MHz	2.4 nH	0402	Murata LQW15AN2N4B00
L5	电感、2.7 nH (± 0.1 nH)、120 m Ω 、Q = 14 @ 500 MHz	2.7 nH	0402	Murata LQG15HS2N7B02D

3.1.4 I/O引脚

GR5525提供软件可配置的I/O引脚复用功能，不同外设可复用在不同引脚上。当I/O引脚被配置为GPIO时，可设置为输入或输出，并可配置上拉或下拉电阻。当系统进入Sleep或Ultra Deep Sleep模式时，I/O引脚会保持其最后状态。仅AON_GPIO引脚可用于将系统从睡眠模式唤醒。

说明:

- 关于引脚复用的更多详细信息，请参考《GR5525 Datasheet》。
- 在电路应用设计中，分配I/O时应注意MSIO引脚不具备硬件中断功能。
- GR5525芯片配备两组PWM（PWM0和PWM1），每组提供三路独立的输出通道：PWMA、PWMB、PWMC。同一组内的三路PWM信号频率相同，不能单独设置，相位和占空比可通过寄存器配置。
- VDDIO_1和VIO_LDO_OUT（VDDIO_0）引脚的输入电压均不能高于VBATL电压。
- 所有I/O引脚（GPIO、MSIO和AON GPIO）的灌电压均不能高于VBATL电压。

3.1.5 串行调试接口

GR5525支持串行调试（SWD）接口，可外接J-Link仿真器进行调试。

不同封装下的SWD接口对应的芯片引脚如下表所示。

表 3-10 SWDCLK和SWDIO对应的芯片引脚

SWD接口	引脚（QFN68封装）	引脚（QFN56封装）
SWD_CLK	Pin 5	Pin 4
SWD_IO	Pin 6	Pin 5

未使用SWD接口时，上述引脚可复用为GPIO引脚。

3.1.6 Flash

GR5525系列芯片中，除GR5525I0NI使用外部Flash以外，其余型号均内置Flash。GR5525系列Flash详细信息如下所示：

表 3-11 GR5525 Flash详情

芯片型号	GR5525RGNI	GR5525RGNIL	GR5525IGNI	GR5525IGNIL	GR5525IENI	GR5525I0NI
Flash类型	内部Flash	内部Flash	内部Flash	内部Flash	内部Flash	外部Flash
电压特性	宽压 范围：1.65 V～ 3.6 V	低压 典型值：1.8 V	宽压 范围：1.65 V～ 3.6 V	低压 典型值：1.8 V	宽压 范围：1.65 V～ 3.6 V	低压和高压 • 低压（典型值）：1.8 V • 高压（典型值）：3.3 V

- 电源：
 - I/O LDO：内置Flash和外部Flash均由片上LDO稳压器（I/O LDO）供电，典型LDO输出电压为1.8 V。
片上Flash在芯片内部与I/O LDO连接。将VIO_LDO_OUT连接至外部Flash的电源输入，即可为外部Flash供电。
 - 外部电源：详见[选项1](#)。

- 高压场景应用：

对于内置宽压Flash的GR5525芯片型号以及GR5525I0NI，将芯片应用于高压场景前，需确保：

1. 对eFuse进行写操作时，关闭I/O LDO并采用外部电源供电。将VIO_LDO_OUT用作VDDIO_0电压域的电源输入引脚，并连接至外部电源。
2. 或将I/O LDO设置为Bypass模式，并将VBATL连接至I/O LDO输出。

- 外部Flash选型：

GR5525I0NI采用外部Flash，提供多种型号选择，并支持低压（典型值：1.8 V）和高压（典型值：3.3 V）Flash。通常情况下，GR5525I0NI支持所有符合《GR5515I0NDA外部Flash选型指导手册》中所述电气特性的通用Flash型号。经过对一系列Flash型号进行测试，推荐型号如下：

表 3-12 外部高压Flash参考选型列表

Flash型号	厂商	Flash容量	电压范围（V）
P25Q128H	Puya Semiconductor（普冉）	128 Mb	2.30~3.60
W25Q64JV	Winbond（华邦）	64 Mb	2.70~3.60
XM25QH64A	XMC（新芯）	64 Mb	2.30~3.60
XT25F64B	XTX（芯天下）	64 Mb	2.70~3.60

表 3-13 外部低压Flash参考选型列表

Flash型号	厂商	Flash容量	电压范围（V）
P25Q128L	Puya Semiconductor（普冉）	128 Mb	1.65~2.00
XT25Q64D	XTX（芯天下）	64 Mb	1.65~2.10

说明：

- 由于外部Flash支持情况不同，部分外部Flash无法支持64 MHz速率读取数据，因此可根据实际的Flash数据传输速率降低QSPI速率。
- 在实际应用中，GR5525I0NI Flash的操作频率会根据整个系统的器件封装、布局以及布线而有所不同。因此，建议根据实际项目需求，选择满足电气特性和功能要求的Flash。

3.2 PCB Layout设计指南

3.2.1 PCB叠层

GR5525系列芯片的PCB设计建议采用四层板，推荐的叠层结构（板厚1.6 mm）如下图所示。

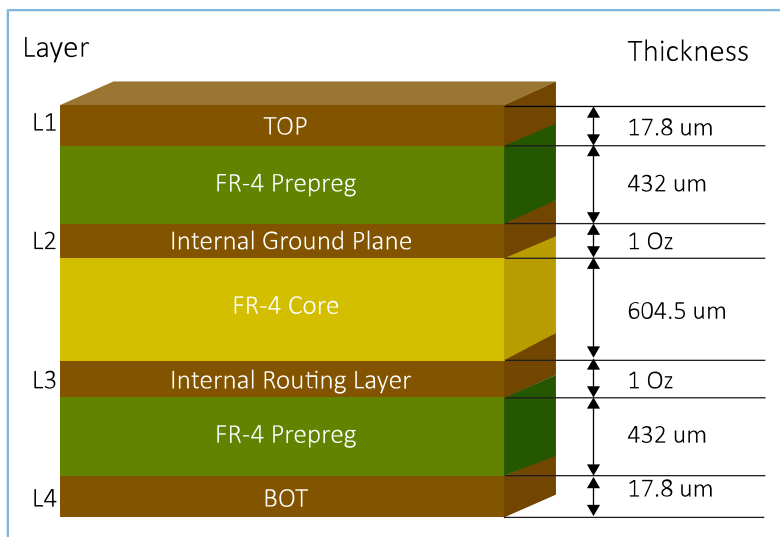


图 3-9 GR5525 PCB推荐叠层结构

第一层（L1）：顶层，主要用于放置元器件、走射频传输线及关键信号线。

第二层（L2）：地平面层，既用于接地返回路径，也作为50 Ω射频传输线的参考地平面。

第三层（L3）：内部布线层，用于分隔各电源域，并铺设少量信号线。

第四层（L4）：底层，放置元器件和走信号线。

说明:

用户可根据自身产品开发需求，修改PCB叠层结构设计。[4.2.1 四层板参考设计](#)提供了一个典型的四层板PCB布局案例，帮助用户快速开发和设计。

如用户有降低成本需求，可采用两层板，要特别注意两层板的电源滤波器件布局、电源输入、DC-DC Buck地的返回路径、射频线的参考地完整性等。布局和布线详情请参考[4.2.2 两层板参考设计](#)。

3.2.2 元器件布局

所有高频器件的布局应尽可能紧凑，有利于防止走线之间的交叉耦合，并将对系统工作产生负面影响的寄生效应降到最低。

PCB整体布局时需考虑：根据产品结构情况，应尽可能将主芯片置于靠近天线接口位置；射频走线下方应无任何元器件，并应优先保证射频器件的布局和走线。

3.2.3 电源

电源对于确保芯片正常运行至关重要。因此，设计PCB时，需特别关注关键电源部分的布局与走线，包括DC-DC开关稳压器和RF输入电源。为避免不当的电源设计导致的系统级问题，如ESD保护性能不佳和辐射超标等，需遵循以下设计要求。

3.2.3.1 DC-DC开关稳压器

以GR5525RGNI为例，芯片内置DC-DC开关稳压器，其PCB布局需满足以下设计要求：

1. DC-DC开关稳压器输出外围器件（L3：9.1 nH电感、L4：2.2 μ H电感、C15：2.2 μ F电容）应尽可能靠近芯片VSW和VREG引脚，建议距离不超过3 mm。
2. DC-DC电源输出VSW在未经过电感之前干扰较强（主要影响V1P0和VDD_DIGCORE_1V电源），因此要求VSW走线与其它网络至少保持0.2 mm的间距，且VSW走线下方不能有其他走线。
3. 建议将电感L3和L4垂直放置，避免电感耦合。电容C15应放置在电感L4之后，且VREG反馈调节电源应在电容后取电。
4. 电容C15的接地脚应尽可能地靠近芯片VSS_BUCK引脚，并在焊盘周围就近打地过孔。建议使用GND平面连接电容C15接地脚与芯片VSS_BUCK引脚，确保电源返回路径最短。

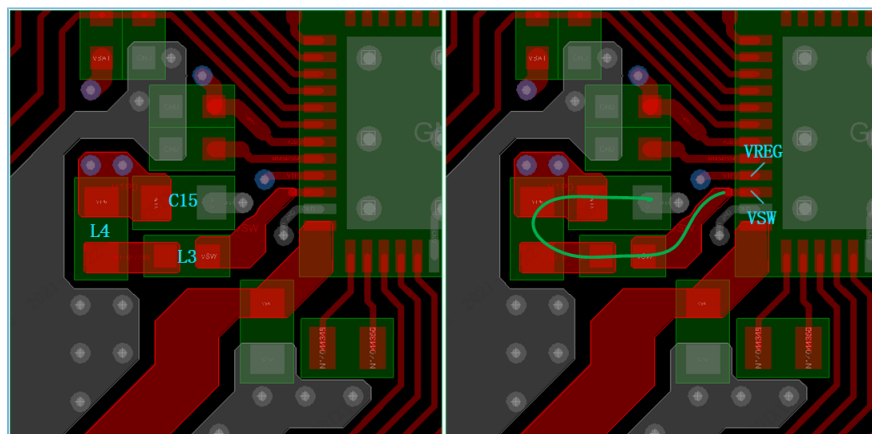


图 3-10 DC-DC开关稳压器输出参考布局和走线

说明:

图 3-10中绿色线为输出电源路径。

3.2.3.2 RF输入电源

RF输入电源部分的PCB布局设计应遵循以下原则，以确保最佳性能，避免辐射超标。

1. RF输入电源VDD_VCO/VDD_RF、VBATT_RF的去耦电容都应尽可能地靠近芯片的对应引脚，并建议间距为1 mm，最大不超过3 mm，如下图所示。电容C4和C5应尽可能靠近VDD_VCO和VDD_RF，C3靠近VBATT_RF。电容与芯片应尽量放置在同一层，且电源走线需先经过电容再到芯片电源引脚。如果电容与芯片未放置在同一层，则在去耦电容接地脚附近打孔。
2. 电源走线应尽量短，线宽要求0.2 mm以上，与其它网络的间距不得小于0.2 mm。

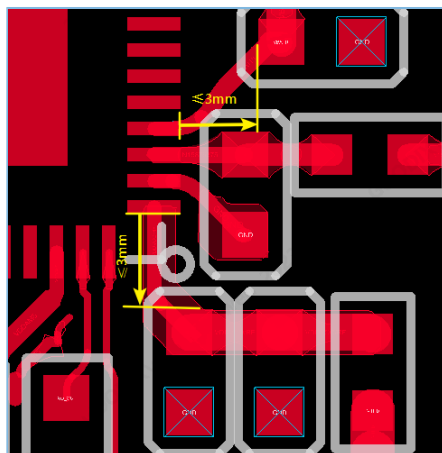


图 3-11 RF输入电源参考布局和走线

3.2.3.3 数字和模拟电源

数字/模拟电源引脚的去耦电容同样应尽可能靠近芯片的对应引脚，具体要求如下所列。

表 3-14 电容与数字/模拟电源引脚的对应关系

位号	值	对应引脚
C1	10 μ F	VBATL
C2	15 pF	VDD_AMS
C6	1 μ F	VDD_DIGCORE_1V
C7	0.1 μ F	VDDIO_1
C8	1 μ F	VIO_LDO_OUT

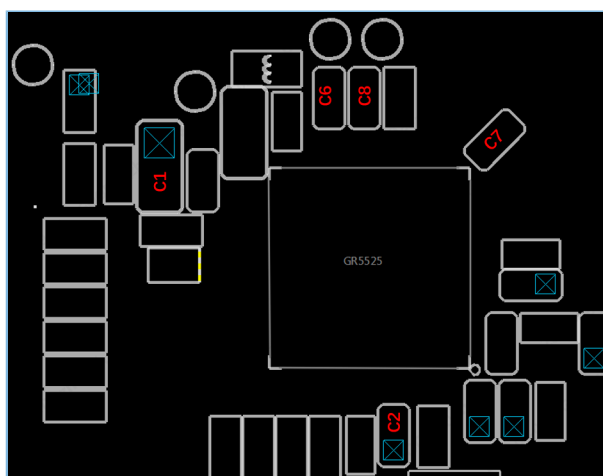


图 3-12 数字/模拟电源引脚的去耦电容参考布局

3.2.4 时钟

晶振应尽可能放置于芯片附近，且间距建议不超过4 mm，以最大限度地减少输入引脚上的额外容性负载，并降低晶振与其他信号串扰和干扰的可能性。另外，请确保在晶振下方或晶振走线两侧无其他信号线。

32 MHz晶振走线应尽可能包地处理。若晶振下方有完整地平面且无其他串扰或干扰信号，可在晶振焊盘正下方进行开窗处理，以减小焊盘寄生电容，如下图所示。

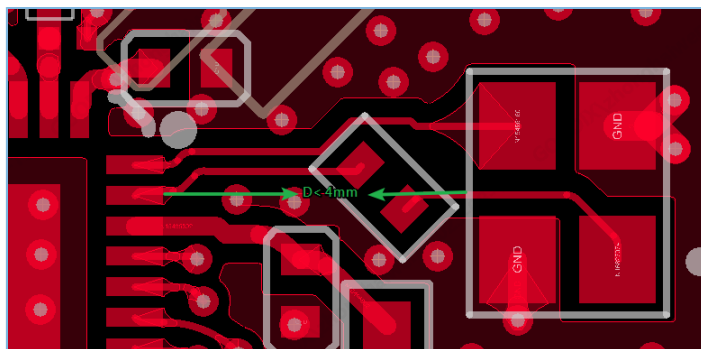


图 3-13 参考时钟布局

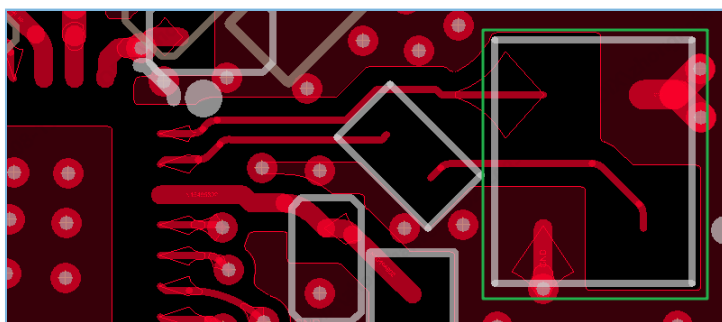


图 3-14 晶振焊盘下方开窗

3.2.5 射频端口

GR5525提供单端射频端口。连接射频端口与天线的射频传输铜线特性阻抗要求为 $50\ \Omega$ ，但由于射频端口阻抗并非 $50\ \Omega$ ，因此需使用一个匹配网络来实现射频端口与 $50\ \Omega$ 传输线之间的阻抗匹配。

匹配网络中的元器件应尽可能地靠近RF引脚，并将匹配网络的第一个元器件放置在离RF引脚不超过1 mm的位置。射频端口的PCB布局设计，请参考下图。

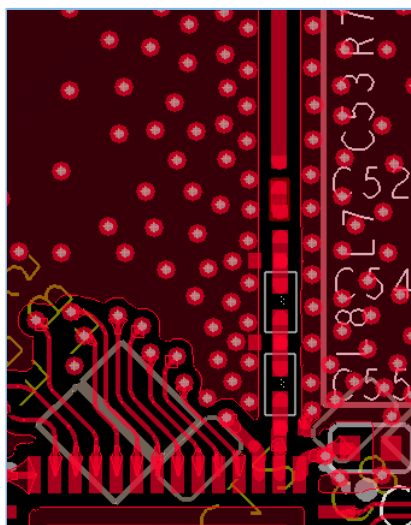


图 3-15 射频端口PCB布局

说明:

- 射频线应尽可能短而直。若结构限制需要转弯，则转角处要求倒圆弧，禁止出现直角或小于90°夹角走线。
- 射频线优选走表层（顶层或底层），避免打过孔换层，避免走线存在分支，射频线下方必须保证参考地平面完整。射频线宽尽量设计和匹配器件焊盘一致，避免由于元器件的焊盘宽度与走线宽度不一致而破坏50 Ω 传输线特性阻抗的连续性。

以4层板设计为例，射频走线采用以L2地层作为参考平面的共面波导传输线，其相关尺寸参数为：

- 走线宽度：559 μm
- 走线与顶层的间距：178 μm
- 顶层与L2层的间距：432 μm

上述PCB采用FR-4材质，顶层走线的铜箔厚度为0.5盎司。在实际设计中，单端射频走线需要PCB厂商做50 Ω （ $\pm 10\%$ ）阻抗控制。

另外，沿传输线每隔1.25 mm设置一个接地过孔，并紧邻匹配元器件的接地焊盘。

在靠近天线馈电点位置布局一个PI型匹配网络，便于进行天线匹配。天线匹配网络的参数可根据实际使用的天线进行调整。建议使用成熟的天线方案和天线厂商提供的推荐参数。

3.2.6 接地

GR5525的射频IC需要进行可靠的接地连接，使用尽可能多的地过孔在IC的下方创建一个接地区域，并将其连接到内部和底部的GND层。

芯片封装底部中心的接地焊盘可通过3 x 3、4 x 4或更多的过孔矩阵连接至地平面层。

VBATL的10 μF 滤波电容地需要靠近芯片主地，建议尽可能通过敷铜的方式连接，如3.2.3 电源所述。DC-DC电源的接地脚VSS_BUCK返回路径需确保完好，良好的接地有利于芯片的稳定安全工作。

说明:

- 确保PCB上的接地焊盘形状与芯片的焊盘形状保持一致，包括裸露的焊盘部分。
- 确保TRX引脚旁有接地过孔。

3.3 系统ESD防护设计

3.3.1 系统级ESD设计要求

系统级ESD设计在任何电路中都至关重要，工程师在原理图、PCB布局和产品结构设计方面须遵循以下设计规则。

3.3.1.1 原理图设计要点

- 1. 如3.1.1 电源所述，GR5525芯片采用单独的外部LDO供电。
- 2. 为提升系统的ESD性能，可将VBATL引脚与TVS管连接；推荐的TVS管型号：μClamp03301ZA，其电气特性如下所列。

表 3-15 μClamp03301ZA电气特性（如无特殊说明，则T = 25℃）

参数	说明	条件	最小值	典型值	最大值
V_{RWM} (V)	反向关断电压	方向：引脚1到引脚2			3.3
V_{BR} (V)	反向击穿电压	$I_t = 1\text{ mA}$ ，方向：引脚1到引脚2	5	6.5	8
I_R (nA)	反向漏电流	$V_{RWM} = 3.3\text{ V}$ ，方向：引脚1到引脚2		<1	50
V_C (V)	钳位电压	$t_p = 1.2/50\text{ }\mu\text{s}$ （电压），8/20 μs （电流）组合波形， $R_S = 2\text{ }\Omega$ $I_{pp} = 15\text{ A}$ ，方向：引 脚1到引脚2		3.8	5.5
V_C (V)	ESD钳位电压	$t_p = 0.2/100\text{ ns}$ （TLP），方 向：引脚1到引脚2	$I_{pp} = 4\text{ A}$	3.6	
			$I_{pp} = 16\text{ A}$	4.7	
R_{DYN} (Ω)	动态电阻	$t_p = 0.2/100\text{ ns}$ （TLP），方向：引脚1到引脚2		0.08	
C_J (pF)	结电容	$V_R = 0\text{ V}$ ， $f = 1\text{ MHz}$		38	50

- 3. 为抑制静电，可将充电接口（CHAR+、CHAR-）分别串联磁珠，并在两个磁珠之间连接TVS管，以增强静电保护能力，如下图所示。

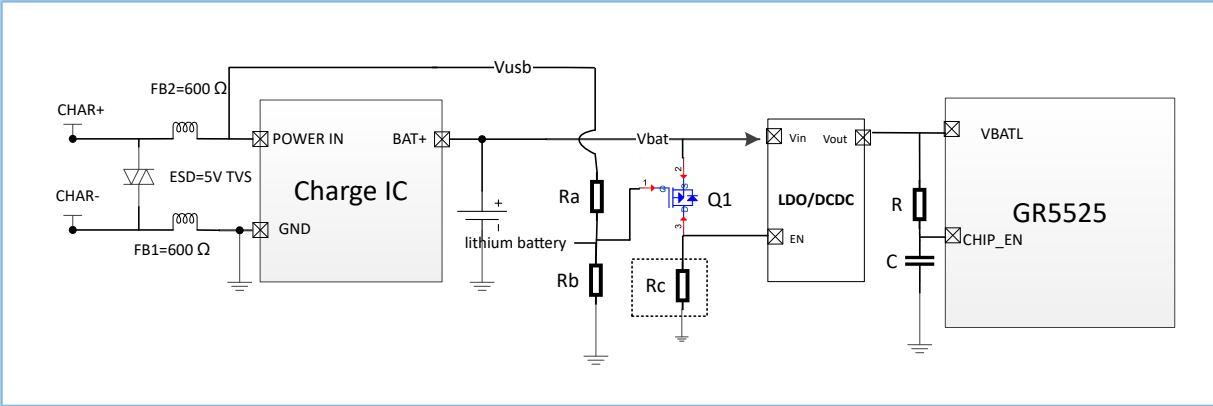


图 3-16 电源充电接口ESD处理

TVS管和磁珠选型要求和推荐型号如下表所示：

表 3-16 TVS管选型要求

参数	说明	最小值	典型值	最大值
V_{RWM} (V)	反向关断电压	-	5 V	-
V_{BR} (V)	击穿电压	-	7 V	-
V_{clamp} (V)	钳位电压	-	6 V	-
V_{ESD} (kV)	抗ESD能力	• 接触放电：±10 kV	-	-

参数	说明	最小值	典型值	最大值
		• 空气放电: $\pm 12\text{ kV}$		

表 3-17 磁珠选型要求

参数	说明	最小值	典型值	最大值
FB (Ω)	100 MHz下的阻抗值	-	600 Ω	-
I _{额定电流} (mA)	额定工作电流	-	900 mA	-
R _{DC} 最大电阻 (m Ω)	直流最大电阻	-	230 m Ω	-

表 3-18 TVS管选型推荐型号

推荐型号	V _{RWM} (V)	V _{BR} (V)	V _{clamp} (V)	工作温度	V _{ESD} (kV)	封装	厂商
AZ5C25-01B	5	9	6	- 55°C~ 85°C	• 接触放电: $\pm 13\text{ kV}$ • 空气放电: $\pm 16\text{ kV}$	0201	Amazing Micro. (晶焱)
OVE38E32S1M	6.5	7	10	- 55°C~ 85°C	• 接触放电: $\pm 25\text{ kV}$ • 空气放电: $\pm 25\text{ kV}$	0402	OVREG (欧跃)

表 3-19 磁珠选型推荐型号

推荐型号	100 MHz下的 阻抗值	额定工作电流	直流最大电阻	工作温度	封装	厂商
BLM15PX601SN1	600 Ω	900 mA	230 m Ω	- 55°C~125°C	0402	Murata (村田)
WLBD1005HCU601TL	600 Ω	900 mA	230 m Ω	- 55°C~125°C	0402	Walsin (华新)

4. 对于金属外壳的产品，应在金属外壳地与主板地之间连接磁珠，避免静电干扰直接进入主板。
5. 对于手表、手环等产品，需要另外增加看门狗超时复位等复位机制来增强产品系统ESD防护能力。
- 使用外部硬件看门狗时，请勿在烧录固件前启动看门狗，避免系统误复位。
- 看门狗选型要求和推荐型号如下表所示：

表 3-20 看门狗选型要求和推荐型号

防静电敏感性	看门狗复位 超时时间 (t _{WD})	看门狗输出 复位超时时间 (t _{RST})	电压输入范围	工作电压	工作温度	推荐型号	厂商
HBM > 2000 V CDM > 500 V	可配置, < 10s	> 100 ms	1.6 V - 5 V	需满足整机 睡眠电流要求, 建议不 高于5 μA	- 40°C~85°C	SGM820A/B-X	SGMICRO (圣 邦微)

以SGM820作为外部硬件看门狗来复位系统为例，看门狗超时时间可以通过外部电容配置。

SGM820A-X标准可编程看门狗计时时间，计算公式如下：

$$t_{WD_standard}(ms) = 3.33 \times C_{CWD}(nF) + 0.28(ms)$$

SGM820B-X扩展可编程看门狗计时时间，计算公式如下：

$$t_{WD_extended}(ms) = 78.3 \times C_{CWD}(nF) + 51(ms)$$

系统在复位超时时间 t_{WD} 内，输出一个大于50 ns的喂狗脉冲信号后，看门狗计时清零，则不会复位系统。当发生ESD事件，系统软件失效时，不能在 t_{WD} 内进行喂狗，则看门狗输出200 ms的复位信号，对系统进行复位。

看门狗参考设计如下图所示，nRESET连接GR5525 CHIP_EN，在系统发生软件跑飞时，输出复位信号从而重启系统，WDI_820连接任意GPIO进行喂狗操作。

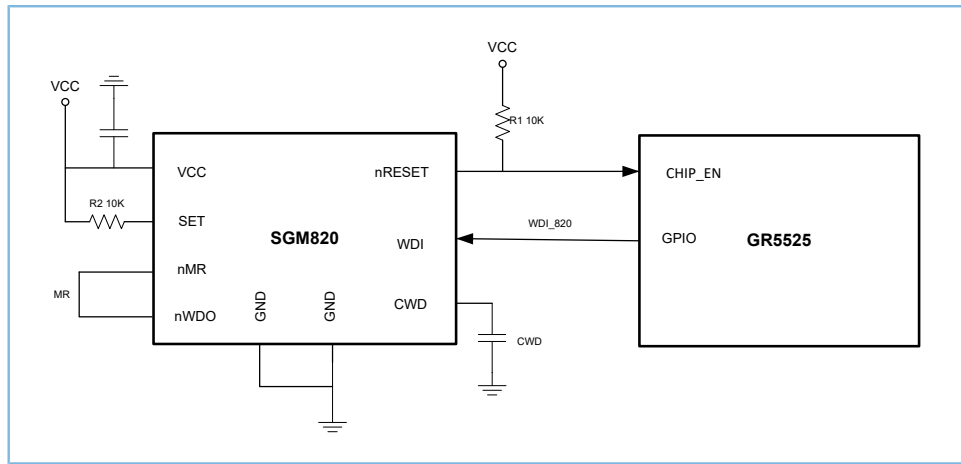


图 3-17 硬件看门狗参考设计电路

3.3.1.2 PCB布局设计

1. GR5525 PCB GND布局设计建议：

- 建议采用四层及以上PCB设计。GR5525芯片邻层为完整的GND层，完整可靠的接地层有利于静电的快速泄放。
- 芯片GND管脚先在顶层与主板GND互连，后再通过过孔与PCB其他层GND互连。
- 输入电容（10 μF）接地脚应尽可能地靠近VSS_BUCK引脚，并通过过孔（VSS_BUCK引脚旁就近打至少2个过孔）在其它层与EPAD相连。VSS_BUCK引脚到接地脚的走线线宽应至少为0.25 mm，以减小电源/GND回路阻抗。

2. 充电接口触点PAD布局及设计要求：

- 建议充电接口（CHAR+、CHAR-）的触点PAD与GR5525芯片布局在不同层。若充电接口触点PAD与芯片布局在同一层，则应确保其与芯片的间距大于4 mm。

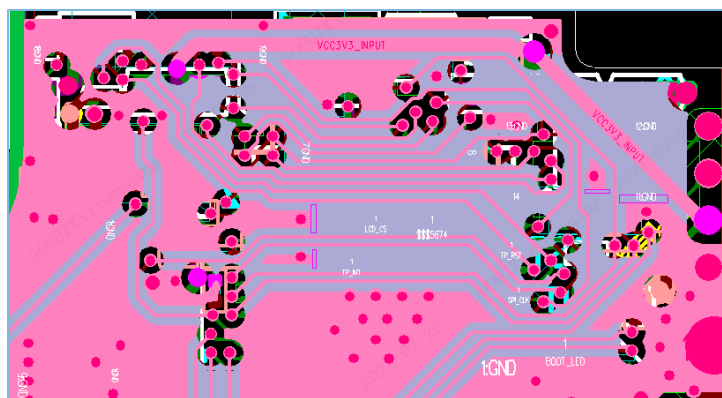


图 3-21 正确的I/O走线处理

5. 电容或ESD防护器件的走线需贯穿焊盘，避免通过长引线连接到焊盘，削弱滤波或防护效果。

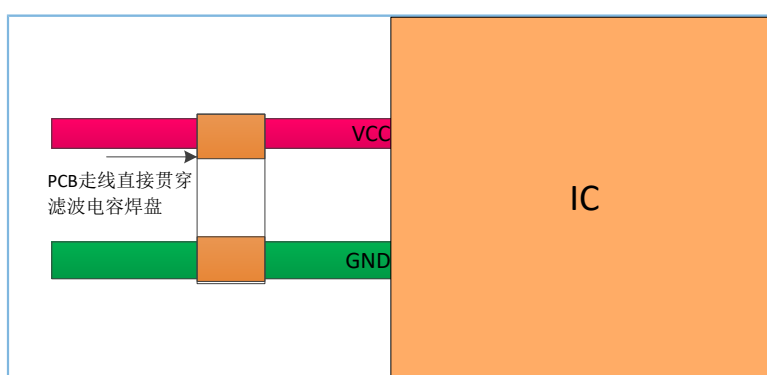


图 3-22 正确的电容走线（示例）

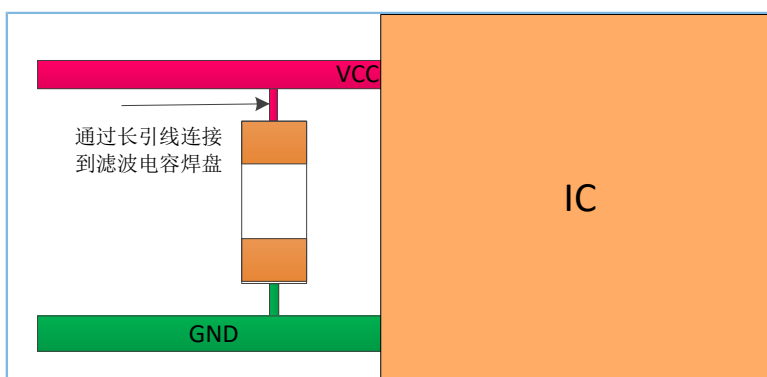


图 3-23 错误的电容走线（示例）

3.3.1.3 产品结构设计要点

- 外壳缝隙要密封，阻断静电进入。
- 金属外壳接地点应串接磁珠再连接到主板的GND回路，防止静电通过金属外壳直接进入主板。
- 结构上不允许有悬浮金属，触摸与显示等传感器模组的钢板补强需要接地处理。
- 结构上应尽量避免主板与触摸、显示等传感器模组FPC重叠区域紧密接触，同时建议主板连接器裸露区域贴高温胶，防止结构上短路及静电串入。

3.3.2 生产、运输、调试阶段ESD注意事项

在生产、运输、调试等阶段要严格按照ESD管控要求执行，避免ESD事件发生。

- 需佩戴防静电手环，禁止用手或金属镊子直接夹取芯片。
- 使用防静电袋或防静电托盘装芯片。
- 烙铁、焊接台、测试仪器需有防静电措施。
- 生产和运输环节需严格按照产线ESD防控要求执行。

4 参考设计

4.1 原理图参考设计

GR5525RGNI QFN68封装的参考电路原理图如下图所示：

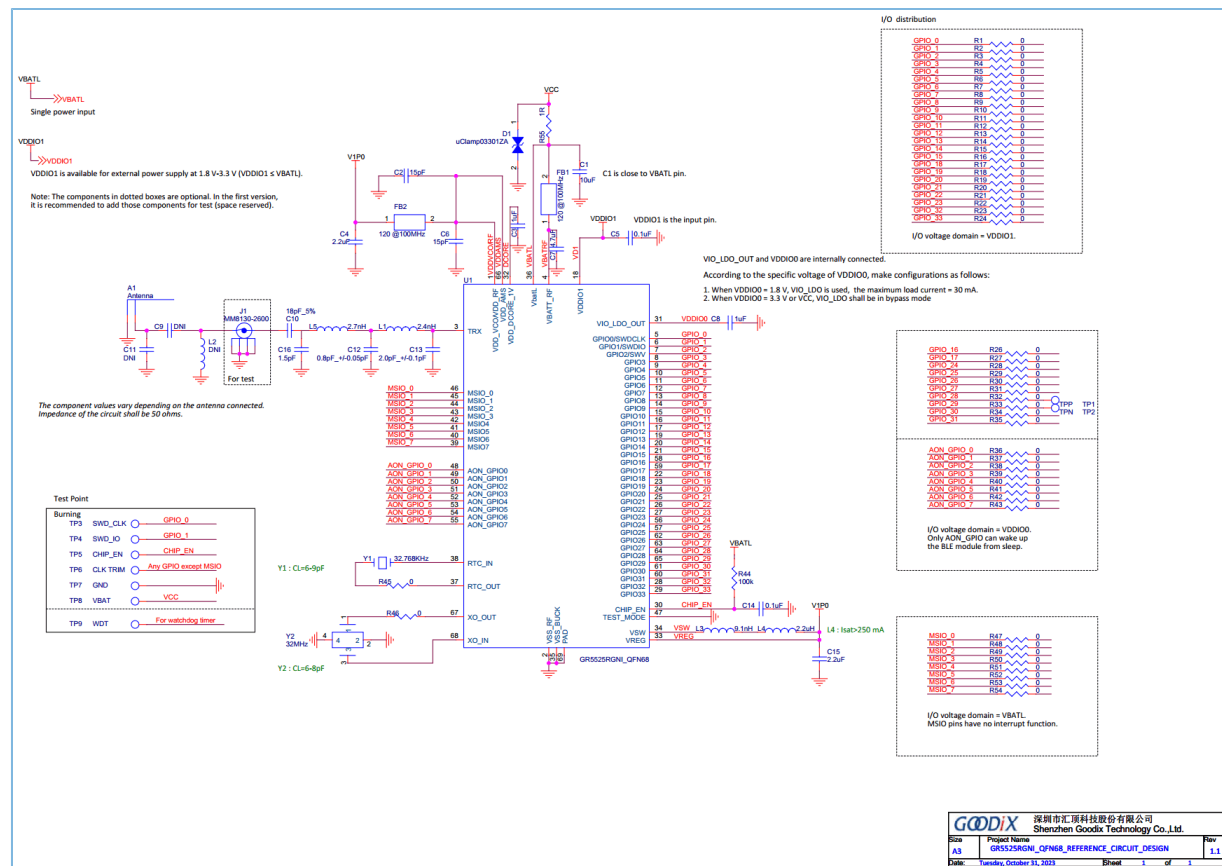


图 4-1 GR5525RGNI QFN68封装的参考电路

VBAT
Single power input

VDDIO1
VDDIO1 is available for external power supply at 1.8 V-3.3 V (VDDIO1 ≤ VBAT1).

Note: The components in dotted boxes are optional. In the first version, it is recommended to add those components for test (space reserved).

VO distribution

I/O voltage domain = VDDIO1.

VDDIO1 is the input pin.

VDDIO1_OUT and VDDIO0 are internally connected.

According to the specific voltage of VDDIO0, make configurations as follows:

- When VDDIO0 = 1.8 V, VDDIO1 is used, the maximum load current = 30 mA.
- When VDDIO0 = 3.3 V or VCC, VDDIO1 should be a bypass mode.

Test Point

Burning

TP0 SWD_CLK → GPIO_0
TP1 SWD_IO → GPIO_1
TP2 CHSP_EN → CHSP_EN
TP3 CLK TRIM → Any GPIO except MISO
TP4 VBAT → VCC
TP5 WDT → For anti-burn timer

I/O voltage domain = VDDIO0.
Only ACH_GPIO can wake up the Bluetooth LE module from sleep.

I/O voltage domain = VBAT1.
MISO pins have no interrupt function.

GD01X 深圳希元科技股份有限公司
Shenzhen Goodix Technology Co., Ltd.

Rev: 1.0
Project Name: GD01X0101A_QFN56_REFERENCE_CIRCUIT DESIGN
Date: 2023-09-19
Version: 1.0

图 4-2 GR5525IGNI QFN56封装的参考电路

GR5525IENI QFN56封装的参考电路原理图如下图所示：

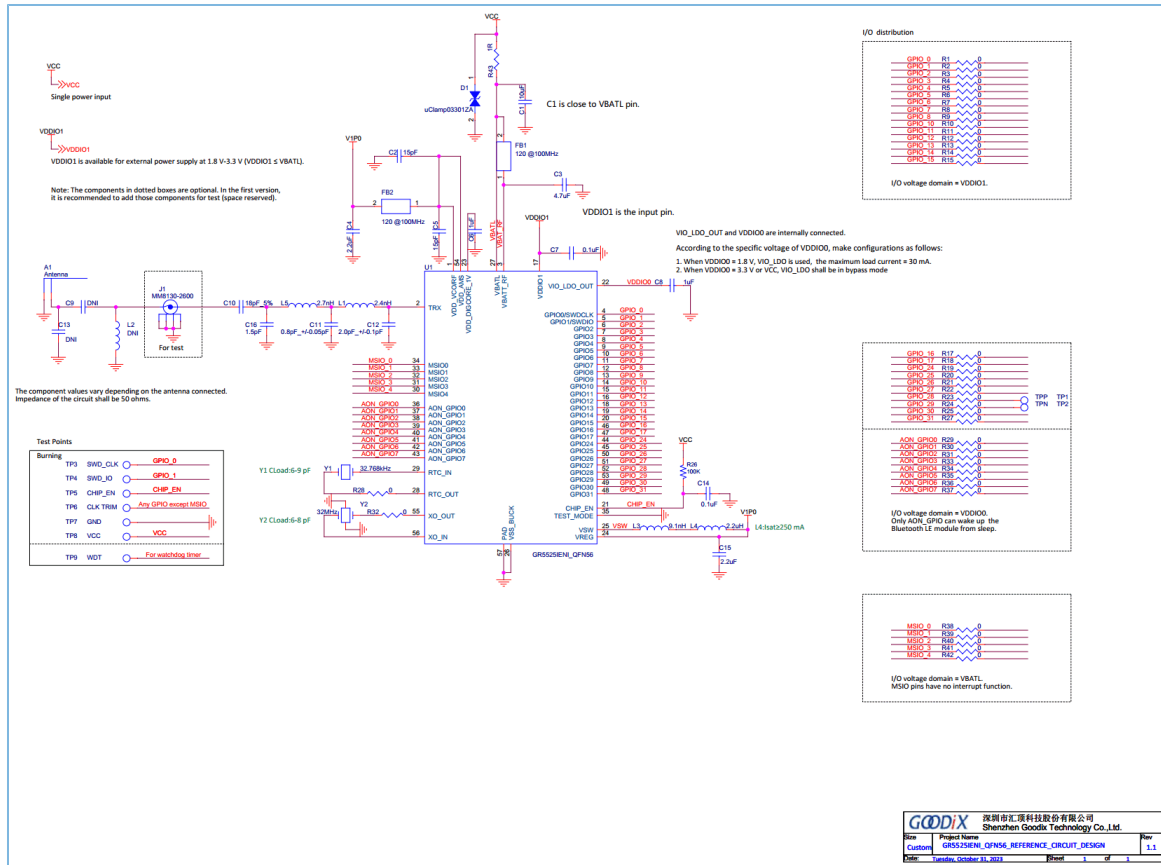


图 4-3 GR5525IENI QFN56封装的参考电路

GR5525I0NI QFN56封装的参考电路原理图如下图所示：

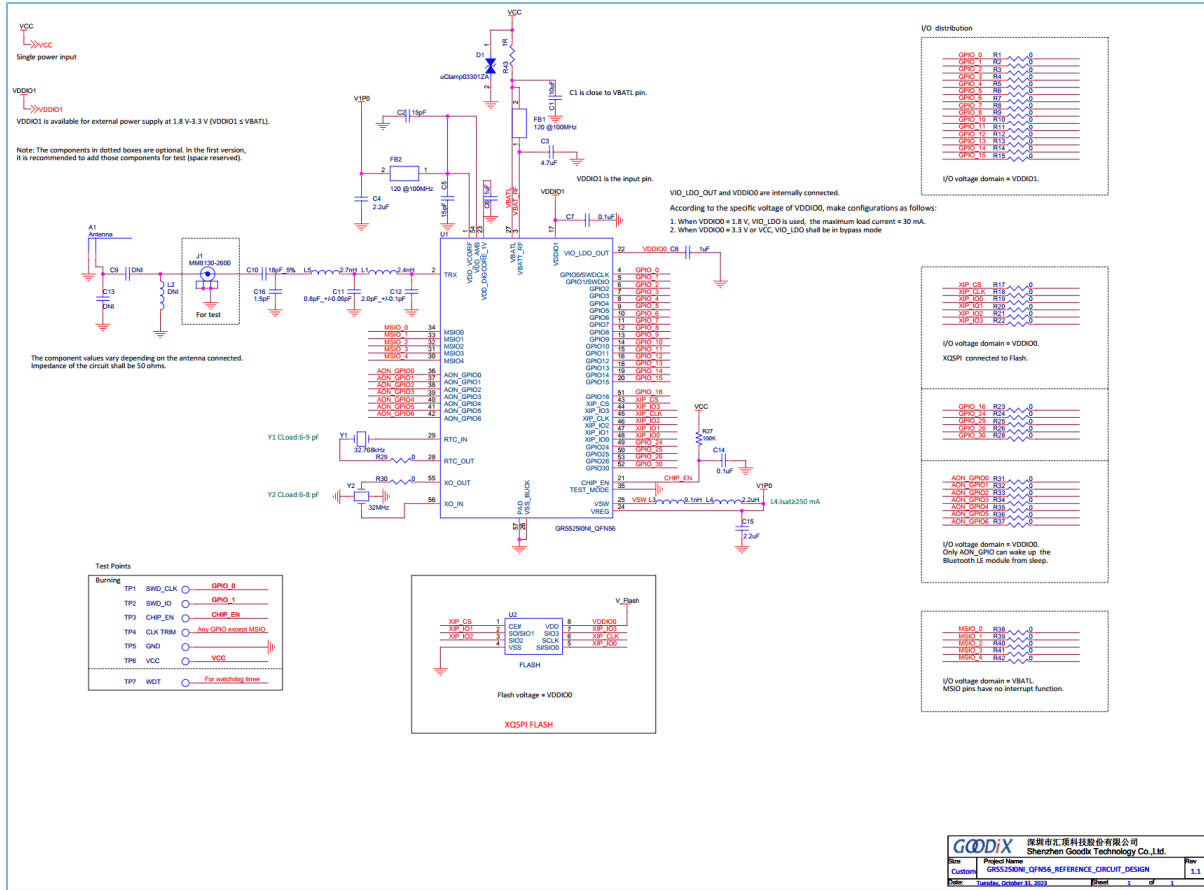


图 4-4 GR5525I0NI QFN56封装的参考电路

4.2 PCB布局参考设计

按照3.2 PCB Layout设计指南的规则，下文章节将以QFN56为例，提供完整的最小系统PCB布局参考设计，帮助客户快速进行产品开发和设计。

4.2.1 四层板参考设计

本例PCB布局参考设计将所有的GPIO信号从芯片中引出。采用四层板的设计，板厚0.6 mm，过孔全为电镀通孔（PTH），射频线走线宽度为22 mil，与匹配器件的焊盘同宽。由于PCB板较薄，为保证射频线的50 Ω阻抗控制，第二层进行了挖空，使用第三层（使用0.6 mm板厚50 Ω阻抗控制参考叠层设计，如下图所示）作为参考地平面。

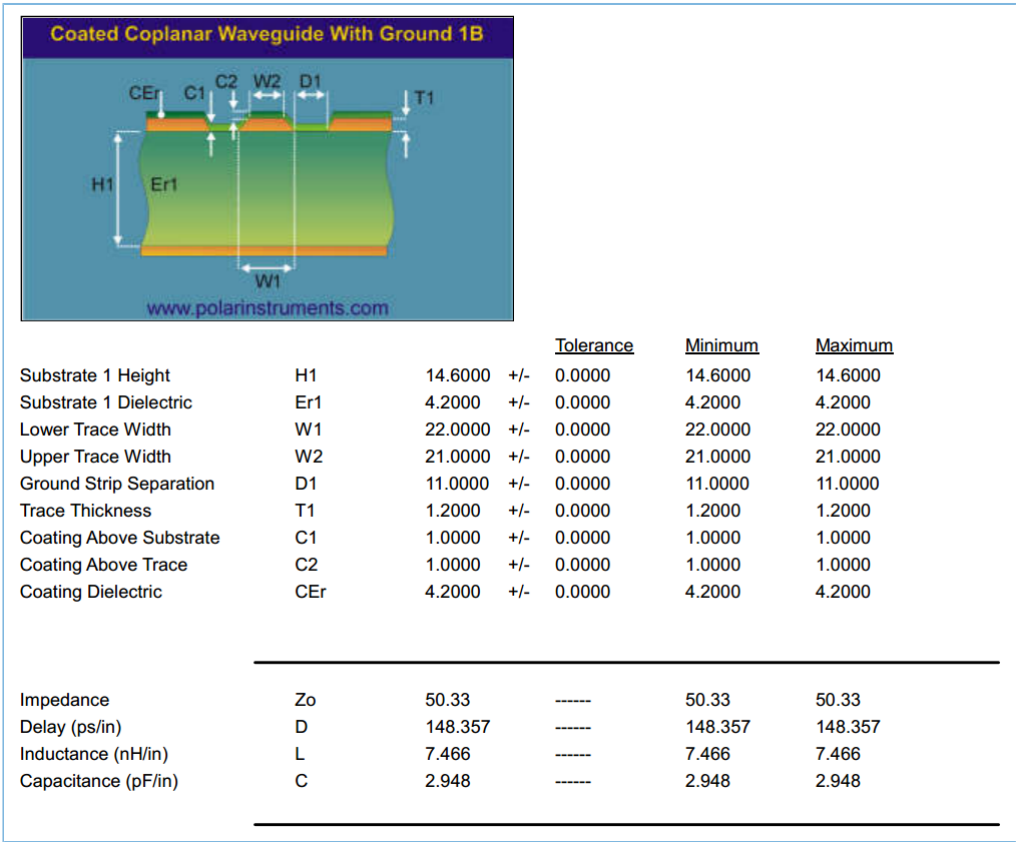


图 4-5 四层板阻抗控制叠层设计（QFN56）

详细的PCB布局参考设计如下。

1. 顶层

用于元器件布局和射频等关键信号走线。

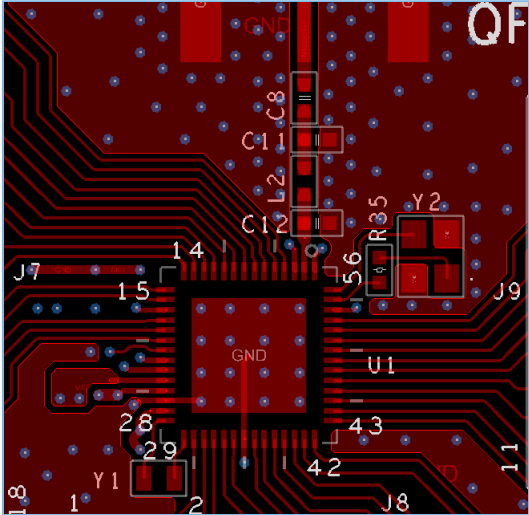


图 4-6 四层板顶层设计（QFN56）

2. L2层

信号返回接地层。本例在50 Ω射频传输线下方的第二层做了挖空处理，并在32 MHz晶振的信号输出焊盘下方设置了两个开窗，以减少寄生电容。第三层作为参考地平面，第二层进行了挖空。

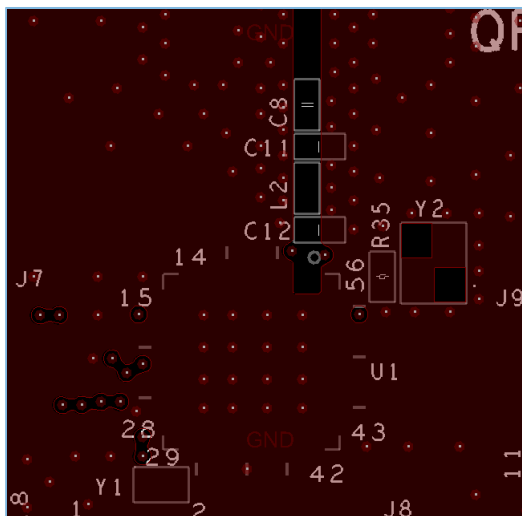


图 4-7 四层板L2层设计（QFN56）

3. L3层

用于电源和少量走线。本例中L3层作为射频传输线的参考地层，注意保证射频传输线走线下方的接地平面完整。

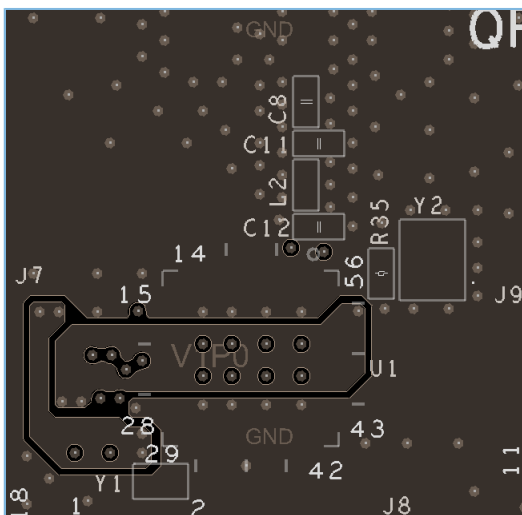


图 4-8 四层板L3层设计（QFN56）

4. 底层

用于滤波器件的布局和信号走线，滤波器件尽可能靠近对应的芯片管脚。

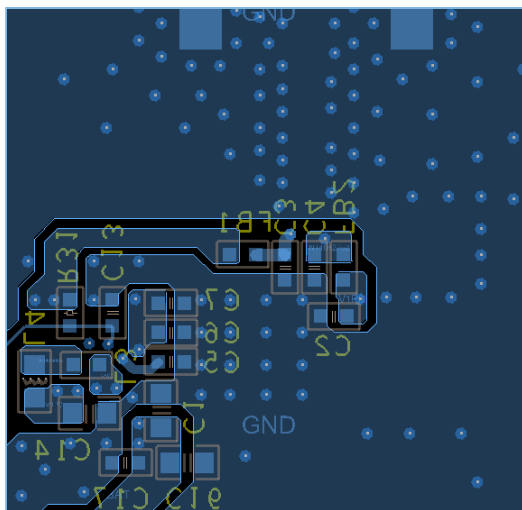


图 4-9 四层板底层设计（QFN56）

4.2.2 两层板参考设计

针对用户降低成本需求，可采用两层板来设计PCB。两层板由于缺少内层完整地平面，所以在PCB设计上需要特别注意，尤其是对于有较高ESD防护等级要求和辐射认证要求的产品应用。需严格遵循3.2 PCB Layout设计指南章节的PCB设计规则，优先确保电源滤波电容紧邻芯片电源引脚，并增强地回路连接。

设计参考如下。

1. 采用单面（顶层）布局，且走线也尽量在顶层，保证底层的地平面尽量完整。参考下图，顶层用于元器件布局和射频等关键信号走线。

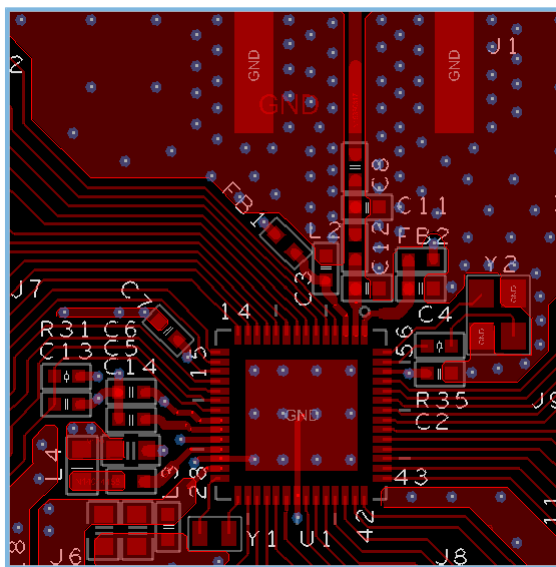


图 4-10 两层板顶层设计

2. 下图为电源和GND走线参考设计。黄色圈出的GND过孔主要为电源和射频信号回流路径的过孔。这些GND过孔需要通过底层的铜皮与芯片散热PAD连接，且保证足够宽且路径短（如下图中绿色箭头所示）。

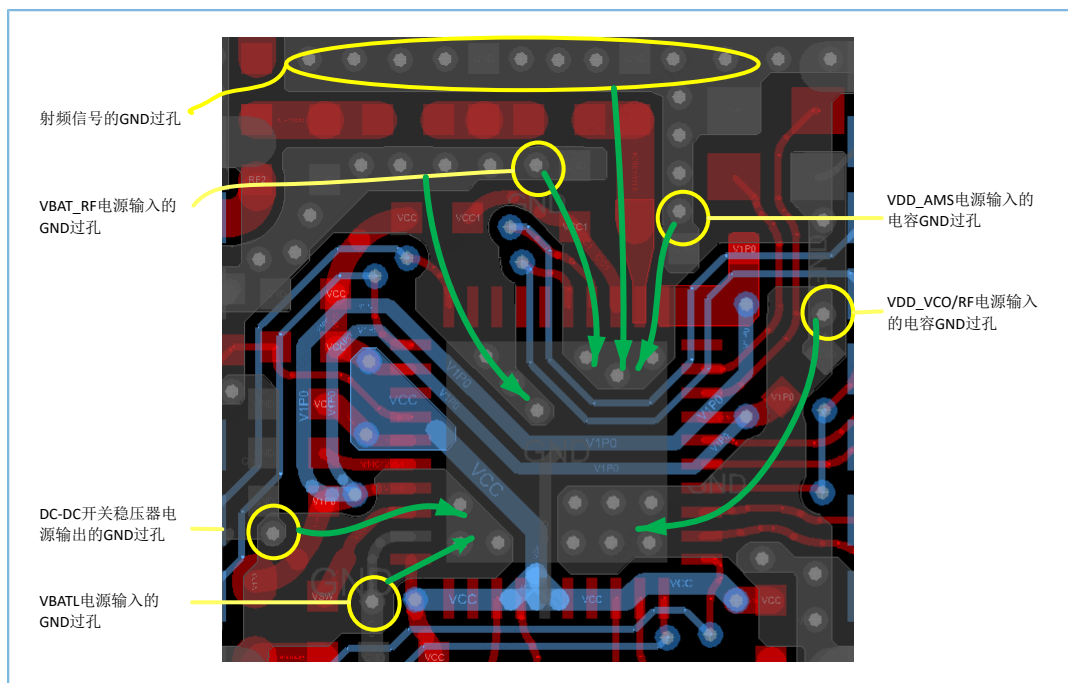


图 4-11 两层板电源和GND走线参考设计

4.2.3 GR5525I0NI外部Flash参考设计

GR5525I0NI使用外部QSPI Flash，最高支持64 MHz时钟频率。为避免其它信号的串扰，PCB布局时Flash尽量靠近IC以保证QSPI走线最短。QSPI走线需要做等长处理，等长误差要求小于 ± 50 mil。

GR5525I0NI PCB布局参考设计如下图所示。

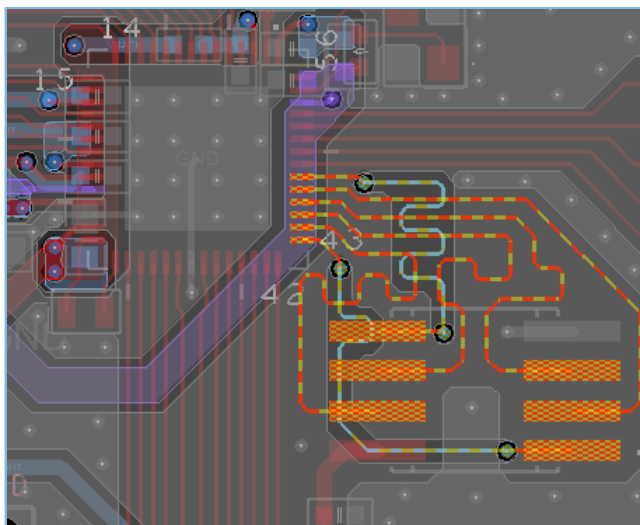


图 4-12 GR5525I0NI PCB布局参考设计

5 常见问题

5.1 为什么睡眠时的功耗偏高？

- 问题描述

在测试睡眠功耗时，不同的I/O配置会出现睡眠功耗不一致的情况。应如何在睡眠前正确配置I/O？

- 问题分析

睡眠时的功耗偏高，有可能是没有正确配置I/O：

- I/O处于浮空状态。
- I/O上下拉配置错误。

这些错误的配置会导致系统漏电，因此，需要在进入睡眠之前正确配置I/O的状态。

- 处理方法

正确配置I/O：

- I/O在外部有上下拉或作为驱动输出使用时，无需配置上下拉。
- I/O未使用或工作在输入模式下无外部上下拉时，则需配置I/O为内部下拉。

5.2 射频匹配电路可以简化或移除吗？

- 问题描述

电路设计时，因受PCB板的空间限制，元器件布局比较困难，请问目前推荐的射频匹配电路能否更改？

- 问题分析

射频线上有两个推荐的匹配电路，即靠近GR5525的匹配电路和靠近天线端的匹配电路。这两个电路是否可以简化或移除，需要区别对待。

- 处理方法

靠近GR5525端的匹配电路用于匹配芯片内部PA，不能移除。该电路的电感值和电容值也不能改变，必须和推荐电路保持一致。芯片匹配网络的射频通道上阻抗为 $50\ \Omega$ ，可以兼容任何支持蓝牙产品的2.4 GHz天线（2400 MHz~2484 MHz）。

靠近天线端的匹配电路预留用于匹配天线，该电路可以根据所用的天线进行更改。天线的匹配问题，可以通过矢量网络分析仪测试S11参数或史密斯圆图进行简单的匹配调节。但是天线的增益、方向性等其他指标则建议寻求专业的天线厂完成匹配测试。

6 术语与缩略语

表 6-1 术语与缩略语

名称	描述
ADC	Analog to Digital Converter，模/数转换器
AGC	Automatic Gain Control，自动增益控制
AMS	Analog Mix Signal，模拟混合信号
BB	Baseband，基带
Bluetooth LE	Bluetooth Low Energy，低功耗蓝牙
BUCK	一种降压型DC-DC转换器
DC-DC	DC-to-DC Converter，DC-DC转换器
ESD	Electrostatic Discharge，静电放电
ESR	Equivalent Series Resistance，等效串联电阻
Tg	Glass Transition Temperature，玻璃态转化温度
GPIO	General-purpose Input/Output，通用输入输出
LDO	Low-dropout，低压差线性稳压器
LNA	Low Noise Amplifier，低噪声放大器
PLL	Phase-locked Loop，锁相环
PMU	Power Management Unit，电源管理单元
PCB	Printed Circuit Board，印制电路板
PTH	Plated Through Hole，电镀通孔
QFN	Quad Flat No-lead Package，方形扁平无引脚封装
QSPI	Queued Serial Peripheral Interface，队列串行外设接口
RoHS	Restriction of Hazardous Substances Directive，RoHS是由欧盟立法制定的一项强制性标准，全称为《关于限制在电子电气设备中使用某些有害成分的指令》
SDK	Software Development Kit，软件开发工具包
SoC	System-on-Chip，系统级芯片
SPI	Serial Peripheral Interface，串行外设接口
SVHC	Substance of Very High Concern，高关注材料
SWD	Serial Wire Debug，串行线调试
UART	Universal Asynchronous Receiver/Transmitter，通用异步收发传输器

7 附录：QFN封装指南

GR5525 QFN56和QFN68封装符合MSL3以及RoHS绿色环保标准。RoHS指令（Restriction of Hazardous Substances Directive）是欧盟于2003年2月发布的对电子器件中有害物质含量的限制标准。MSL3（Moisture Sensitivity Level 3）即潮湿敏感度测试等级3。MSL3表明潮湿敏感器件从干燥袋中取出后，可暴露在最高温度30°C和最大相对湿度60% RH的环境中。

GR5525储存条件：

- 温度：< 40°C
- 相对湿度：<90% RH
- 保存期限：12个月

打开包装后，GR5525应在48小时内进行回流焊接，环境条件如下：

- 温度：< 30°C
- 相对湿度：<60% RH
- 储存湿度：<10% RH

无铅焊料和锡铅焊料在一般PCB设计中都使用相同的应用规则。由于无铅焊料具有更高的回流温度和兼容性，因此在无铅应用中，只需考虑PCB板的表面涂层和PCB板材质。诸多因素将对QFN封装的电路板和焊点质量产生重大影响，包括：地/散热焊盘区域的焊锡膏量、散热焊盘周边和热焊盘区域的钢网设计、过孔类型、电路板厚度、封装铅涂层、电路板表面涂层、焊锡膏类型和回流焊的温度曲线等。

说明：

本附录旨在为用户提供芯片主板开发设计和表面组装工艺指南。用户需结合自身表面组装实践和要求，优化芯片焊接工艺。

为了保证焊点的可靠性，在设计主板焊盘和焊锡膏印刷时需要特别注意。

通常情况下，可根据厂商指南或遵循IPC-SM-782等行业标准设计芯片封装的PCB焊盘。本文主要依据国际电子工业连接协会（Association Connecting Electronics Industries，IPC）相关标准来设计GR5525 PCB焊盘。此外，由于GR5525芯片封装底部中央位置有一块大面积裸露焊盘，因此还需在IPC标准基础上增加特定的限制条件。本文介绍的焊盘图案充分考虑了引线 and 封装材料的容差。

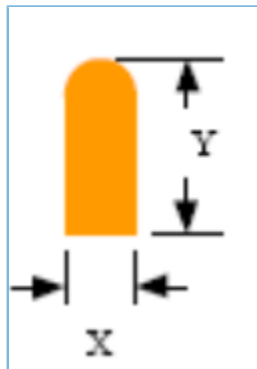


图 7-1 封装底部的焊盘示例

对于GR5525 QFN56封装（7 mm x 7 mm，0.4 mm间距）的PCB焊盘，建议设置X = 0.25 mm和Y = 0.75 mm，还可将焊盘内边缘倒成圆弧形。焊盘最大宽度为0.25 mm，以防止“锡桥”（锡膏接合在一起）。

建议使用非阻焊层限定（NSMD）焊盘。GR5525 QFN56封装的焊盘间距为0.4 mm、焊盘宽度为0.25 mm，焊盘之间没有足够的空间加阻焊层。在这种情况下，建议使用“沟槽”型阻焊开口，即在封装每一侧的所有焊盘周围设计一个大开口，而焊盘之间无阻焊层，如下图所示。

说明:

阻焊层应采用圆形内边缘，尤其是拐角引脚处，从而为拐角区域提供足够的阻焊层。

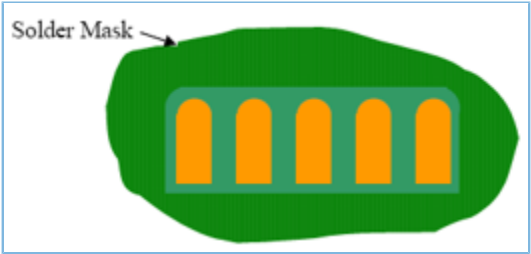


图 7-2 0.4 mm焊盘间距元件的阻焊层设计

7.1 封装信息

本节提供芯片封装的详细信息。

7.1.1 QFN68

QFN68封装的详细信息参见下表，其符合MSL3。

表 7-1 QFN68封装信息

参数	值	单位	容差
封装尺寸	7.0 x 7.0	mm	±0.05 mm
QFN焊盘数量	68		
总厚度	0.85	mm	±0.05 mm
QFN焊盘间距	0.35		
焊盘宽度	0.15		±0.05 mm
裸露焊盘大小	5.49 x 5.49		±0.1 mm

QFN68封装的外形尺寸如下图所示。

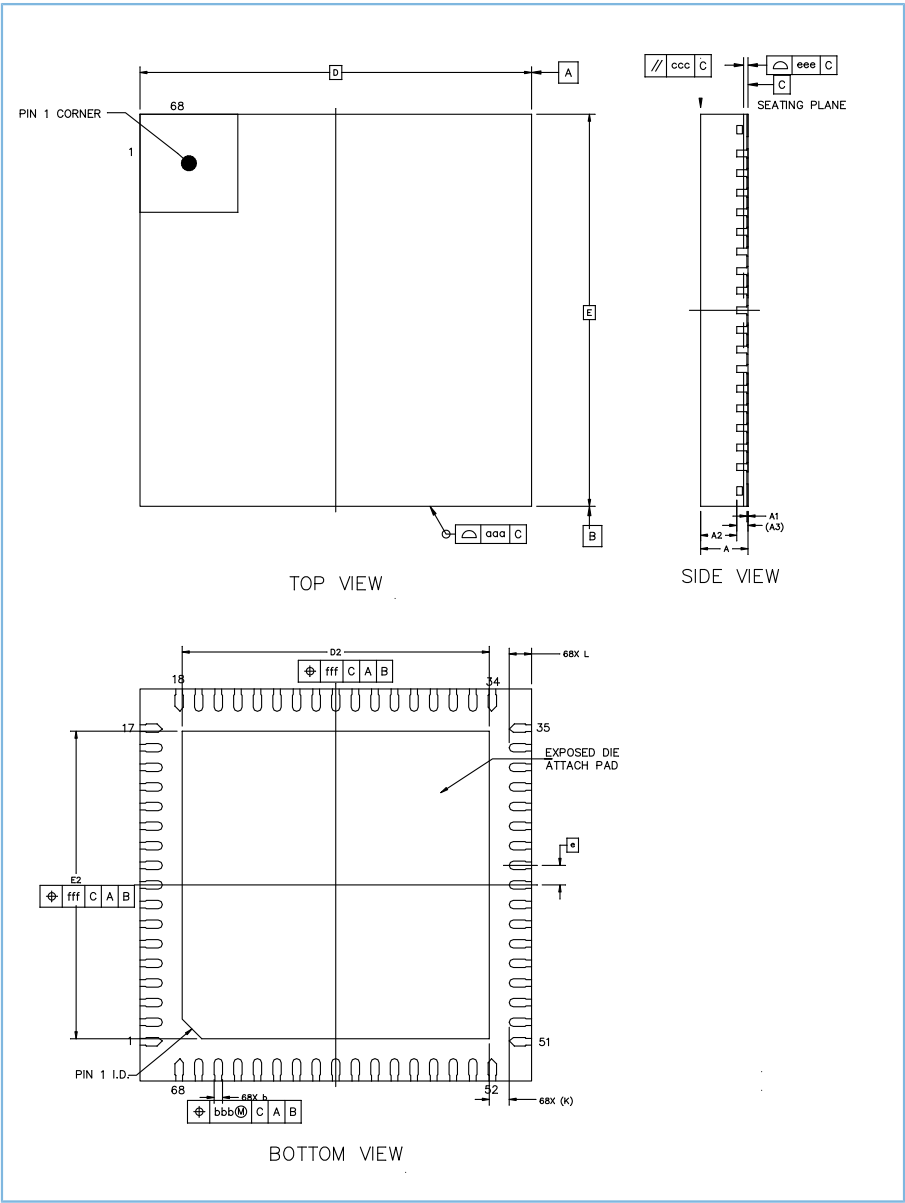


图 7-3 QFN68封装外形尺寸

 说明:

上图未按实物比例绘制。

表 7-2 QFN68封装尺寸

符号	尺寸（单位：mm）			尺寸（单位：inch）		
	最小值	正常值	最大值	最小值	正常值	最大值
A	0.800	0.850	0.900	0.031	0.033	0.035
A1	0.000	0.020	0.050	0.000	0.001	0.002
A2	-	0.650	-	-	0.026	-
A3	0.203 REF.			0.008 REF.		
b	0.100	0.150	0.200	0.004	0.006	0.008

符号	尺寸（单位：mm）			尺寸（单位：inch）		
	最小值	正常值	最大值	最小值	正常值	最大值
D	7.000 BSC.			0.276 BSC.		
E	7.000 BSC.			0.276 BSC.		
e	0.350 BSC.			0.014 BSC.		
D2	5.390	5.490	5.590	0.212	0.216	0.220
E2	5.390	5.490	5.590	0.212	0.216	0.220
L	0.350	0.400	0.450	0.014	0.016	0.018
K	0.355 REF.			0.014 REF.		
aaa	0.100			0.004		
ccc	0.100			0.004		
eee	0.080			0.003		
bbb	0.070			0.003		
fff	0.100			0.004		

说明:

单位为英寸的值由对应的毫米值转换而来，并保留到小数点后第3位。

7.1.2 QFN56

QFN56封装的详细信息参见下表，其符合MSL3。

表 7-3 QFN56封装信息

参数	值	单位	容差
封装尺寸	7.0 x 7.0	mm	±0.1 mm
QFN焊盘数量	56		
总厚度	0.75	mm	±0.05 mm
QFN焊盘间距	0.40		
焊盘宽度	0.20		±0.05 mm
裸露焊盘大小	5.2 x 5.2		±0.1 mm

QFN56封装的外形尺寸如下图所示：

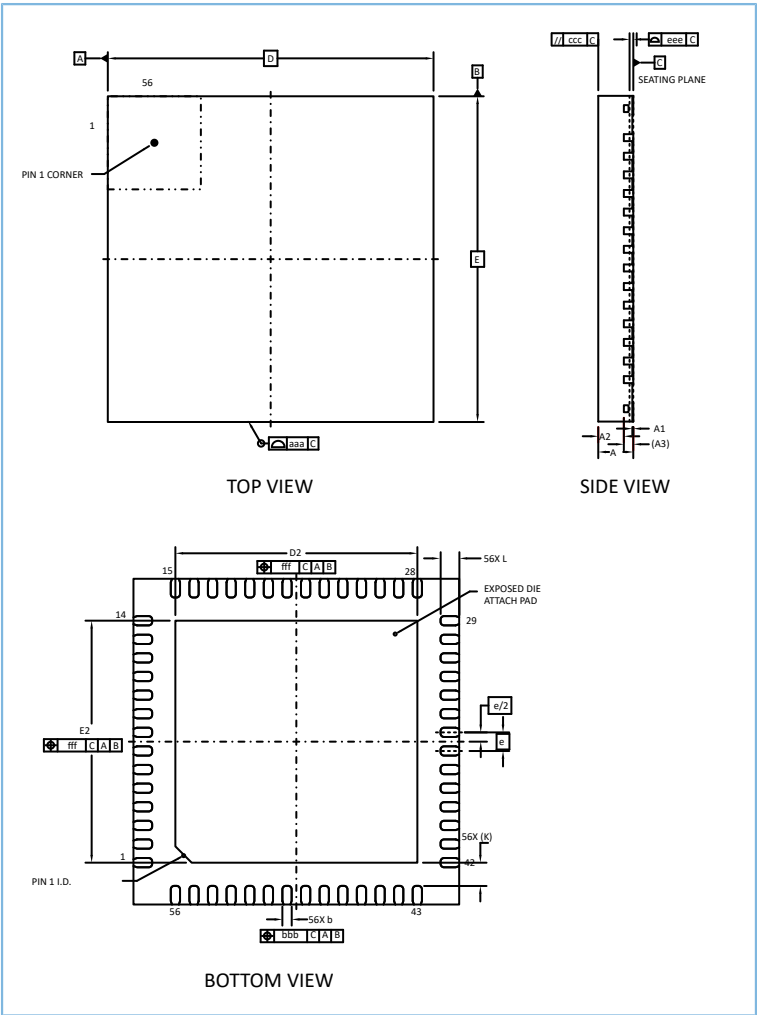


图 7-4 QFN56封装外形尺寸

 说明:

上图未按实物比例绘制。

表 7-4 QFN56封装尺寸

符号	尺寸（单位：mm）			尺寸（单位：inch）		
	最小值	正常值	最大值	最小值	正常值	最大值
A	0.700	0.750	0.800	0.028	0.030	0.032
A1	0.000	0.020	0.050	0.000	0.001	0.002
A2	-	0.550	-	-	0.022	-
A3	0.203 REF.			0.008 REF.		
b	0.150	0.200	0.250	0.006	0.008	0.010
D	7.000 BSC.			0.276 BSC.		
E	7.000 BSC.			0.276 BSC.		
e	0.400 BSC.			0.016 BSC.		
D2	5.100	5.200	5.300	0.201	0.205	0.209

符号	尺寸（单位：mm）			尺寸（单位：inch）		
	最小值	正常值	最大值	最小值	正常值	最大值
E2	5.100	5.200	5.300	0.201	0.205	0.209
L	0.300	0.400	0.500	0.012	0.016	0.020
K	0.500 REF.			0.020 REF.		
aaa	0.100			0.004		
ccc	0.100			0.004		
eee	0.080			0.003		
bbb	0.070			0.003		
fff	0.100			0.004		

说明:

单位为英寸的值由对应的毫米值转换而来，并保留到小数点后第3位。

7.2 电路板焊接指南

由于器件引脚比较小，器件焊接在PCB板上主要是通过钢网刷焊锡膏，因此在QFN封装中需要保证焊点的可靠性。由于QFN类封装引脚中心正下方有较大的DIE-PAD接地焊盘，且接近于焊盘内边缘，因此QFN类封装的焊接变得更加复杂。

虽然上文推荐的焊盘设计有助于解决一些PCB焊接的问题，但是用户仍然需要考虑周边和散热焊盘的钢网设计以及焊锡膏印刷工艺。由于表面组装工艺因公司而异，建议在工艺开发中谨慎小心，遵循各公司相关规定。

7.2.1 周边焊盘的钢网设计

周边焊盘上的最佳可靠焊点应具有约50至75微米（2至3密耳）的隔距高度，外表面平整且光滑。具有好的隔距高度但外表面不够平整的焊点虽然可以满足应用要求，但会减少使用寿命。

保证焊点的良好可靠性，第一步为设计钢网，钢网孔开口的设计应达到最大的膏体释放量。在此过程中，需要考虑以下比值：

- 面积比 = 孔径开口面积/开口侧壁面积
- 宽厚比 = 孔径宽度/钢网厚度

对于矩形孔径开口，根据GR5525的封装要求，相关比率计算公式如下：

- 面积比 = $L \times W / 2T (L + W)$
- 宽厚比 = W / T

L和W分别代表孔径的长度和宽度，T为钢网厚度。为获得最佳的焊锡膏释放效果，面积比和宽厚比应分别大于0.66和1.5。

为轻松达到此面积比和宽厚比，钢网开口孔径与PCB的焊盘尺寸比应为1:1。钢网应采用激光切割和电镀抛光。抛光使得钢网侧壁更光滑，从而更好地释放焊锡膏。

同时，建议严格控制钢网开口孔径容差，从而有效地缩小开口尺寸。此外，在中心裸露的接地焊盘区域印刷焊锡膏时，建议使用具有多个小开口的钢网，避免使用带有单个较大开口的钢网。阻焊层参考设计，请参考下图。

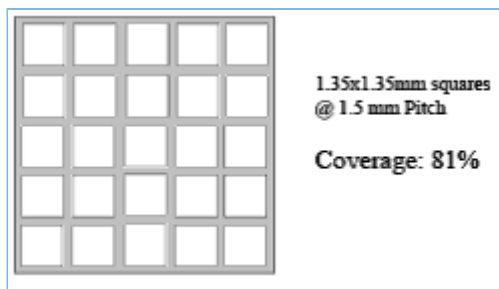


图 7-5 QFN封装接地焊盘钢网设计

7.2.2 过孔类型和焊点气孔

裸露接地焊盘下的焊点气孔会对高速和射频应用产生不利影响，该接地平面内的气孔会增加电流路径。

气孔的最大尺寸应小于平面内的过孔间距，避免由于气孔过大，导致过孔无效的情况发生。

7.2.2.1 钢网厚度和焊锡膏

对于0.4 mm焊盘间距的元件，建议使用0.125 mm厚度的钢网。为了更好地释放焊锡膏，建议使用激光切割的无痕不锈钢配合电抛光梯形墙制作钢网。由于回流焊后，元件下方没有足够的空间，建议使用免清洗型3号焊粉（Type 3, IPC standard J-STD-005）进行QFN类封装焊接。此外，回流期间建议使用氮气吹扫。

与无铅表面组装技术（SMT）兼容的常见表面抛光工艺有以下几种：

- 有机可焊性防腐剂（OSP）
- 化学镀镍/沉金（ENIG）
- 沉银
- 沉金

最终用户可针对电路板设计、装配流程、可操作度、存储条件和成本等需求，选择合理的表面处理工艺。

7.2.2.2 PCB材料

由于无铅材料的回流温度要求较高，建议使用具有高玻璃态转化温度T_g值（> 170°C）的电路板材料。

7.2.3 SMT印刷流程

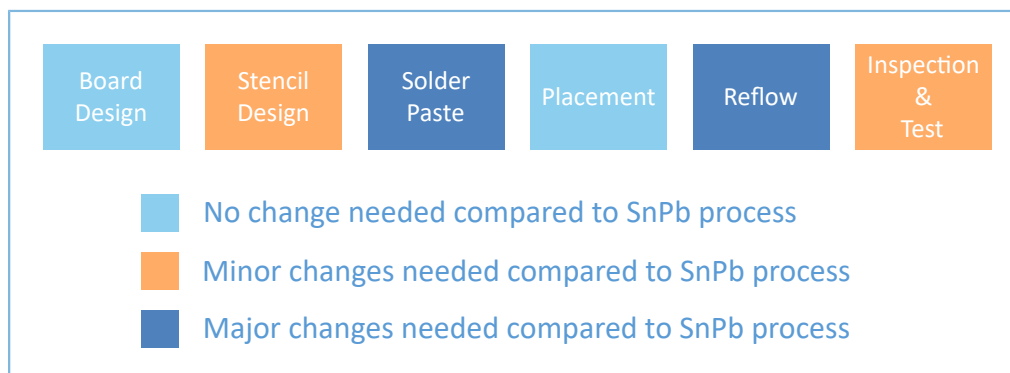


图 7-6 SMT印刷流程

- 焊锡膏

熔化温度为217°C的Sn-Ag-Cu合金焊料最常用于无铅焊料回流应用中。该合金由于其低成本、相对较低的熔化温度和良好的抗热疲劳性等优势，广泛用于半导体行业。

- 钢网设计

如前所述，建议采用激光切割、无痕钢制钢网，厚度为5~7密尔，开窗大小和焊盘尺寸比例为1:1。为了更好地释放焊锡膏，钢网孔径呈正锥形，底部开口比顶部开口宽1密尔。与锡铅合金相比，Sn-Ag-Cu合金不易湿润。

- 印刷流程

与锡铅合金焊料相比，Sn-Ag-Cu合金的印刷工艺无显著变化。应遵循焊膏制造商推荐的印刷指南，满足焊膏的特定需求。印刷后检查和焊膏测量对于确保良好的印刷质量和均匀的焊料沉积至关重要。

- 贴片

由于QFN类封装在回流过程中的自对准特性，其定位精度小于焊盘宽度的30%，只要焊盘能够接触到焊锡膏即可。

7.3 SMT回流过程

优化回流工艺是无铅焊接最需要考虑的因素。要实现最佳回流温度曲线，应充分考虑焊锡膏特性、电路板尺寸、元器件密度、大小尺寸元器件的混合布局以及元器件的峰值温度要求。优化的回流工艺是确保成功实现无铅组装、高产品良率和焊点长期可靠的关键。

1. 温度曲线

通过在QFN芯片焊点、大型元器件的顶部以及电路板的多个位置添加热电偶，可对新设计电路板进行温度分析。这将确保所有元器件被加热到高于最低回流温度，且较小元器件的温度不超过峰值温度。

对于具有大量元器件的大型精密电路板，可将电路板上的温差缩小至10度以内，从而尽可能防止电路板翘曲。元器件主体的最高温度不应超过MSL3的规范要求。

2. 回流曲线

焊料回流曲线应遵循焊锡膏制造商的建议和业界通用的JEDEC/IPC J-STD-20标准。J-STD-20标准温度曲线如下图所示。表 7-5 中列出了配置文件参数和元器件峰值温度要求。

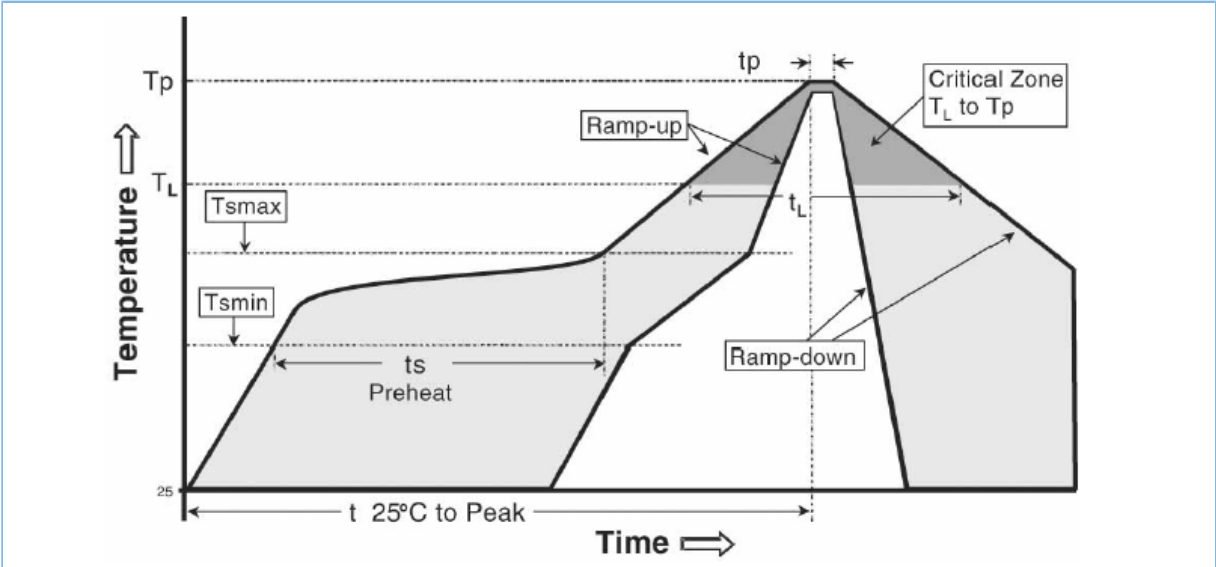


图 7-7 JEDEC建议无铅回流温度曲线

GR5525符合IPC/JEDEC标准的无铅焊接要求，即回流焊接的峰值温度高达260°C。

GR5525的引线框架采用铜合金（CμAg）材质，且表面电镀无铅锡（镀锡厚度：300 μin~600 μin）。此设计使得GR5525引线框架能够承受温度260°C下的3倍回流焊。

表 7-5 回流温度曲线参数

参数	无铅封装、对流、IR/对流
升温速率（从Tsmax到Tp）	最大值：每秒3°C
预热温度（从Tsmin到Tsmax）	150°C~200°C
预热时长（ts）	60秒~180秒
回流焊接温度TB _L （217°C，T _L ）以上时长	60秒~150秒
峰值温度±5°C变化时间（tp）	20秒~40秒
降温速率	最大值：每秒6°C
25°C升至峰值温度所需时间	最大值：8分钟

说明:

表 7-5 中的所有温度均在封装表面测得。

如表 7-5 所示，将回流温度峰值控制在规定的最高温度以下至关重要，以防止对封装造成热损坏。回流曲线示例如下图所示。

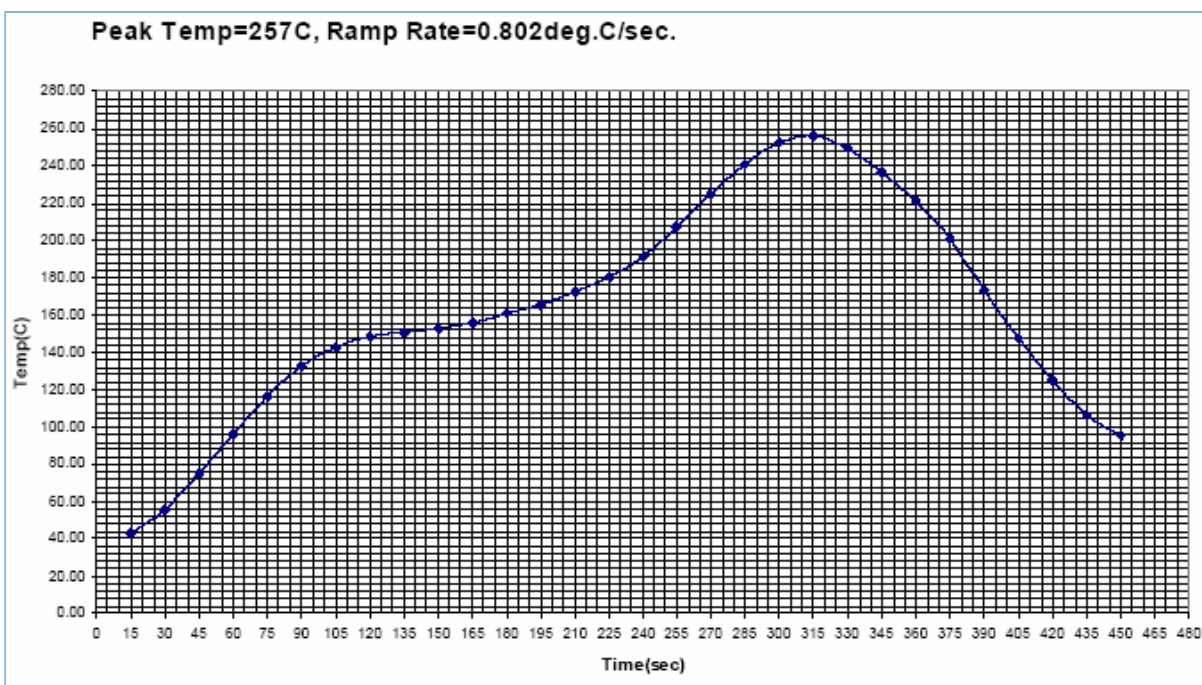


图 7-8 峰值温度为257°C的回流曲线示例

3. 回流炉

强烈建议使用配备多加热区和氮气环境的回流炉进行无铅封装。更多的加热区可提供更高的回流灵活性，以优化大型复杂电路板的回流曲线。氮气环境可有效提高整体环境的湿度并降低电路板的温度梯度，同时可降低焊料氧化影响，从而增强焊点的外形美观度。

7.4 返修指南

由于在QFN类封装下焊点并非完全裸露在外，因此返修工作仅限于修复侧边圆角。对于封装层下的缺陷，必须移除整个封装才能进行返修。由于GR5525 QFN封装的尺寸小，因此返修将面临诸多挑战。

在大多数应用中，QFN类封装安装在尺寸更小、更薄和元件更密集的PCB上，给返修人员的操作带来诸多挑战。在返修期间相邻元件不可避免出现受热，这使得返修过程进一步复杂化。由于各产品的复杂度不同，以下仅列举QFN类封装成功返修流程，为用户提供指导。

返修步骤：

1. 元器件拆除
2. 焊盘清理
3. 焊锡膏印刷
4. 元器件贴片
5. 元器件焊接

 说明:

返修前，建议将PCB在125℃温度下烘烤至少4小时，去除元器件中残留的水分。

7.4.1 元器件拆除

拆除元器件的第一步是对连接到PCB板上元器件的焊点回流。理想状况下，拆除元器件的回流曲线应与焊接元器件的回流曲线相同。但是，一旦回流完成，则可缩短液相线以上的时间。

 说明:

在拆除过程中，建议使用对流加热器从底部加热PCB板，并在元器件上方使用热风加热。

应使用特殊喷嘴对要拆除的元器件区域加热，并尽量减少对相邻元器件的加热。加热过程中还应避免气流过多，以免芯片级封装（CSP）弯曲。空气流速应保持在每分钟15升~20升。一旦焊点回流，在回流到冷却的过程中，就会自动实施真空抬起。

由于GR5525芯片尺寸小，真空压力应保持在15英寸汞柱以下。只有在所有焊点都完成回流的情况下，元器件才会被抬起，从而避免焊盘在部分焊点未回流的情况下被抬起。

7.4.2 焊盘清理

拆除元器件后，需要正确清理焊盘。最好使用刀片式导电工具和吸锡带相结合的方式。刀片的宽度应与元器件占用的最大宽度相匹配，刀片温度应足够低，以免损坏电路板。去除残留的焊料后，应使用溶剂清洁焊盘。溶剂的选择应遵循焊料制造商的建议，与元器件中使用的焊料类型相匹配。

7.4.3 焊锡膏印刷

QFN封装尺寸小、间距细，对QFN封装实施焊锡膏沉积时需特别小心。可使用专为元器件研制的微型钢网，实现均匀和精确的焊锡膏沉积。钢网孔径应在50至100倍放大率下与焊盘对齐。

将钢网放置在PCB上，并且使用小金属刮刀刀片印刷焊锡膏。也可用迷你钢网在封装侧面印刷焊锡膏。应使用125微米厚的钢网，其开口孔径尺寸和形状与封装焊盘相同。

此外，因为QFN封装的隔距高度较小，提供的清洁空间不足，应使用免清洗助焊剂。

7.4.4 元器件贴片

QFN封装由于质量小而具有优越的自定心能力。由于引线位于封装的下侧，因此应使用裂隙光学系统来完成主板上的元器件对位。这将在原焊接印记上形成引线图像重合覆盖，并有助于元器件正确对位。同样，对位应在50至100倍放大率下进行。贴片设备应支持对X、Y和旋转轴进行微调。

7.4.5 元器件焊接

应该在最初的元器件焊接或拆除过程中开发的回流曲线下，进行新元器件焊接。由于所有回流曲线参数都已经过优化，因此使用相同的曲线将消除对热电偶反馈的需求，并将减少对操作人员的依赖性。

7.5 RoHS标准

GR5525符合RoHS 2002/95/EC标准及其修订条例。

7.6 SVHC清单

GR5525遵从欧盟有关《关于化学品注册、评估、许可和限制法案》（Registration, Evaluation, Authorization and Restriction of Chemicals, REACH）的高关注物质（Substance of Very High Concern, SVHC）清单规定。该清单由欧洲化学品管理局（European Chemicals Agency, ECHA）于2008年10月28日发布，编号为1907/2006。

7.7 无卤

GR5525符合BS EN 14582:2007关于卤素，即氟、氯、溴和碘含量的要求。