



GR5526硬件设计指南

版本： 1.1

发布日期： 2023-01-10

版权所有 © 2023 深圳市汇顶科技股份有限公司。保留一切权利。

非经本公司书面许可，任何单位和个人不得对本手册内的任何部分擅自摘抄、复制、修改、翻译、传播，或将其全部或部分用于商业用途。

商标声明

GOODIX 和其他汇顶商标均为深圳市汇顶科技股份有限公司的商标。本文档提及的其他所有商标或注册商标，由各自的所有人持有。

免责声明

本文档中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。

深圳市汇顶科技股份有限公司（以下简称“GOODIX”）对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。GOODIX对因这些信息及使用这些信息而引起的后果不承担任何责任。

未经GOODIX书面批准，不得将GOODIX的产品用作生命维持系统中的关键组件。在GOODIX知识产权保护下，不得暗或以其他方式转让任何许可证。

深圳市汇顶科技股份有限公司

总部地址：深圳市福田区保税區腾飞工业大厦B座12-13层

电话：+86-755-33338828 邮编：518000

网址：www.goodix.com

前言

编写目的

本文档主要介绍GR5526蓝牙SoC正常运行时所需电路设计和PCB布局指南，提供了推荐电路原理图、芯片接口和外设。

使用本文档有助于系统设计人员搭建低功耗蓝牙最小硬件电路，并应用于产品开发中。

读者对象

本文适用于以下读者：

- GR5526用户
- GR5526测试人员
- 蓝牙产品开发人员
- 蓝牙系统设计人员

版本说明

本文档为第2次发布，对应的产品系列为GR5526。

修订记录

版本	日期	描述
1.0	2022-06-24	首次发布
1.1	2023-01-10	更新“系统框图”、“引脚排列与定义”、“射频电路原理图”和“原理图参考设计”章节。

目录

前言.....	I
1 简介.....	1
1.1 特性.....	1
1.2 系统框图.....	4
2 引脚排列与定义.....	6
2.1 BGA83.....	6
2.2 QFN68.....	9
3 GR5526最小系统设计.....	14
3.1 电路原理图设计指南.....	14
3.1.1 电源.....	14
3.1.1.1 电源框图简介.....	14
3.1.1.2 上电时序.....	14
3.1.1.3 电源电路原理图.....	16
3.1.1.4 I/O LDO.....	18
3.1.2 时钟.....	19
3.1.2.1 简介.....	19
3.1.2.2 HFXO_32M.....	19
3.1.2.3 LFXO_32K.....	20
3.1.3 射频.....	21
3.1.3.1 简介.....	21
3.1.3.2 射频电路原理图.....	22
3.1.4 I/O引脚.....	23
3.1.5 串行调试接口.....	24
3.2 PCB Layout设计指南.....	24
3.2.1 PCB叠层.....	24
3.2.2 元器件布局.....	26
3.2.3 电源.....	26
3.2.3.1 DC-DC开关电源.....	26
3.2.3.2 RF输入电源.....	27
3.2.4 时钟.....	27
3.2.5 射频端口.....	28
3.2.6 接地.....	29
3.2.7 系统ESD防护设计.....	31
3.2.7.1 系统级ESD设计要求.....	31
3.2.7.1.1 原理图设计要点.....	31
3.2.7.1.2 PCB布局设计要点.....	32
3.2.7.1.3 产品结构设计要点.....	35

3.2.7.2 生产、运输、调试阶段ESD注意事项.....	35
4 参考设计.....	36
4.1 原理图参考设计.....	36
5 常见问题.....	40
5.1 为什么睡眠时的功耗偏高?	40
5.2 射频PI电路可以简化或移除吗?	40
6 术语和缩略语.....	41
7 附录：QFN和BGA封装指南.....	43
7.1 封装信息.....	43
7.1.1 BGA83.....	43
7.1.2 QFN68.....	45
7.2 电路板焊接指南.....	47
7.2.1 周边焊盘的钢网设计.....	47
7.2.2 过孔类型和焊点气孔.....	48
7.2.2.1 钢网厚度和焊锡膏.....	48
7.2.2.2 PCB材料.....	49
7.2.3 SMT印刷流程.....	49
7.3 SMT回流过程.....	49
7.4 返修指南.....	51
7.4.1 元件拆除.....	52
7.4.2 焊盘清理.....	52
7.4.3 焊锡膏印刷.....	52
7.4.4 贴片.....	52
7.4.5 元件焊接.....	53
7.5 RoHS标准.....	53
7.6 SVHC清单.....	53
7.7 无卤.....	53

1 简介

GR5526系列芯片是Goodix推出的Bluetooth 5.3单模低功耗蓝牙系统级芯片（SoC），可以配置为广播者（Broadcaster）、观察者（Observer）、外围设备（Peripheral）或中央设备（Central），并支持上述各种角色的组合应用，以及支持Bluetooth LE（Bluetooth Low Energy，低功耗蓝牙）定向（AoA/AoD）、同步通道（音频）等功能，可广泛应用于物联网（IoT）、低功耗音频（LE Audio）和智能穿戴设备领域。

GR5526系列芯片架构以ARM® Cortex®-M4F CPU为核心，集成Bluetooth 5.3协议栈、2.4 GHz RF收发器、片上可编程存储器Flash、RAM以及多种外设，提供更丰富的I2C/UART接口数量与I/O功能。GR5526部分型号还提供图形化处理单元+显示控制器（GPU + DC）解决方案，并支持内/外部 SiP PSRAM空间，为用户提供更丰富的数据空间与强大的图形化表现能力，并为可穿戴设备方案提供丰富的片上资源。

GR5526系列支持BGA83和QFN68两种封装，如下表所示。用户可根据实际应用场景，选择对应芯片型号。

表 1-1 GR5526系列芯片

特性	GR5526VGBIP	GR5526VGBI	GR5526RGNIP	GR5526RGNI
CPU	Cortex [®] -M4F	Cortex [®] -M4F	Cortex [®] -M4F	Cortex [®] -M4F
RAM	512 KB	512 KB	512 KB	512 KB
SiP Flash	1 MB	1 MB	1 MB	1 MB
SiP PSRAM	8 MB	N/A	8 MB	N/A
GPU + DC	支持	N/A	支持	N/A
I/O数量	50	50	48	48
封装（mm）	BGA83 (4.3 x 4.3 x 0.96)	BGA83 (4.3 x 4.3 x 0.96)	QFN68 (7.0 x 7.0 x 0.85)	QFN68 (7.0 x 7.0 x 0.85)

1.1 特性

- 集成控制器和主机层的低功耗蓝牙5.3收发器
 - 支持数据传输速率：1 Mbps、2 Mbps、LR（500 kbps、125 kbps）
 - 发射功率：-20 dBm ~ +7 dBm
 - -98 dBm接收灵敏度（1 Mbps模式下）
 - -94 dBm接收灵敏度（2 Mbps模式下）
 - -101 dBm接收灵敏度（LR 500 kbps模式下）
 - -104 dBm接收灵敏度（LR 125 kbps模式下）
 - 发射功耗：4.0 mA @ 0 dBm，1 Mbps
 - 接收功耗：3.5 mA @ 1 Mbps
 - AoA/AoD寻向技术，LE Audio 同步通道
- 内置ARM[®] Cortex[®] -M4F 32位微处理器，支持浮点运算

- 时钟频率可达96 MHz
- 内置内存保护单元（MPU），提供8个可编程的区域
- 浮点运算器（FPU）
- 内置嵌套矢量中断控制器（NVIC）
- 不可屏蔽中断（NMI）
- 串行调试（SWD），提供16个断点、2个监视点和1个时间戳计数器
- 在3.3 V、96 MHz条件下，微处理器运行在Flash上的功耗为51 μ A/MHz
- 片上存储
 - 512 KB Data SRAM，支持数据保持
 - 8 KB Cache SRAM，支持数据保持
 - Stack ROM（包含Boot ROM和BLE Stack）
 - 1 MB内置QSPI Flash
 - 8 MB内置PSRAM（仅限GR5526VGBIP与GR5526RGNIP）
- 数字外设
 - 1个通用DMA引擎，支持8路通道和16个握手接口
 - USB 2.0 全速控制器（12 Mbps），带片上PHY与专用DMA控制器
 - 内置OSPI DDR接口，支持连接8 MB内置PSRAM，最高传输速率可达48 MHz（仅限GR5526VGBIP与GR5526RGNIP）
- 模拟外设
 - 单个13位逐次逼近式ADC（SNSADC），采样率1 Msps，最多可支持8路外部I/O通道与3路内部信号通道
 - 内置温度和电压传感器
 - 低功耗比较器，支持从深度睡眠模式唤醒
- 灵活的串行外设
 - 6个UART模块，速率最高可达4 Mbps，均支持流量控制与IrDA红外传输协议
 - 6个I2C模块用于支持外设通信，传输速率最高可达3.4 MHz
 - 2路SPI接口（1路8位/16位/32位SPI Master接口，1路SPI Slave接口），用于主控通信
 - 2路I2S接口（1路I2S Master接口，1路I2S Slave接口）
 - PDM接口，带硬件采样率转换器
 - 1路ISO7816 接口
- 显示/图像

- 2.5D GPU硬件加速器（仅GR5526VGBIP与GR5526RGNIP）
- 1路双线SPI传输接口（DSPI），支持MIPI DBI Type-C接口
- 3路QSPI，最高速率可达48 MHz；连接外部NOR Flash时支持通过内存映射直接访问
- 显示控制（DC）模块，支持MIPI DBI Type-C接口；集成2D图像融合功能（仅GR5526VGBIP与GR5526RGNIP）
- 安全
 - 提供完善的安全计算引擎：
 - AES 128-bit/192-bit/256-bit对称加密（ECB和CBC）
 - HMAC-SHA256哈希加密算法
 - PKC
 - TRNG
 - 提供全面的安全运行机制：
 - 安全启动
 - 加密固件直接从Flash运行
 - 密钥加密后存储至eFuse中
 - 区分应用数据密钥与固件密钥，支持一机一密
- I/O外设
 - 共计50个I/O引脚
 - 34个GPIO
 - 8个AON I/O，支持从深度睡眠模式唤醒
 - 8个MSIO，可配置为数字/模拟信号接口
- 定时器
 - 2个32位通用定时器模块
 - 1个定时器模块，包含2个32位/16位可编程递减计数器
 - 1个内部睡眠定时器，可将设备从深度睡眠模式唤醒
 - 2个PWM模块，各支持3路通道，支持边缘对齐模式与中间对齐模式
 - 2个RTC：1个日历定时器，1个RTC
- 电源管理
 - 片内DC-DC转换器，为RF模拟模块与芯片Core LDO供电
 - 片内I/O LDO稳压器，为I/O供电，也可为外围器件供电，最大驱动能力为30 mA

- 可编程的掉电检测（BOD）阈值电压
- 电源电压：2.4 V~4.35 V
- I/O电压：1.8 V~3.6 V
- 低功耗模式
 - 睡眠模式：3.3 μ A（典型值），此时VBAT输入电压为3.3 V，128 KB SRAM处于保持状态，LFXO_32K关闭；AON域8个唤醒源均可唤醒系统
 - Ultra deep sleep模式：2.4 μ A（典型值）；除AON域外的内部耗电模块（包含SRAM）与LFXO_32K均停止；支持通过睡眠定时器和AON GPIO唤醒
 - OFF模式：200 nA（典型值），除VBAT外均断电，芯片处于复位模式
- 封装类型
 - BGA83：4.3 mm x 4.3 mm x 0.96 mm，间距0.4 mm
 - QFN68：7.0 mm x 7.0 mm x 0.85 mm，间距0.35 mm
- 工作温度范围：-40°C ~ +85°C

1.2 系统框图

GR5526的系统框图如下图所示。

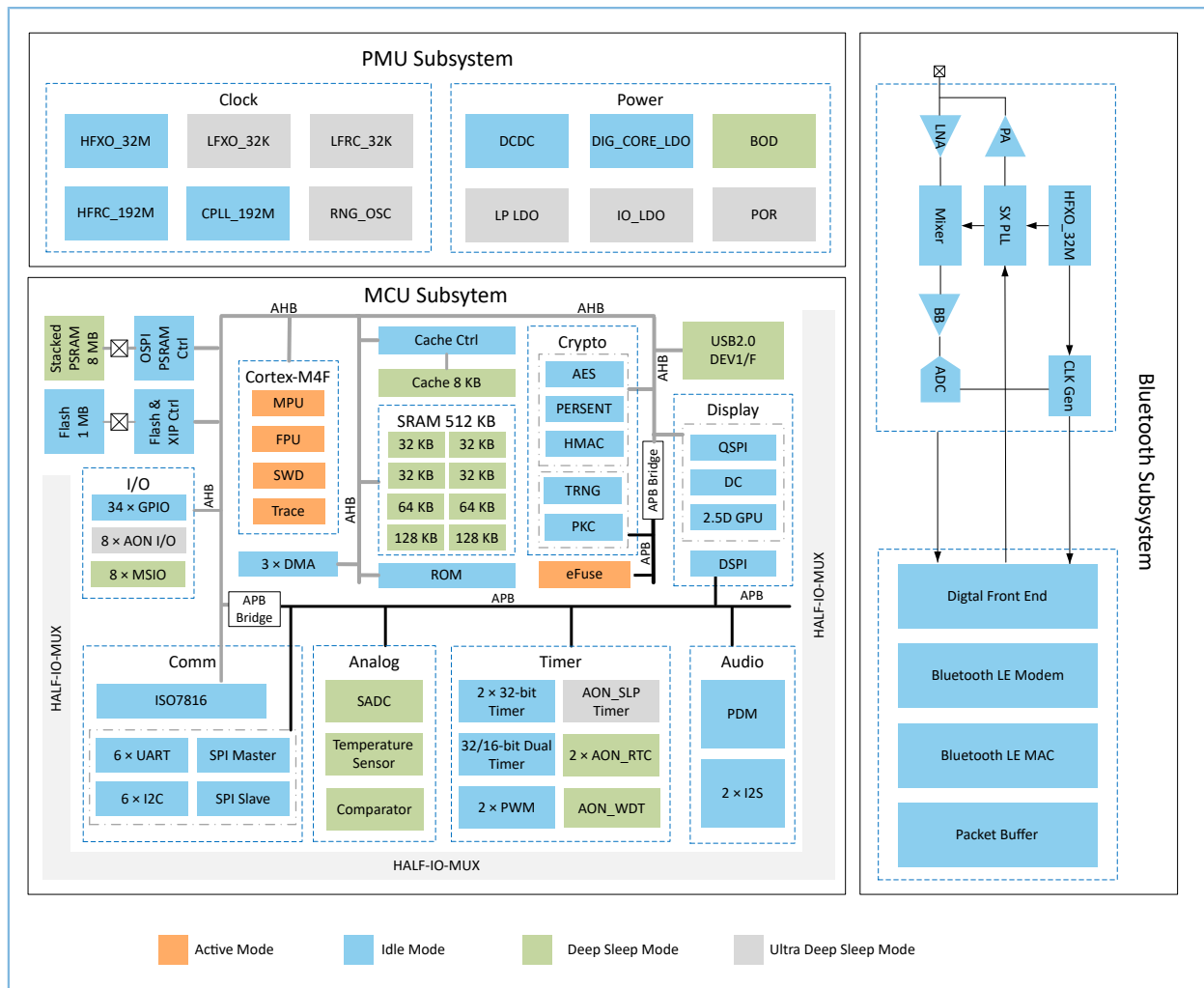


图 1-1 GR526系统框图

- 蓝牙子系统（Bluetooth Subsystem）
 - 由一个2.4 GHz RF收发器和一个数字通信内核（支持低功耗蓝牙5.3）构成。
- MCU子系统（MCU Subsystem）
 - 基于ARM[®] Cortex[®]-M4F CPU内核，包含所需的存储器及外设。
 - 设有安全计算引擎单元，确保应用安全与加密方式正常启动。
 - 部分芯片型号搭载GPU + DC，提升图形处理能力
- PMU子系统（PMU Subsystem）
 - 由各电源管理模块构成，为各内部模块和外设提供充足电源。
 - 以超低功耗运行时各模块处于Standby模式。用户可通过HFRC_192M、RNG_OSC、LFRC_32K、唤醒GPIO（Wake up）、低功耗比较器（LP Comp.）和电源状态控制器（Power Sequencer）控制各模块状态。

2 引脚排列与定义

本章主要介绍GR5526各封装引脚排列及各引脚的对应描述

2.1 BGA83

GR5526VGBIP与GR5526VGBI采用BGA83封装，引脚排列如下图所示。

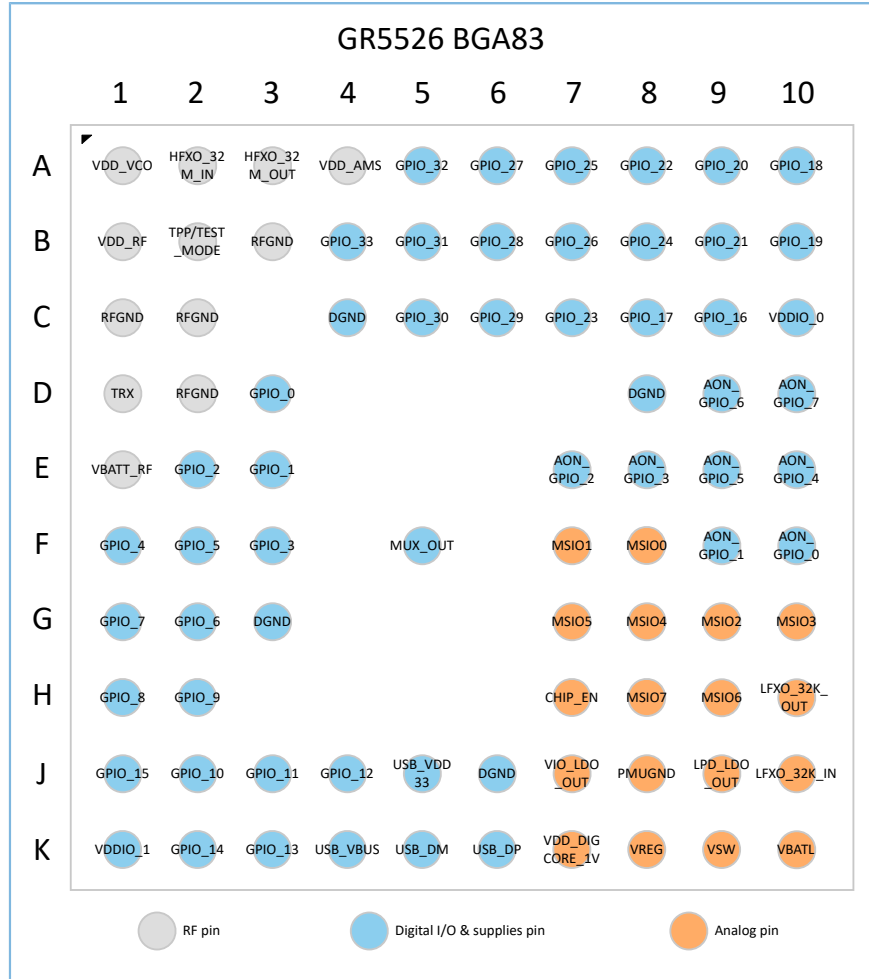


图 2-1 GR5526 BGA83封装引脚排列

GR5526 BGA83引脚描述如下表所示：

表 2-1 GR5526 BGA83封装引脚描述

编号	名称	类型	定义/默认功能	电源域
A1	VDD_VCO	模拟和射频供电	合成器VCO供电，连接至VREG	
A2	HFXO_32M_IN	模拟和射频	32 MHz晶振反向放大器输入端	
A3	HFXO_32M_OUT	模拟和射频	32 MHz晶振反向放大器输出端	
A4	VDD_AMS	模拟和射频供电	AMS供电：1.1 V，连接至VREG	
A5	GPIO_32	数字I/O	GPIO，驱动能力4 mA	VDDIO0
A6	GPIO_27	数字I/O	GPIO，驱动能力4 mA	VDDIO0

编号	名称	类型	定义/默认功能	电源域
A7	GPIO_25	数字I/O	GPIO, 驱动能力4 mA	VDDIO0
A8	GPIO_22	数字I/O	GPIO, 驱动能力4 mA	VDDIO0
A9	GPIO_20	数字I/O	GPIO, 驱动能力4 mA	VDDIO0
A10	GPIO_18	数字I/O	GPIO, 驱动能力4 mA	VDDIO0
B1	VDD_RF	模拟和射频供电	射频供电: 1.1 V, 连接至VREG	
B2	TPP/TEST_MODE	模拟和射频	输入引脚, 工厂测试中用于设置测试模式 <ul style="list-style-type: none"> • TEST_MODE = 1, 芯片处于工厂测试模式; • TEST_MODE = 0, 芯片处于普通操作模式。 	
B3	RFGND	射频	射频接地	
B4	GPIO_33	数字I/O	GPIO, 驱动能力4 mA	VDDIO0
B5	GPIO_31	数字I/O	GPIO, 驱动能力4 mA	VDDIO0
B6	GPIO_28	数字I/O	GPIO, 驱动能力4 mA	VDDIO0
B7	GPIO_26	数字I/O	GPIO, 驱动能力4 mA	VDDIO0
B8	GPIO_24	数字I/O	GPIO, 驱动能力4 mA	VDDIO0
B9	GPIO_21	数字I/O	GPIO, 驱动能力4 mA	VDDIO0
B10	GPIO_19	数字I/O	GPIO, 驱动能力4 mA	VDDIO0
C1	RFGND	射频	射频接地	
C2	RFGND	射频	射频接地	
C4	DGND	数字信号连接到GND	数字信号连接到GND	
C5	GPIO_30	数字I/O	GPIO, 驱动能力4 mA	VDDIO0
C6	GPIO_29	数字I/O	GPIO, 驱动能力4 mA	VDDIO0
C7	GPIO_23	数字I/O	GPIO, 驱动能力4 mA	VDDIO0
C8	GPIO_17	数字I/O	GPIO, 驱动能力4 mA	VDDIO0
C9	GPIO_16	数字I/O	GPIO, 驱动能力4 mA	VDDIO0
C10	VDDIO_0	数字供电	数字I/O供电输入脚, 支持输入外部电压1.8 V - 3.3 V	VDDIO0
D1	TRX	模拟和射频	RX输入, TX输出	
D2	RF_GND	射频	射频接地	
D3	GPIO_0	数字I/O	GPIO, 默认: SWD_CLK, 驱动能力4 mA	VDDIO1
D8	DGND	数字信号连接到GND	数字信号连接到GND	
D9	AON_GPIO_6	数字I/O	AON GPIO, 驱动能力4 mA	VDDIO0
D10	AON_GPIO_7	数字I/O	AON GPIO, 驱动能力4 mA	VDDIO0
E1	VBATT_RF	模拟和射频供电	连接至VBATL	

编号	名称	类型	定义/默认功能	电源域
E2	GPIO_2	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
E3	GPIO_1	数字I/O	GPIO, 默认: SWD_IO, 驱动能力4 mA	VDDIO1
E7	AON_GPIO_2	数字I/O	AON GPIO, 驱动能力4 mA	VDDIO0
E8	AON_GPIO_3	数字I/O	AON GPIO, 驱动能力4 mA	VDDIO0
E9	AON_GPIO_5	数字I/O	AON GPIO, 驱动能力4 mA	VDDIO0
E10	AON_GPIO_4	数字I/O	AON GPIO, 驱动能力4 mA	VDDIO0
F1	GPIO_4	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
F2	GPIO_5	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
F3	GPIO_3	数字I/O	GPIO, 可配置为SWO接口, 驱动能力4 mA	VDDIO1
F5	MUX_OUT	PMU	-	
F7	MSIO_1	混合信号I/O	可配置为混合信号GPIO (SNSADC接口), 驱动能力2 mA	VBATL
F8	MSIO_0	混合信号I/O	可配置为混合信号GPIO (SNSADC接口), 驱动能力2 mA	VBATL
F9	AON_GPIO_1	数字I/O	AON GPIO, 驱动能力4 mA	VDDIO0
F10	AON_GPIO_0	数字I/O	AON GPIO, 驱动能力4 mA	VDDIO0
G1	GPIO_7	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
G2	GPIO_6	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
G3	DGND	数字信号连接到GND	数字信号连接到GND	
G7	MSIO5	混合信号I/O	可配置为混合信号GPIO (SNSADC接口), 驱动能力2 mA	VBATL
G8	MSIO_4	混合信号I/O	可配置为混合信号GPIO (SNSADC接口), 驱动能力2 mA	VBATL
G9	MSIO_2	混合信号I/O	可配置为混合信号GPIO (SNSADC接口), 驱动能力2 mA	VBATL
G10	MSIO_3	混合信号I/O	可配置为混合信号GPIO (SNSADC接口), 驱动能力2 mA	VBATL
H1	GPIO_8	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
H2	GPIO_9	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
H7	CHIP_EN	混合信号IN	芯片主使能信号复位引脚 CHIP_EN高电平为VBATL	
H8	MSIO_7	混合信号I/O	可配置为混合信号GPIO (SNSADC接口), 驱动能力2 mA	VBATL

编号	名称	类型	定义/默认功能	电源域
H9	MSIO_6	混合信号I/O	可配置为混合信号GPIO（SNSADC接口），驱动能力2 mA	VBATL
H10	LF XO_32K_OUT	PMU	32.768 kHz晶振反向放大器输出端	
J1	GPIO_15	数字I/O	GPIO，驱动能力4 mA	VDDIO1
J2	GPIO_10	数字I/O	GPIO，驱动能力4 mA	VDDIO1
J3	GPIO_11	数字I/O	GPIO，驱动能力4 mA	VDDIO1
J4	GPIO_12	数字I/O	GPIO，驱动能力4 mA	VDDIO1
J5	USB_VDD33	USB	内部输出电压：USB 3.3 V	
J6	DGND	数字信号连接到GND	数字信号连接到GND	
J7	VIO_LDO_OUT	PMU	片内I/O LDO输出	
J8	PMUGND	PMU	DC-DC转换器和电池接地引脚	
J9	LPD_LDO_OUT	PMU	低功耗电源域LDO输出端	
J10	LF XO_32K_IN	PMU	32.768 kHz晶振反向放大器输入端	
K1	VDDIO_1	数字供电	数字I/O供电输入脚，支持输入外部电压1.8 V - 3.3 V	VDDIO1
K2	GPIO_14	数字I/O	GPIO，驱动能力4 mA	VDDIO1
K3	GPIO_13	数字I/O	GPIO，驱动能力4 mA	VDDIO1
K4	USB_VBUS	USB	输入电压：USB 5 V	
K5	USB_DM	USB	USB D-引脚	
K6	USB_DP	USB	USB D+引脚	
K7	VDD_DIGCORE_1V	PMU	数字内核的片内LDO输出端	
K8	VREG	PMU	开关稳压器的反馈引脚	
K9	VSW	PMU	DC-DC转换器开关节点	
K10	VBATL	PMU	电源：2.4 V ~ 4.35 V	

2.2 QFN68

GR5526RGNIP与GR5526RGNI采用QFN68封装，引脚排列如下图所示。

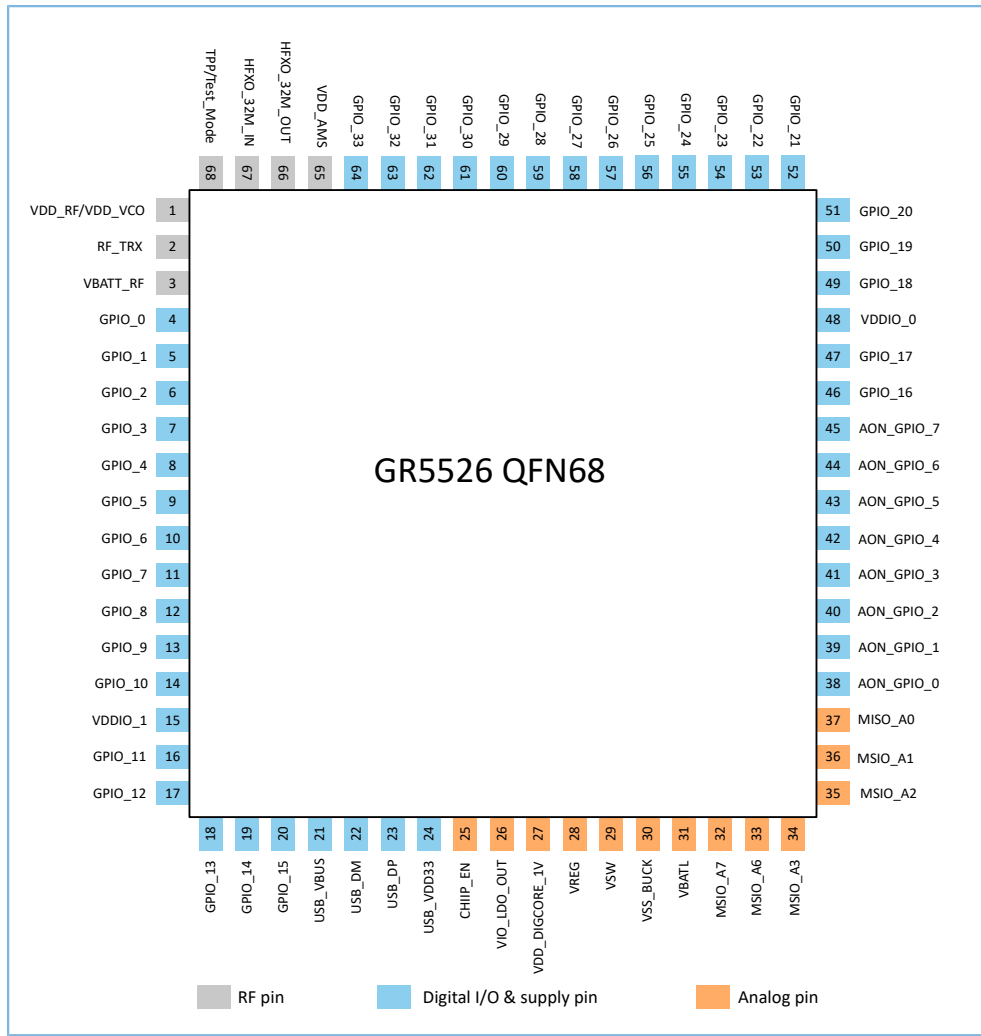


图 2-2 GR5526 QFN68封装引脚排列

GR5526 QFN68引脚描述如下表所示:

表 2-2 GR5526 QFN68封装引脚描述

编号	名称	类型	定义/默认功能	电源域
1	VDD_VCO/VDD_RF	模拟和射频供电	合成器VCO/射频供电: 1.1 V 连接至VREG	
2	RF_TRX	模拟和射频	RX输入以及TX输出	
3	VBATT_RF	模拟和射频供电	连接至VBATL	
4	GPIO_0	数字I/O	GPIO, 默认为SWD_CLK; 驱动能力4 mA	VDDIO1
5	GPIO_1	数字I/O	GPIO, 默认为SWD_IO, 驱动能力4 mA	VDDIO1
6	GPIO_2	数字I/O	GPIO, 可配置为SWO接口, 驱动能力4 mA	VDDIO1
7	GPIO_3	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
8	GPIO_4	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
9	GPIO_5	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
10	GPIO_6	数字I/O	GPIO, 驱动能力4 mA	VDDIO1

编号	名称	类型	定义/默认功能	电源域
11	GPIO_7	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
12	GPIO_8	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
13	GPIO_9	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
14	GPIO_10	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
15	VDDIO_1	数字I/O供电	数字I/O供电输入脚 支持输入外部电压1.8 V~3.3 V	VDDIO1
16	GPIO_11	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
17	GPIO_12	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
18	GPIO_13	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
19	GPIO_14	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
20	GPIO_15	数字I/O	GPIO, 驱动能力4 mA	VDDIO1
21	USB_VBUS	USB	输入电压: USB 5 V	
22	USB_DM	USB	USB D-引脚	
23	USB_DP	USB	USB D+引脚	
24	USB_VDD33	USB	内部输出电压: USB 3.3 V	
25	CHIP_EN	混合信号IN	芯片主使能信号复位引脚 CHIP_EN高电平为VBATL	
26	VIO_LDO_OUT	PMU	片内I/O LDO输出	
27	VDD_DIGCORE_1V	模拟和PMU	数字内核的片内LDO输出	
28	VREG	模拟和PMU	开关稳压器的反馈引脚	
29	VSW	模拟和PMU	DC-DC转换器开关节点	
30	VSS_BUCK	模拟和PMU	DC-DC转换器和电池接地引脚	
31	VBATL	模拟和PMU	电源: 2.4 V~ 4.35 V	
32	MSIO_7	混合信号I/O	可配置为混合信号GPIO (SNSADC接口), 可复用为LFXO_32K_IN; 驱动能力2 mA	VBATL
33	MSIO_6	混合信号I/O	可配置为混合信号GPIO (SNSADC接口), 可复用为LFXO_32K_OUT; 驱动能力2 mA	VBATL
34	MSIO_3	混合信号I/O	可配置为混合信号GPIO (SNSADC接口), 驱动能力2 mA	VBATL
35	MSIO_2	混合信号I/O	可配置为混合信号GPIO (SNSADC接口), 驱动能力2 mA	VBATL
36	MSIO_1	混合信号I/O	可配置为混合信号GPIO (SNSADC接口), 驱动能力2 mA	VBATL

编号	名称	类型	定义/默认功能	电源域
37	MSIO_0	混合信号I/O	可配置为混合信号GPIO（SNSADC接口），驱动能力2 mA	VBATL
38	AON_GPIO_0	数字I/O	AON GPIO，驱动能力4 mA	VDDIO0
39	AON_GPIO_1	数字I/O	AON GPIO，驱动能力4 mA	VDDIO0
40	AON_GPIO_2	数字I/O	AON GPIO，驱动能力4 mA	VDDIO0
41	AON_GPIO_3	数字I/O	AON GPIO，驱动能力4 mA	VDDIO0
42	AON_GPIO_4	数字I/O	AON GPIO，驱动能力4 mA	VDDIO0
43	AON_GPIO_5	数字I/O	AON GPIO，驱动能力4 mA	VDDIO0
44	AON_GPIO_6	数字I/O	AON GPIO，驱动能力4 mA	VDDIO0
45	AON_GPIO_7	数字I/O	AON GPIO，驱动能力4 mA	VDDIO0
46	GPIO_16	数字I/O	GPIO，驱动能力4 mA	VDDIO0
47	GPIO_17	数字I/O	GPIO，驱动能力4 mA	VDDIO0
48	VDDIO_0	数字I/O供电	数字I/O供电输入脚 支持输入外部电压1.8 V~3.3 V	VDDIO0
49	GPIO_18	数字I/O	GPIO，驱动能力4 mA	VDDIO0
50	GPIO_19	数字I/O	GPIO，驱动能力4 mA	VDDIO0
51	GPIO_20	数字I/O	GPIO，驱动能力4 mA	VDDIO0
52	GPIO_21	数字I/O	GPIO，驱动能力4 mA	VDDIO0
53	GPIO_22	数字I/O	GPIO，驱动能力4 mA	VDDIO0
54	GPIO_23	数字I/O	GPIO，驱动能力4 mA	VDDIO0
55	GPIO_24	数字I/O	GPIO，驱动能力4 mA	VDDIO0
56	GPIO_25	数字I/O	GPIO，驱动能力4 mA	VDDIO0
57	GPIO_26	数字I/O	GPIO，驱动能力4 mA	VDDIO0
58	GPIO_27	数字I/O	GPIO，驱动能力4 mA	VDDIO0
59	GPIO_28	数字I/O	GPIO，驱动能力4 mA	VDDIO0
60	GPIO_29	数字I/O	GPIO，驱动能力4 mA	VDDIO0
61	GPIO_30	数字I/O	GPIO，驱动能力4 mA	VDDIO0
62	GPIO_31	数字I/O	GPIO，驱动能力4 mA	VDDIO0
63	GPIO_32	数字I/O	GPIO，驱动能力4 mA	VDDIO0
64	GPIO_33	数字I/O	GPIO，驱动能力4 mA	VDDIO0
65	VDD_AMS	模拟和射频	AMS供电：1.1 V 连接至VREG	
66	HFXO_32M_OUT	模拟和射频	32 MHz晶振反向放大器输出端	
67	HFXO_32M_IN	模拟和射频	32 MHz晶振反向放大器输入端	

编号	名称	类型	定义/默认功能	电源域
68	TPP/TEST_MODE	模拟和射频	输入引脚，工厂测试中用于设置测试模式 <ul style="list-style-type: none">• TEST_MODE = 1，芯片处于工厂测试模式；• TEST_MODE = 0，芯片处于普通操作模式。	

3 GR5526最小系统设计

基于GR5526的最小应用系统必须包括以下模块：

- 电源
- 时钟
- 射频
- I/O引脚
- SWD接口

以下章节将详细介绍GR5526最小应用系统的电路原理图以及PCB布局参考设计，帮助用户快速入门GR5526的硬件应用开发。

3.1 电路原理图设计指南

GR5526最小系统的电路原理图可参考“[4.1 原理图参考设计](#)”。

3.1.1 电源

3.1.1.1 电源框图简介

GR5526通过引脚VBATL外接电源供电，供电范围为2.4 V ~ 4.35 V。

电池焊接会导致开关过冲。为避免开关过冲，在GR5526上电运行时需将电池、电阻（0.39 Ω~1 Ω）和VBATL串接。建议在为VBATL供电前通过LDO或DC-DC将电池电压转换为3.3 V。

3.1.1.2 上电时序

1. 在冷启动期间，当GR5526上电后，VBATL会在50 ms内从0 V上升至工作电压。

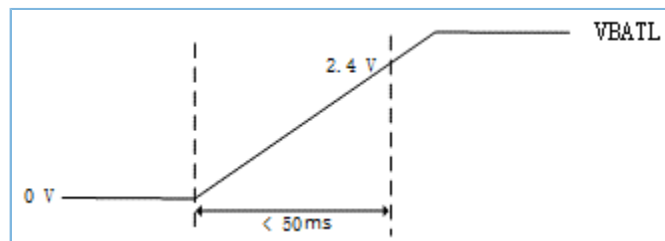


图 3-1 VBATL上升时间

2. CHIP_EN不可先于VBATL上电。

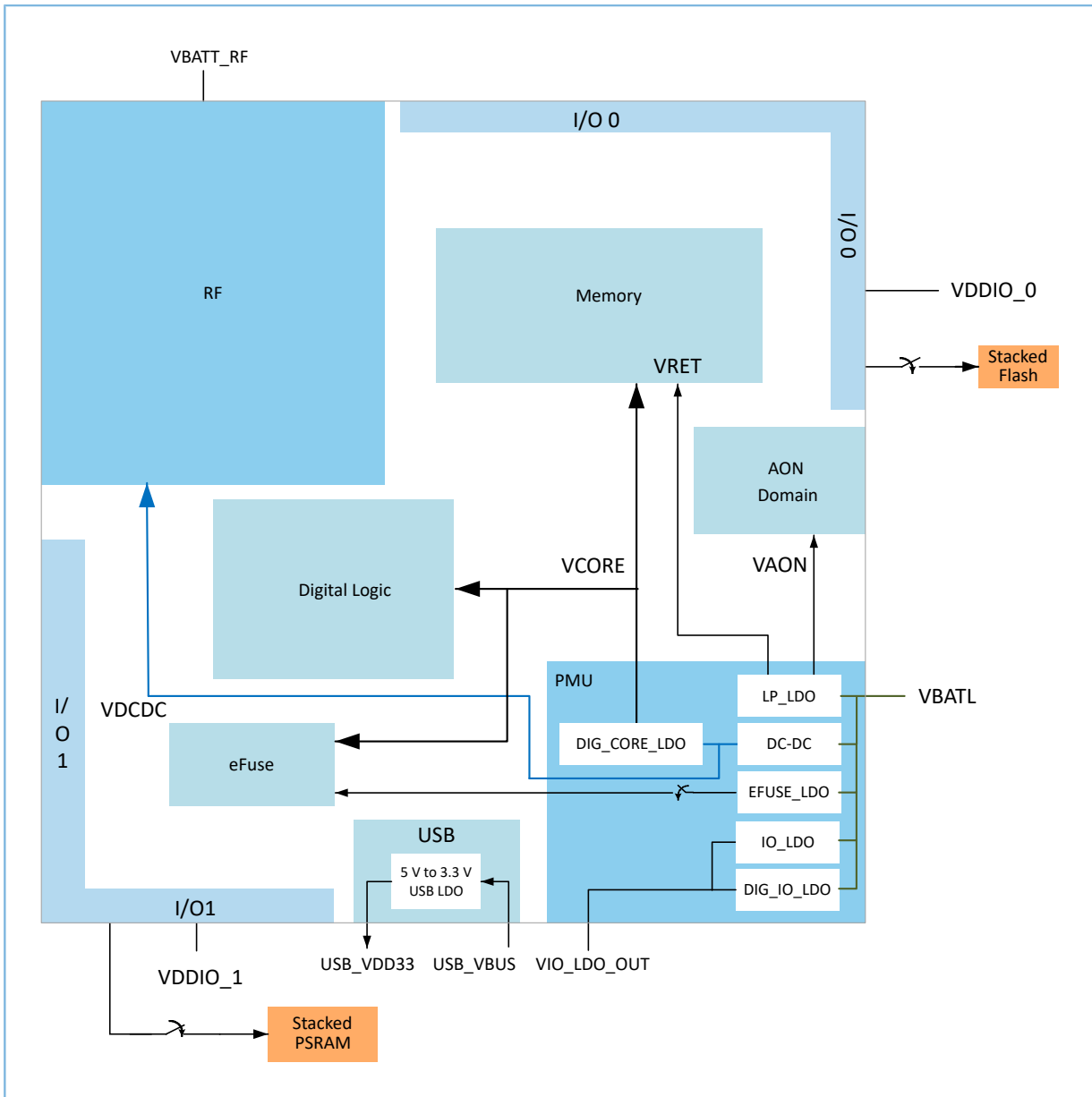


图 3-2 电源结构图

GR5526的电源基于PMU构建（如图 3-2所示），PMU通过VBATL与外部电源相连，并通过以下电源域为各模块供电：

- VDDIO0: 为I/O0组供电，连接堆叠式Flash，根据Flash需求设置电压
- VDDIO1: 为I/O1组供电，连接堆叠式PSRAM，根据PSRAM需求设置电压
- VAON: 为AON域供电
- VRET: 为存储单元保持供电
- VCORE: 为数字内核供电
- VDCDC: 为射频模块供电

USB模拟模块通过USB_VBUS由5 V外部电源供电。芯片内部USB LDO将5 V电压转换为3.3 V，用于内部的USB差分对信号电平转换。

3.1.1.3 电源电路原理图

GR5526 SoC内部包含所有电源管理模块，可保证系统的正常和安全运行。以BGA83封装为例，电源模块的电路设计参考如图3-3所示。

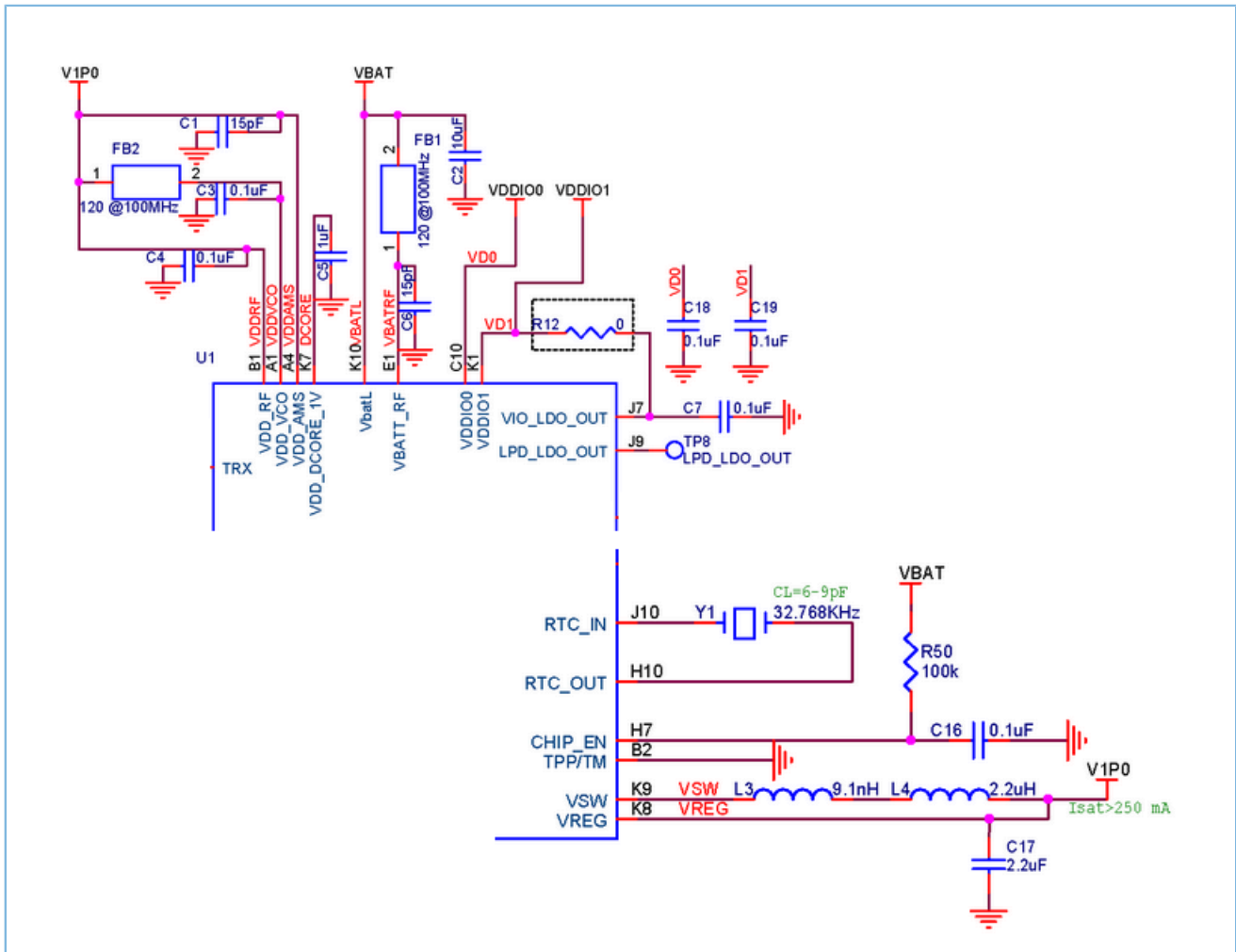


图 3-3 GR5526电源原理图

各引脚的功能以及连接描述如下：

- **VDD_RF**: 内部射频部分的供电引脚。连接至DC-DC开关电源的输出电压网络V1P0，连接一个0.1 µF滤波电容。
- **VDD_VCO**: 内部VCO部分的供电引脚。连接至DC-DC开关电源的输出电压网络V1P0，连接一个0.1 µF滤波电容。
- **VDD_AMS**: 内部模拟部分的供电引脚。连接至DC-DC开关电源的输出电压网络V1P0，连接一个15 pF滤波电容。
- **VDD_DIGCORE_1V**: 数字LDO输出引脚，为数字内核逻辑供电。连接一个1 µF滤波电容。
- **VBATL**: 芯片电源输入，电压范围：2.4 V ~ 4.35 V。连接一个10 µF滤波电容。电源波纹噪声不高于40 mV。
- **VBATT_RF**: 连接至VBATL

- **VIO_LDO_OUT:** 片上VDDIO LDO电源的输出引脚，为VDDIO引脚或外部传感器供电，可提供高达30 mA的负载电流。连接一个0.1 μF 去耦电容。
- **VSW:** DC-DC开关电源的输出引脚。连接两个电感（串联）：一个为9.1 nH电感（用于减少开关噪声引起的射频干扰），另一个为2.2 μH 功率电感，以及一个2.2 μF 电容，组成完整的DC-DC电路，输出V1P0电压给芯片供电，需通过外部电路连接到VDD_RF、VDD_AMS、VDD_VCO引脚上。
- **VREG:** DC-DC开关电源输出电压的反馈引脚，连接至V1P0电压网络。
- **VDDIO0:** I/O0电压域供电引脚，可由VIO_LDO_OUT或者外部稳压器供电，连接一个0.1 μF 滤波电容和内置Flash，电压值根据Flash需求设置。
- **VDDIO1:** I/O1电压域供电引脚，可由VIO_LDO_OUT或者外部稳压器供电，连接一个0.1 μF 滤波电容和内置PSRAM，电压根据PSRAM需求设为1.8 V。

以上使用的电容、磁珠以及电感的元器件选型，可参考表 3-1 和表 3-2。

表 3-1 推荐使用的去耦电容、磁珠器件

符号	描述	值	封装类型	推荐器件（制造商、型号）
C17	CAP CER X5R 10% 6.3 V	2.2 μF	0603	Murata GRM188R61C225KE15D
C3, C4, C7, C8, C16	CAP CER X7R 10% 10 V	0.1 μF	0402	Murata GRM155R71A104KA01D
C5	CAP CER X5R 10% 6.3 V	1 μF	0402	Samsung CL05A105K05NNNC
C2	CAP CER X5R 20% 10 V	10 μF	0603	Murata GRM188R61A106ME69
C1, C6	CAP CER NPO $\pm 5\%$ 50 V	15 pF	0402	Murata GRM1555C1H150JA01D
FB1, FB2	Ferrite Bead, 120 Ω @ 100 MHz, 400 mA, 500 mohm, 0603	120 Ω @ 100 MHz	0603	Murata BLM18AG121SN1

表 3-2 推荐使用的9.1 nH电感器件

符号	值	DC电阻（最大值）	饱和电流	长x宽x高（mm）	推荐器件（制造商、型号）
L3	9.1 nH	0.32 Ω	300 mA	1.0 x 0.5 x 0.5	Murata LQG15HS9N1J02D

表 3-3 推荐使用的2.2 μH 电感器件

符号	值	DC电阻（典型值）	饱和电流	长x宽x高（mm）	推荐器件（制造商、型号）
L4	2.2 $\mu\text{H} \pm 20\%$	0.3 Ω	250 mA	1.6 x 0.8 x 0.8	Sunlord MPH160809S2R2
		0.2 Ω	250 mA	1.6 x 0.8 x 0.8	Murata LQM18PN2R2MGH
		0.38 Ω	300 mA	1.6 x 0.8 x 0.8	Murata LQM18PN2R2MFH

2.2 μH 的功率电感用于PSM模式（Pulse Skip Mode）的DC-DC Buck电路中，且对整个DC-DC电路至关重要。该电路的饱和电流需大于250 mA，同时它的直流电阻会影响功耗，因此饱和电流大、直流电阻小的功率电感器件有利于系统的安全运行和性能提升。

3.1.1.4 I/O LDO

GR5526的I/O LDO默认输出1.8 V额定电压，为片上PSRAM供电。此外，它还可作为传感器等外围器件供电，最高负载电流为30 mA。

I/O LDO的电源输出引脚为VIO_LDO_OUT，该引脚需就近连接一个0.1 μF 去耦电容。

GR5526包含三个I/O电压域：两个数字电压域VDDIO0、VDDIO1以及一个数字混合电压域MSIO，对应的参考电平分别为VDDIO0、VDDIO1、VBATL。VIO_LDO_OUT与I/O电压域关系如下图所示：

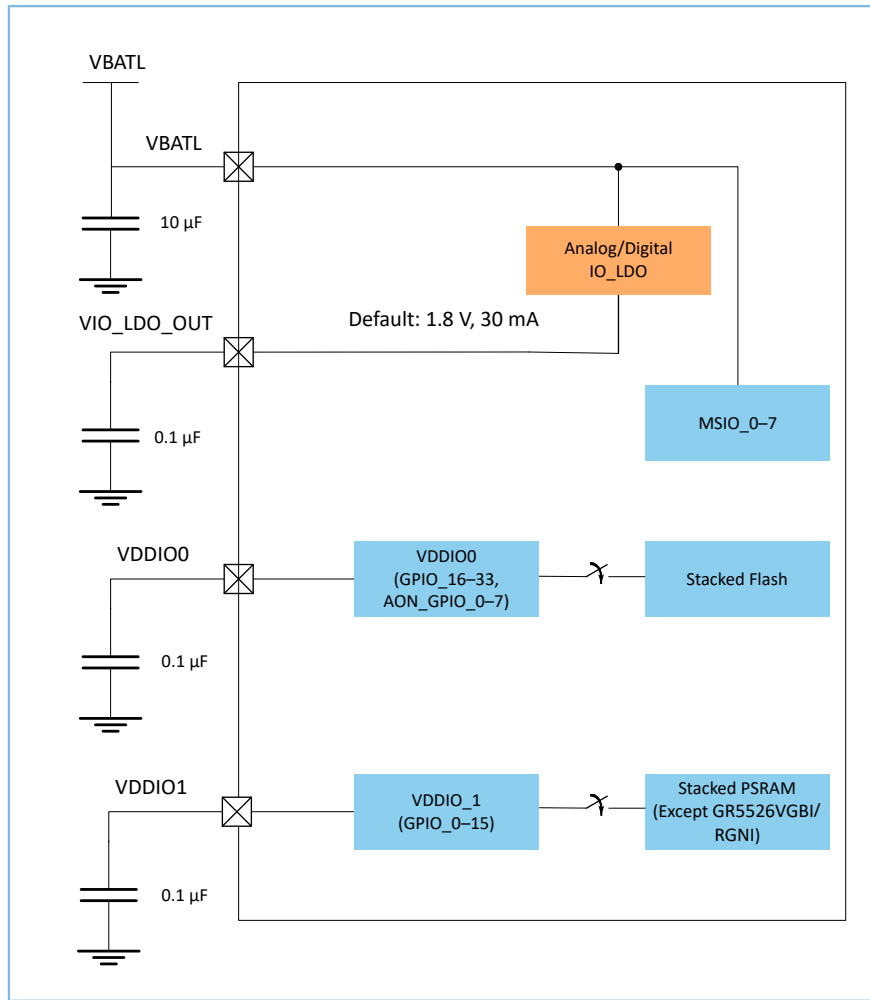


图 3-4 VIO_LDO_OUT与I/O电压域关系示意图

说明:

- 在GR5526VGBIP/GR5526RGNI中，VDDIO0输入电压范围为1.8 V~3.6 V，VDDIO1输入电压为1.8 V。
- 在GR5526VGBI/GR5526RGNI中，VDDIO0和VDDIO1的输入电压范围均为1.8 V~3.6 V。

3.1.2 时钟

3.1.2.1 简介

GR5526的系统时钟源由外部32 MHz晶振产生，RTC时钟源由外部的32.768 kHz晶振产生。

3.1.2.2 HFXO_32M

系统时钟是CPU时钟，晶振频率为32 MHz，其规格参数要求请参考表 3-4，元器件选型请参考表 3-5。

表 3-4 GR5526晶振规格参数

参数	说明	条件	最小值	典型值	最大值	单位
Crystal Freq	晶振频率			32		MHz
ESR	等效串联电阻				100	ohm
C _{load}	负载电容		6		8	pF
f-Xtal	晶振频率初始容差				±50	ppm
f-Xtal	晶振频率容差（随温度变化）				±30	ppm
f-Xtal	晶振频率容差（随产品使用年限变化）				±10	ppm
P _{DRV}	最大驱动功率				100	μW

表 3-5 推荐使用的32 MHz晶振

器件型号	Abracon ABM10W-32.0000MHZ-6-D1X-T3	TAITIEN G0068-X-006-3	Murata XRCGB32M000F5N10R0	TXC 8Z32000004
频率	32 MHz	32 MHz	32 MHz	32 MHz
初始容差	±10 ppm	±40 ppm	±50 ppm	±10 ppm
随温度变化后容差	±20 ppm	±30 ppm	±30 ppm	±20 ppm
负载电容	6 pF	6 pF	6 pF	8 pF
ESR	70 ohm	30 ohm	≤ 100 ohm	≤ 60 ohm
温度	- 40°C ~ +85°C	- 40°C ~ +105°C	- 40°C ~ +85°C	- 40°C ~ +85°C
长 x 宽 x 高 (mm)	2.5 x 2.0 x 0.60	2.5 x 2.0 x 0.60	2.0 x 1.6 x 0.60	2.5 x 2.0 x 0.60

说明:

32 MHz晶振负载电容须满足6 pF~ 8 pF，否则会影响系统的稳定和功耗。32 MHz晶振无需外接负载电容，但需要使用量产工具进行频率偏移校准，应用电路需为量产工具预留其所需接口或测试点，即预留SWDCLK、SWDIO、CLK_TRIM（除了MSIO外的任意GPIO）、GND、VBAT。

3.1.2.3 LFXO_32K

GR5526采用低功耗、低频时钟，用于延长电池使用寿命和深度睡眠模式。此外，GR5526采用外部32.768 kHz晶振，可提供更紧凑的时序和更高的精度，从而降低系统的整体功耗。

说明:

如对RTC精度要求不高，从节约成本的角度建议采用内部LFRC_32K时钟，不建议采用外部32.768 kHz晶振。

GR5526内嵌了一个可调节的负载电容，因此通常情况下，该晶振无需外接负载电容。

32.768 kHz晶振的规格参数要求请参考表 3-6；元器件选型请参考表 3-7。

表 3-6 32.768 kHz晶振规格参数

参数	说明	条件	最小值	典型值	最大值	单位
Crystal Freq	晶振频率			32.768		kHz
ESR	等效串联电阻				100,000	ohm
C _{load}	负载电容		6		9	pF
f-Xtal	晶振频率初始容差				±50	ppm
f-Xtal	晶振频率容差（随温度和芯片使用年限变化）				±250	ppm
P _{DRV}	最大驱动功率				0.5	μW

表 3-7 32.768 kHz晶振规格（推荐使用）

器件型号	Abracon ABS05-32.768KHZ-9-T
频率	32.768 kHz
初始容差	±20 ppm
随温度变化后容差	±250 ppm
负载电容	9 pF
等效串联电阻	90,000 ohm
温度	- 40°C ~ +85°C
大小（长 x 宽 x 高）mm	1.6 x 1.0 x 0.50

说明:

32.768 kHz晶振负载电容须满足6 pF~ 9 pF，否则会影响系统的稳定和功耗。

3.1.3 射频

3.1.3.1 简介

GR5526收发器的功能框图如图 3-5所示。

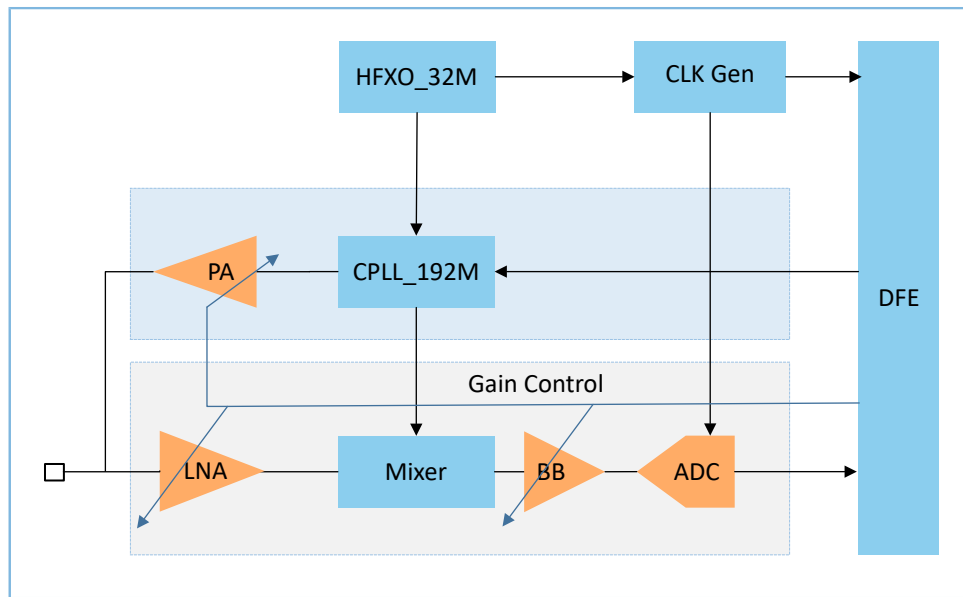


图 3-5 GR5526收发器框图

其工作原理描述如下：

- 接收端
 1. 天线接收到射频信号后，按照“低噪声放大器（Low Noise Amplifier, LNA）→ 混频器（Mixer）→ 基带（Baseband, BB）放大器 → 模数转换器（Analog-to-Digital Converter, ADC）”的接收路径处理并输出数字信号。
 2. 数字信号被发送到数字前端（DFE）进行解调。
 3. 数字前端提供自动增益控制（AGC）反馈信号，调整LNA和BB放大器的增益，以实现满足要求的最大信噪比（SNR）。
- 发射端
 1. 数字前端将数字信号传输给SX锁相环（CPLL_192M）进行调制。
 2. 调制后的载波通过功率放大器（Power Amplifier, PA）放大，放大系数可由数字增益配置。
 3. 调制后的信号通过低功率或高功率PA路径放大后发送到天线，然后天线将放大后的载波通过电磁波向外辐射。

说明:

射频载波和数字时钟均由HFXO_32M时钟产生。

3.1.3.2 射频电路原理图

GR5526最小系统中射频模块的电路原理图如下图所示。

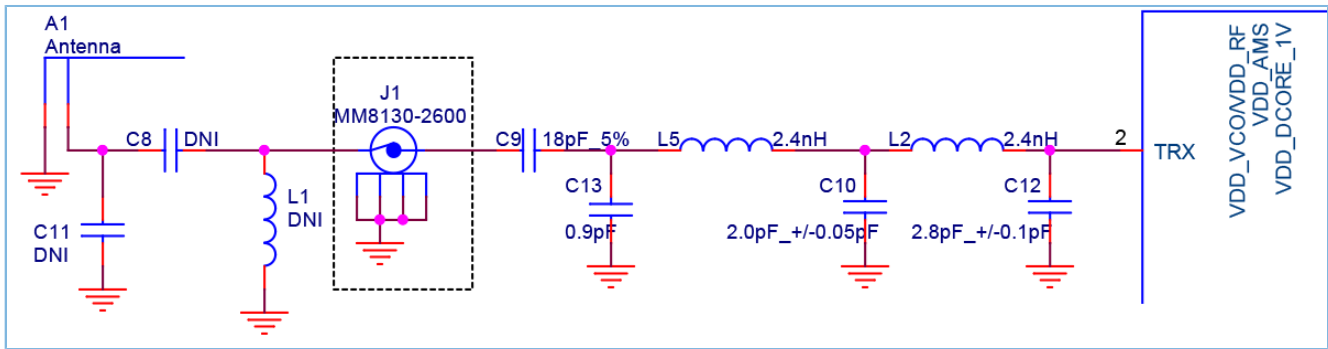


图 3-6 射频电路原理图

在该电路中，左侧的PI型匹配网络（由电感L1、电容C8、C11组成）对天线进行匹配；C9是隔直电容；右侧的PI型匹配网络（由电感L2、L5和电容C10、C12、C13组成）对芯片内部的PA进行匹配，与芯片TRX引脚相连。

电路中使用的电容C9、C10、C12、C13以及电感L2、L5的器件选型，请参考表 3-8。

表 3-8 射频电路推荐使用器件

符号	描述	值	封装尺寸	推荐器件（制造商、型号）
C9	CAP, CER, 18 pF, $\pm 2\%$, NPO, 0201, 50 V, $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$	18 pF	0201	Murata GRM0335C1H180GA01
C10	CAP, CER, 2.0 pF, ± 0.1 pF, NPO, 0201, 50 V, $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$	2.0 pF	0201	Murata GRM0335C1H2R0WA01D
C12	CAP, CER, 2.8 pF, ± 0.1 pF, NPO, 0201, 50 V, $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$	2.8 pF	0201	Murata GRM0335C1H2R8BA01D
C13	CAP, CER, 0.9 pF, ± 0.05 pF, NPO, 0201, 50 V, $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$	0.9 pF	0201	Murata GRM0335C1ER90WA01D
L2, L5	绕线电感, ± 0.1 nH, 50 mohm, Q = 20@250 MHz, $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$, 0201	2.4 nH	0201	Murata LQP03TG2N4B02

3.1.4 I/O引脚

GR5526提供软件可配置的I/O引脚复用功能，不同外设可复用在不同引脚上。当I/O引脚被配置为GPIO时，可设置为输入或输出，并可配置上拉或下拉电阻。当系统进入睡眠或深度睡眠模式时，除GPIO_10 ~ GPIO_25、GPIO_32和GPIO_33外的I/O引脚会保持其进入睡眠前的状态。只有AON_GPIO可将系统从睡眠/深度睡眠模式唤醒。

说明:

- 关于引脚复用的更多详细信息，请参考《GR5526 Datasheet》。
- 在电路应用设计中，分配I/O时应注意MSIO引脚不具备硬件中断功能。
- GR5526芯片配备2组PWM（PWM0和PWM1），每组提供三路独立的输出通道：PWMA、PWMB、PWMC。同一组内的三路PWM信号频率相同，不能单独设置，相位和占空比可通过寄存器配置。
- QSPI外设连接推荐方案：使用搭载GPU和DC的芯片系列（即GR5526RGNIP与GR5526VGBIP）时，将显示屏连接QSPI M2；使用QSPI Flash、QSPI PSRAM和QSPI LCD时，将Flash连接至QSPI M0、PSRAM连接至QSPI M1、显示屏连接至QSPI M2。
- GPIO_10 ~ GPIO_25、GPIO_32和GPIO_33在睡眠模式下不可用于输出。此时相关GPIO保持在高阻抗状态，可配置上拉或下拉。

3.1.5 串行调试接口

通过串行调试接口（Serial Wire Debug, SWD），可外接J-Link仿真器进行调试。

GR5526不同封装下的SWD接口对应的芯片引脚如表 3-9 所示。

表 3-9 SWDIO和SWCLK对应的芯片引脚

SWD接口	引脚（BGA83）	引脚（QFN68）
SWCLK	Pin D3	Pin 4
SWDIO	Pin E3	Pin 5

当不使用SWD接口时，这些引脚可复用为GPIO引脚。

3.2 PCB Layout设计指南

3.2.1 PCB叠层

建议BGA83封装的PCB板采用六层板，推荐的叠层结构（板厚1.6 mm）如下图所示。

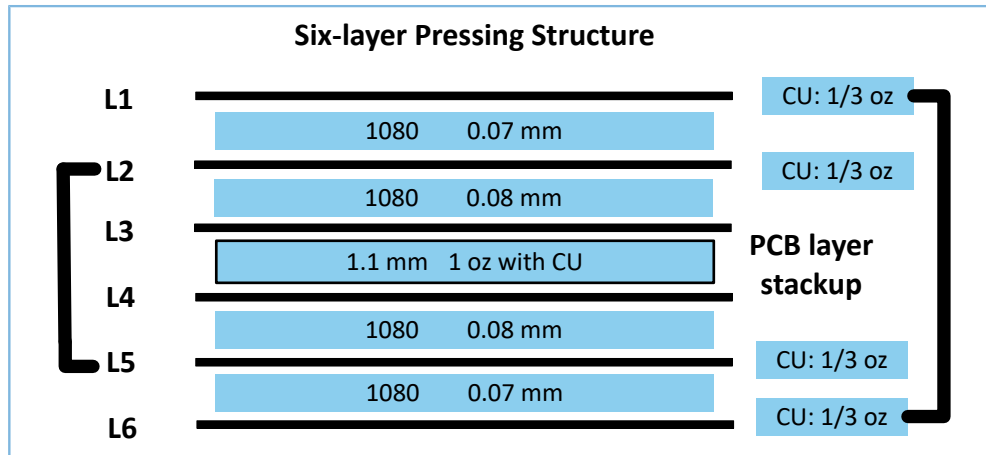


图 3-7 GR5526 PCB推荐叠层结构（BGA83）

第一层L1：顶层，主要用于放置元器件、走RF传输线及关键信号线。

第二层L2：内部地平面层，既用于接地返回路径，也作为50 Ω射频传输线和少量信号线的参考地平面。

第三层L3：内部布线层，铺设大量信号线。

第四层L4：内部布线层，铺设信号线和电源线。

第五层L5：内部地平面层，用于接地返回路径。

第六层L6：底层，主要用于放置元器件和信号线。

建议QFN68封装的PCB板采用四层板，推荐的叠层结构（板厚1.6 mm）如下图所示。

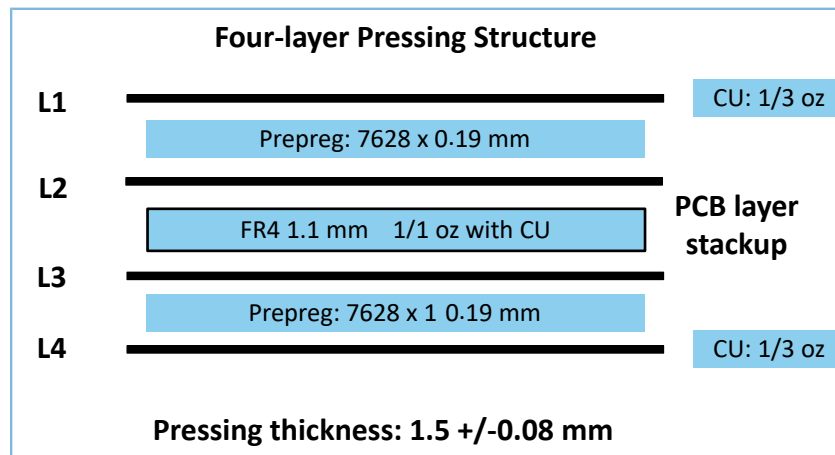


图 3-8 GR5526 PCB推荐叠层结构（QFN68）

第一层L1：顶层，主要用于放置元器件、走RF传输线及关键信号线。

第二层L2：地平面层，既用于接地返回路径，也作为50 Ω射频传输线的参考地平面。

第三层L3：内部布线层，用于分隔各电源域，并铺设少量信号线。

第四层L4：底层，主要用于放置元器件和信号线。

3.2.2 元器件布局

所有高频工作组件的布局应尽可能紧凑，有利于防止走线之间的交叉耦合，并将对系统工作产生负面影响的寄生效应降到最低。

产品整体布局需要考虑：主芯片根据产品结构情况尽量靠近天线接口位置，射频走线下方尽量避免布局其他功能部分的元器件，优先保证射频器件的布局和走线位置。

3.2.3 电源

电源是保证芯片可靠运行的基本要素，电源处理不当会带来ESD性能差、辐射超标等整机系统问题。所以在PCB设计时需要优先处理好关键电源的布局和走线。其中DC-DC电源和RF输入电源尤为重要，需遵循以下设计要求。

3.2.3.1 DC-DC开关电源

以采用BGA83封装的芯片为例，芯片内置DC-DC开关电源，DC-DC的PCB布局需满足以下设计要求：

1. DC-DC电源输出外围器件L3（电感9.1 nH）、L4（电感2.2 μ H）和C15（2.2 μ F）应尽可能靠近芯片VSW和VREG引脚，建议距离不超过3 mm。
2. DC-DC电源输出的VSW在没有经过电感之前干扰比较强，因此需要和其它网络保持至少0.2 mm的间距。主要会影响V1P0和DIGCORE电源。
3. 电感L3和L4最好垂直放置，避免电感耦合。电容C17（2.2 μ F）应放置在电感L4之后，且VREG反馈调节电源应在电容后取电。
4. 电容的接地脚应尽可能靠近芯片VSS_BUCK接地脚，电容的地脚器件焊盘就近打地过孔。建议和芯片的主地引脚用地平面连接，使电源路径回路最短。

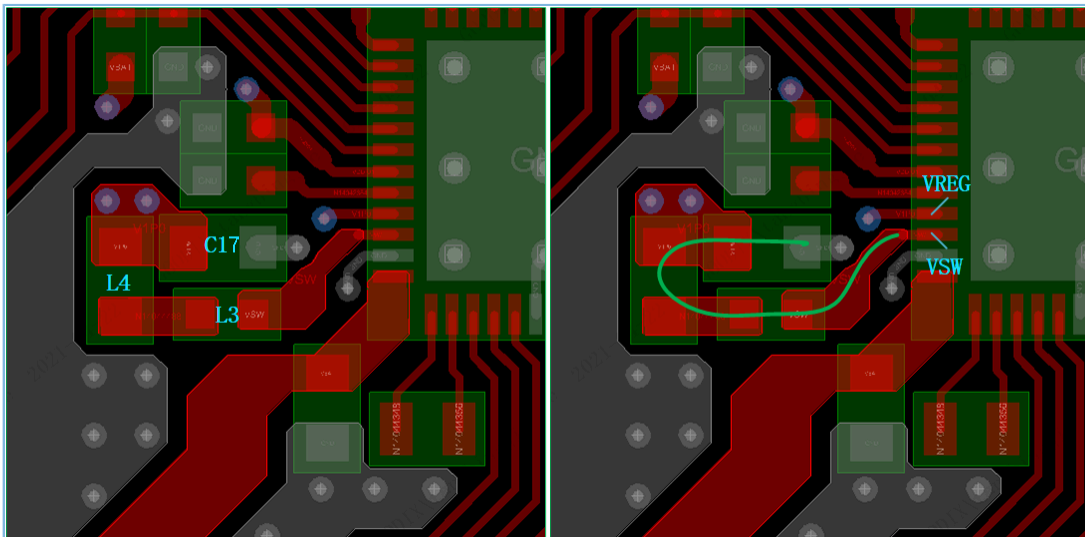


图 3-9 DC-DC电源输出参考布局和走线

说明:

图 3-9中绿色线为输出电源路径。

3.2.3.2 RF输入电源

RF输入电源端是一个非常重要的设计点，如处理不好会引起诸多辐射超标的问题。RF输入电源端PCB layout设计需满足如下要求：

1. RF输入电源VDD_RF、VDD_VCO、VDD_AMS的去耦电容都应尽可能靠近各芯片的引脚处，最好控制在1 mm左右，不要超过3 mm。尽量保证与芯片在同一层，且路径需要先经过电容再到芯片电源引脚（即如果换层连接，过孔需要打在去耦电容附近）。
2. 电源走线应尽量短，宽度尽量粗，至少保证线宽0.2 mm以上，并和其它网络能够保持大于等于0.2 mm的间距。

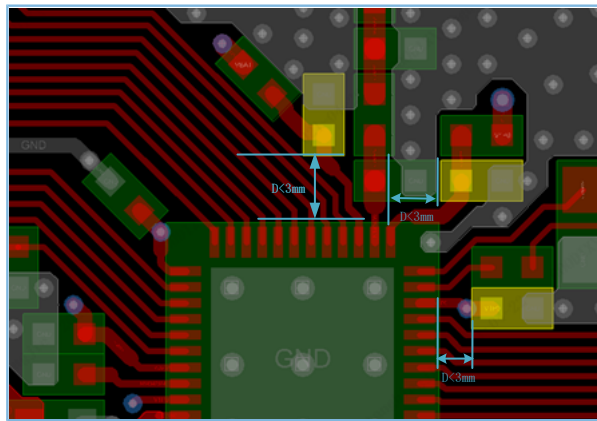


图 3-10 RF输入电源参考布局和走线

3.2.4 时钟

晶振尽可能放置于IC附近，建议不超过4 mm，这将最大限度地减少输入引脚上的额外容性负载，并降低晶振与其他信号串扰和干扰的可能性。另外，请确保在晶振下方或晶振走线旁边无其他信号线。

32 MHz晶振走线尽可能包地处理，如晶振下方有完整地平面且没有其他干扰信号的情况下，可在晶振焊盘正下方做开窗处理，减小焊盘寄生电容。

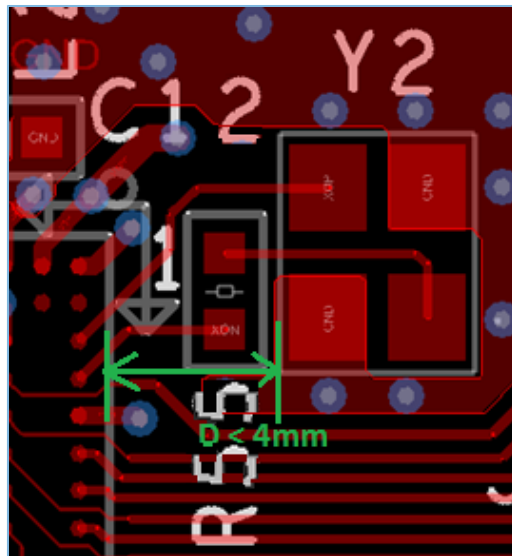


图 3-11 BGA83 PCB参考时钟布局

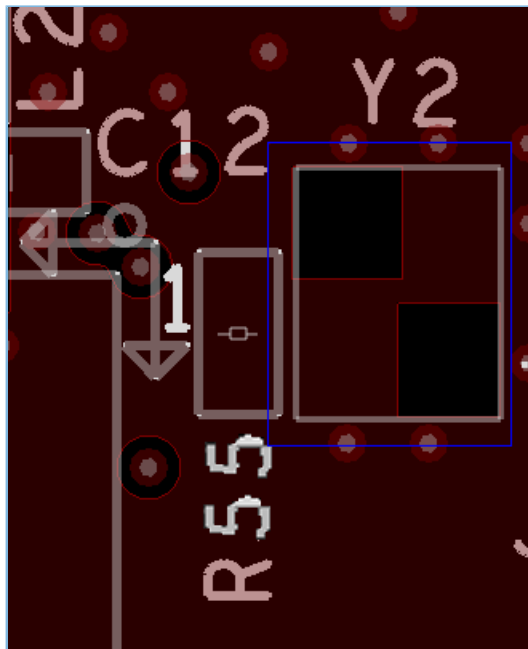


图 3-12 BGA83晶振焊盘下方开窗

3.2.5 射频端口

GR5526提供单端射频输入输出（Radio Frequency Input/Output, RFIO）端口。连接RFIO端口与天线的射频传输线特性阻抗要求为 $50\ \Omega$ ，但由于RFIO端口阻抗并非 $50\ \Omega$ ，因此需使用一个匹配网络来匹配RF端口与 $50\ \Omega$ 传输线之间的阻抗。

匹配网络的元器件必须尽可能地靠近RFIO引脚，将匹配网络的第一个元器件放置在离RFIO引脚不超过 $1\ \text{mm}$ 的位置。射频端口的PCB布局设计，请参考下图。

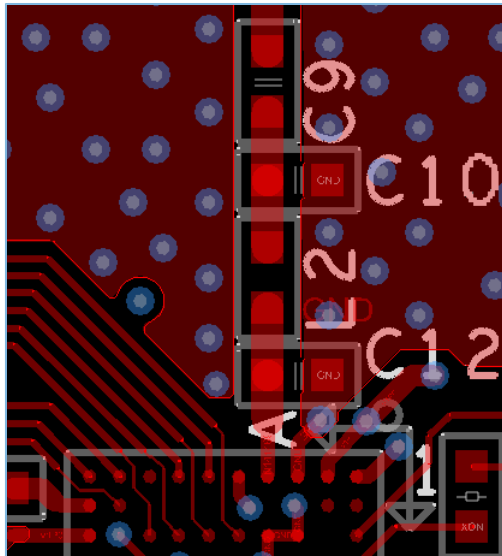


图 3-13 射频端口PCB布局

说明:

RF走线尽可能短而直，如结构限制需要转弯，则转角处要求倒圆弧。禁止出现直角或小于 90° 夹角走线。

RF线优选走表层，避免打过孔换层，避免走线存在分支，RF走线下方必须保证完整参考地平面。RF线宽尽量设计和匹配器件焊盘一致，避免由于元器件的焊盘宽度与走线宽度不一致而破坏 $50\ \Omega$ 传输线特性阻抗的连续性。

以4层板设计为例，射频走线以L2地层作为参考平面的微带传输线，其相关尺寸参数为：

- 走线宽度： $559\ \mu\text{m}$
- 走线与顶层的间距： $178\ \mu\text{m}$
- 顶层与L2层的间距： $432\ \mu\text{m}$

对于该传输线，其PCB采用FR-4材质，顶层走线的铜箔厚度为0.5盎司。在实际设计中，射频走线需要求板厂做单端 $50\ \Omega$ （ $\pm 10\%$ ）阻抗控制。

另外，沿传输线每隔 $1.25\ \text{mm}$ 放置一个接地过孔，并紧邻匹配元器件的接地焊盘。

在靠近天线馈电点位置布局一个PI型匹配网络，以便进行天线匹配。天线匹配网络的参数可根据实际使用的天线进行调整，并建议使用成熟的天线方案和天线厂商提供的推荐参数。

3.2.6 接地

GR5526需要进行可靠的接地连接，使用尽可能多的地过孔在IC的下方创建一个接地区域，并将其连接到内部和底部的GND层。

QFN类封装底部中心的接地焊盘可通过 3×3 、 4×4 或更多的过孔矩阵连接至地平面层。

VBATL的 $10\ \mu\text{F}$ 滤波电容地需要靠近芯片主地，建议尽可能通过敷铜的方式连接，如3.2.3 电源所述。DC-DC电源的接地VSS_BUCK返回路径确保完好，良好的接地有利于芯片的稳定安全工作。

基于高速时钟运行的QSPI外设（如QSPI PSRAM）会在I/O电平翻转时受到底噪的影响，从而影响RF性能，因此将相关外设正确接地尤为重要。QSPI外设接地应遵循以下规则：

- 所有信号（S00 ~ S03、CLK和CS）的参考层应连续且完整。

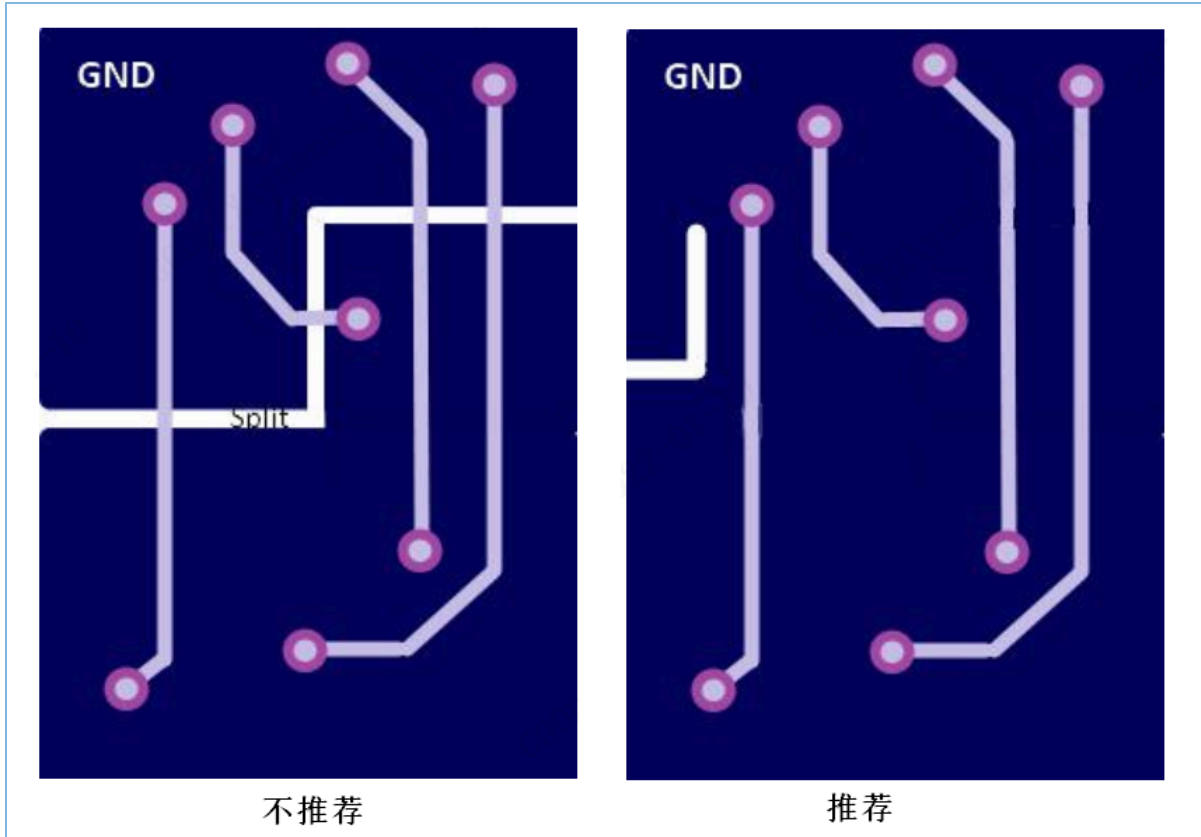


图 3-14 QSPI外设接地走线

- 将QSPI GND与解耦电容GND相连，避免噪音通过耦合进入整机系统。

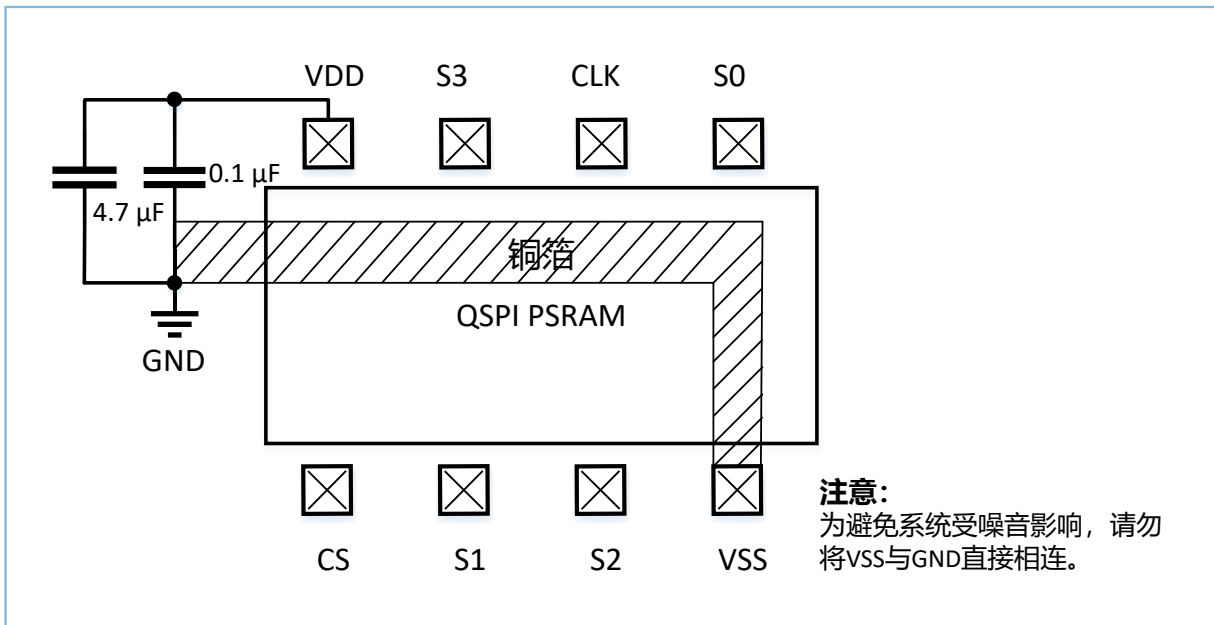


图 3-15 连接QSPI GND与解耦电容GND

说明:

- 确保PCB上的接地焊盘形状与芯片的焊盘形状保持一致，包括裸露的焊盘部分（QFN68）。
- 确保TRX引脚的旁边有接地过孔。
- 对于采用BGA83封装的芯片，尽可能将接地过孔放置在接地焊球附近。

3.2.7 系统ESD防护设计

3.2.7.1 系统级ESD设计要求

系统级ESD设计是一个较为复杂的工程，工程师在原理图、PCB和产品设计方面须遵循以下设计规则。

3.2.7.1.1 原理图设计要点

1. 如3.1.1 电源所述，GR5526芯片采用单独的LDO供电。
2. 在充电接口CHAR+、CHAR-端分别串接磁珠，可衰减静电能量，并在磁珠前端增加TVS管进行ESD防护处理，如下图所示。

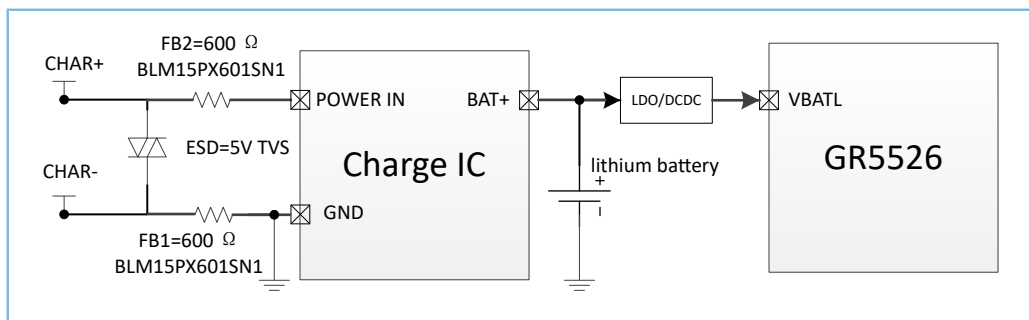


图 3-16 电源充电接口ESD处理

TVS管和磁珠选型要求和推荐型号如下表所示：

表 3-10 TVS管选型要求

参数	说明	最小值	典型值	最大值
$V_{RWM}(V)$	反向关断电压	-	5 V	-
$V_{BR}(V)$	击穿电压	-	7 V	-
$V_{clamp}(V)$	钳位电压	-	6 V	-
$V_{ESD}(kV)$	抗ESD能力	<ul style="list-style-type: none"> • 接触放电: ± 10 kV • 空气放电: ± 12 kV 	-	-

表 3-11 磁珠选型要求

参数	说明	最小值	典型值	最大值
FB (Ω)	100 MHz下的阻抗值	-	600 Ω	-
$I_{额定电流}$ (mA)	额定工作电流	-	900 mA	-

参数	说明	最小值	典型值	最大值
R _{DC} 最大电阻 (mΩ)	直流最大电阻	-	230 mΩ	-

表 3-12 TVS管选型推荐型号

推荐型号	V _{RWM} (V)	V _{BR} (V)	V _{clamp} (V)	工作温度	V _{ESD} (kV)	封装	品牌
AZ5C25-01B	5	9	6	-55°C ~ 85°C	<ul style="list-style-type: none"> 接触放电: ±13 kV 空气放电: ±16 kV 	0201	Amazing Micro.
OVE38E32S1M	6.5	7	10	-55°C ~ 85°C	<ul style="list-style-type: none"> 接触放电: ±25 kV 空气放电: ±25 kV 	0402	OVREG

表 3-13 磁珠选型推荐型号

推荐型号	阻抗@100 MHz	额定电流	DC最大电阻	工作温度	封装	品牌
BLM15PX601SN1	600 Ω	900 mA	230 mΩ	-55°C ~ 125°C	0402	Murata
WLBD1005HCU601TL	600 Ω	900 mA	230 mΩ	-55°C ~ 125°C	0402	Walsin

3. 对于金属外壳的产品，金属外壳接地点和主板地之间串接磁珠，避免静电干扰直接进入主板。

3.2.7.1.2 PCB布局设计要点

1. GR5526 PCB GND布局设计建议:

- 建议BGA83封装的芯片采用六层及以上PCB设计，QFN68封装的芯片采用四层及以上PCB设计。GR5526芯片邻层为完整的GND层，完整可靠的接地层有利于ESD静电的快速泄放。
- 芯片GND引脚先在L1顶层与主板GND互连，后再通过过孔与PCB其他层GND互连。
- 采用QFN68封装的芯片，VSS_BUCK GND引脚需要靠近输入电容（10 μF）地脚，通过就近打至少2个过孔在其它层与EPAD互联。该引脚走线线宽需0.25 mm以上，减少电源/GND回路阻抗。

2. 充电接口触点PAD布局及设计要求:

- 建议充电接口CHAR+、CHAR-的触点PAD尽量与GR5526芯片布局在不同层。如充电PAD与芯片布局在同一层，充电接口触点（CHAR+、CHAR-）与采用QFN68封装的芯片间距应在4 mm以上，与采用BGA83封装的芯片间距应在8 mm以上，且越宽越好。

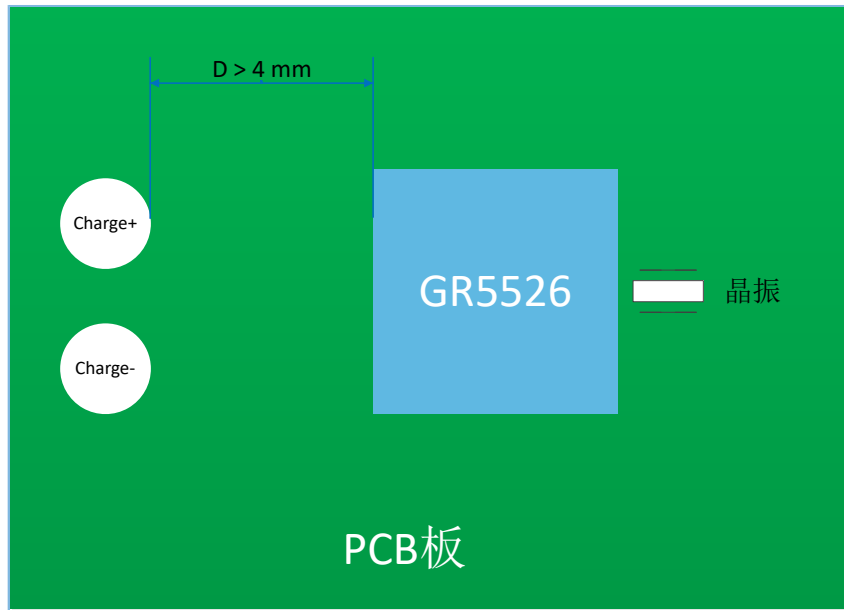


图 3-17 充电接口触点PAD与芯片间距示意图 (QFN68)

- 不可将充电接口触点PAD放置在对ESD敏感的信号（包括时钟、复位、通信信号）、晶振或VDD_AMS引脚附近，特别是对于采用BGA83封装的芯片。对ESD敏感的信号应进行包地处理。
3. 滤波电容应紧靠GR5526芯片的电源引脚放置，保持最小的电源回路面积，增强滤波效果。

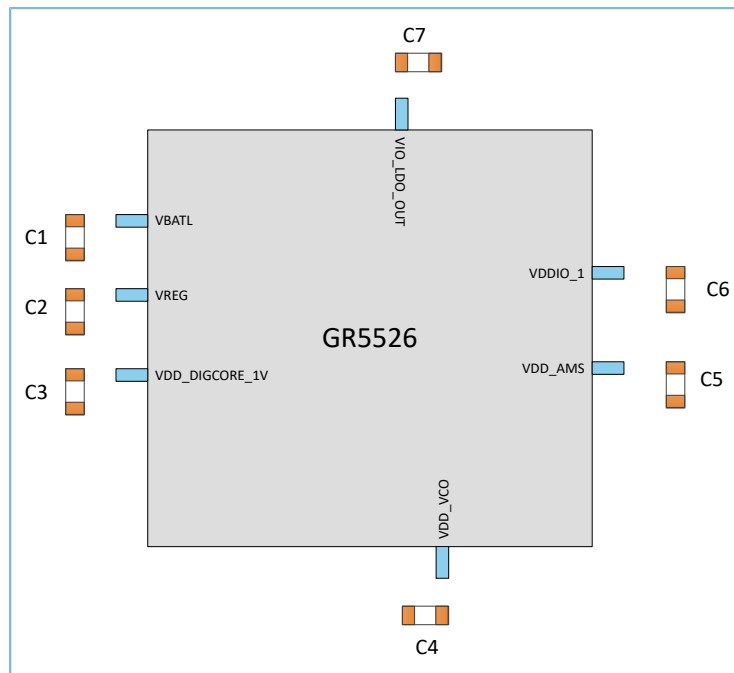


图 3-18 电源滤波电容布局示意图

4. 由于I/O引脚易受静电干扰影响，建议通信信号网络尽量布局在PCB中间层并用GND屏蔽，且易受干扰的时钟、复位等信号不要靠近PCB板边缘走线，最好能包地处理。

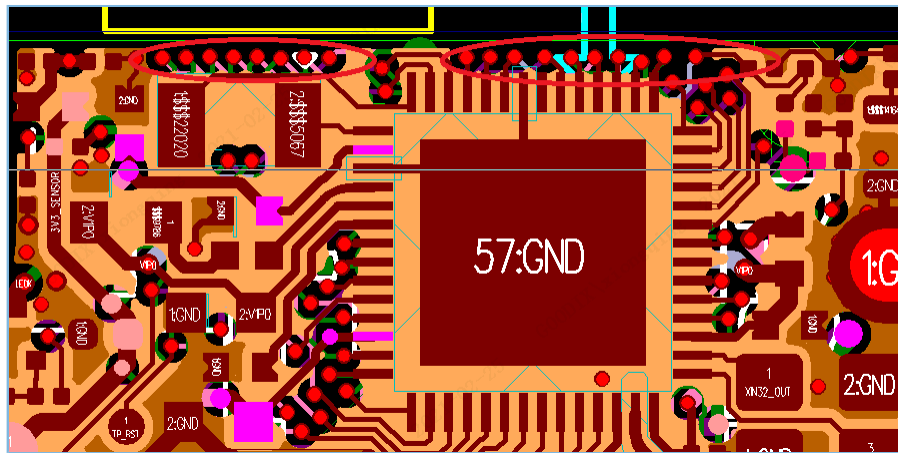


图 3-19 错误的IO走线处理（未包地）

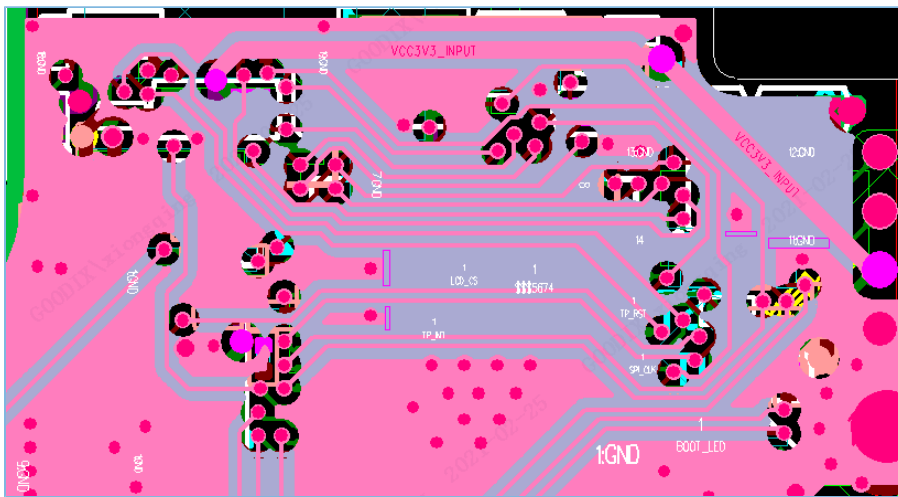


图 3-20 正确的IO走线处理

5. 电容或ESD防护器件等的走线要贯穿焊盘，避免通过长引线连接到焊盘，导致滤波或防护效果变差。

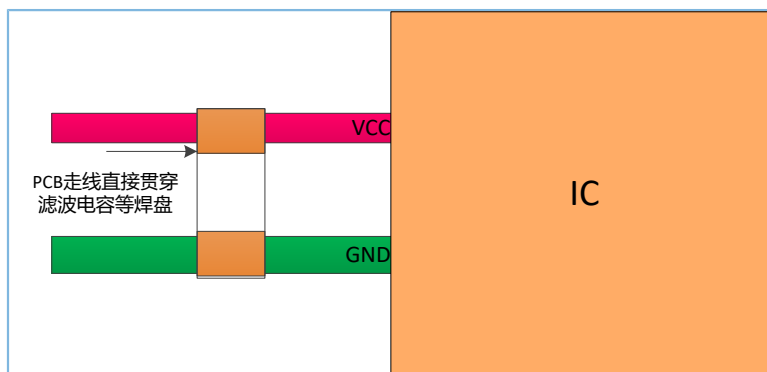


图 3-21 正确的电容或ESD防护器件走线

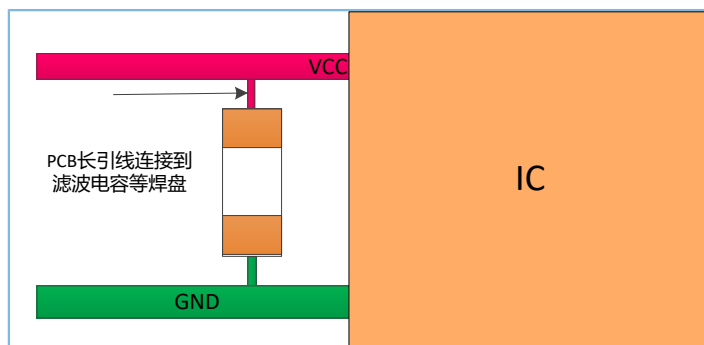


图 3-22 错误的电容或ESD防护器件走线

3.2.7.1.3 产品结构设计要点

- 外壳缝隙要密封，阻断静电进入。
- 金属外壳接地点要串接磁珠后再连接到主板的GND回路，防止静电通过金属外壳直接进入主板。
- 结构上不允许有悬浮金属，触摸与显示等传感器模组的钢板补强需要接地处理。
- 结构上需尽量避免主板与触摸、显示等传感器模组FPC重叠区域紧密接触，同时建议主板连接器裸露区域贴高温胶防止结构上短路及静电串入。
- 对板上裸露引脚（如I/O和RF引脚）应采取串接TVS管等ESD防护措施。

3.2.7.2 生产、运输、调试阶段ESD注意事项

在生产、运输、调试等阶段要严格按照ESD管控要求执行，避免ESD事件发生。

- 需佩戴防静电手环，禁止用手或金属镊子直接夹取芯片。
- 使用静电袋或防静电托盘装芯片。
- 烙铁、焊接台、测试仪器需有防静电措施。
- 生产、运输环节需严格按照产线ESD防控要求执行。

GR5526RGNIP QFN68封装的参考电路原理图如下图所示：

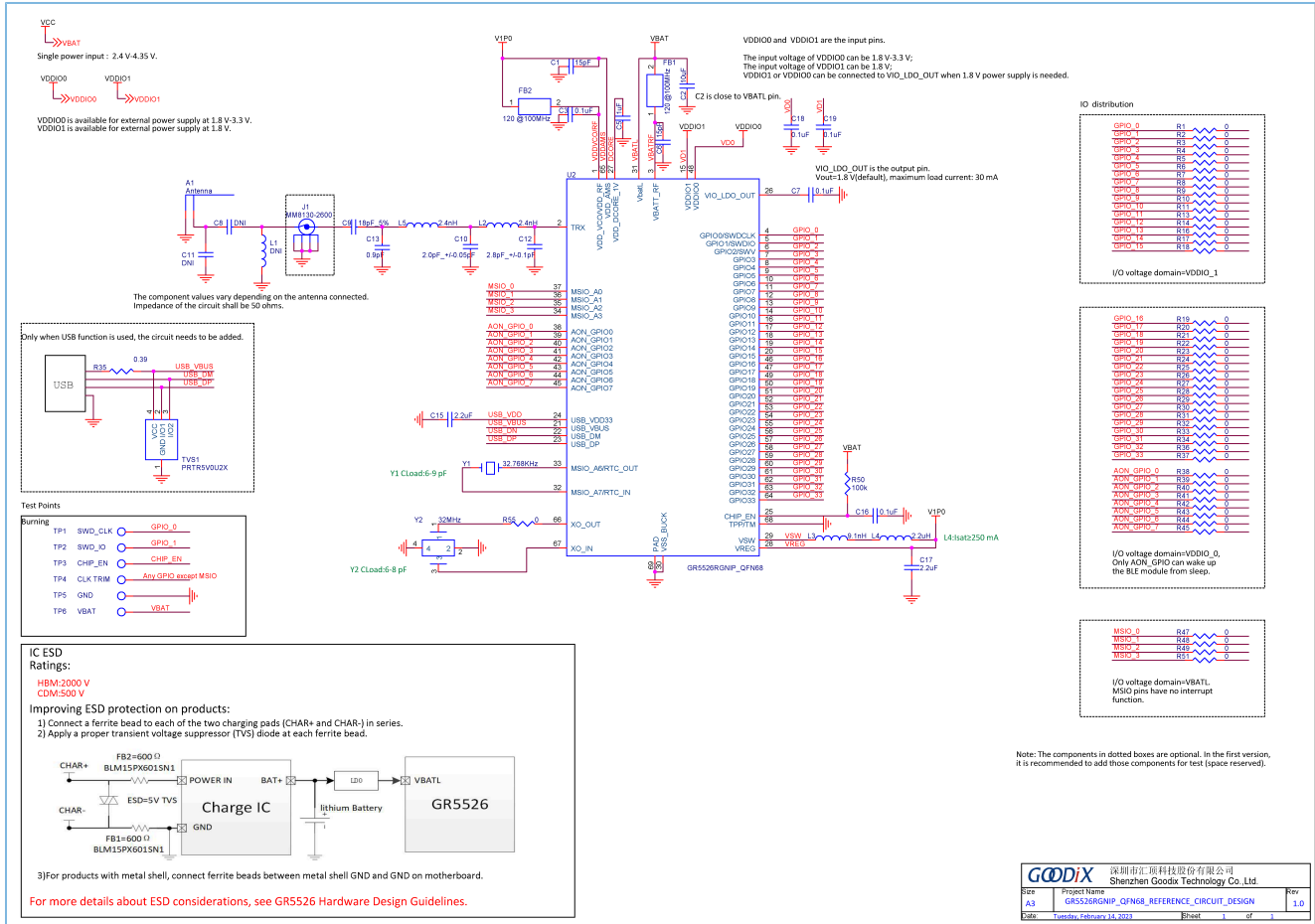
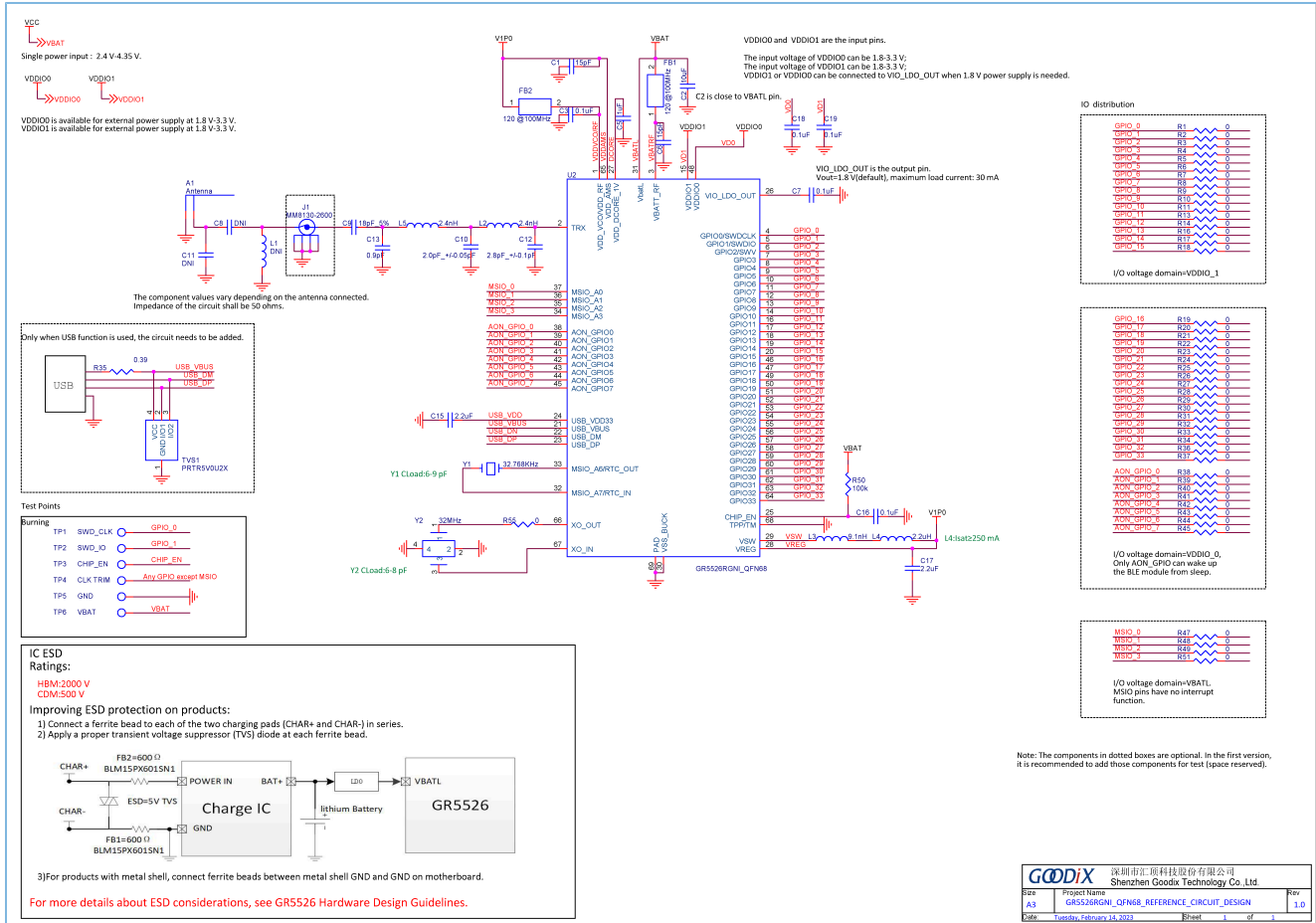


图 4-3 GR5526RGNIP QFN68封装的参考电路

GR5526RGNI QFN68封装的参考电路原理图如下图所示:



GOODIX 深圳市汇顶科技股份有限公司 Shenzhen Goodix Technology Co., Ltd.			
Size	Project Name	Rev	
A3	GR5526RGNI_QFN68_REFERENCE_CIRCUIT_DESIGN	1.0	
Date	1/26/2024, February 18, 2024	Sheet	1 of 1

图 4-4 GR5526RGNI QFN68封装的参考电路

5 常见问题

5.1 为什么睡眠时的功耗偏高？

- 问题描述：

在测试睡眠功耗时，不同的I/O配置会出现睡眠功耗不一致的情况。应如何在睡眠前正确配置I/O？

- 问题分析：

睡眠时的功耗偏高，有可能是没有正确配置I/O：

- I/O处于浮空状态。
- 错误地配置了I/O的上下拉。

这些错误的配置会导致系统漏电，因此，需要在进入睡眠之前正确配置I/O的状态。

- 处理方法：

正确配置I/O：

- I/O在外部有上下拉或作为驱动输出使用时，不需要配置上下拉。
- I/O未使用或工作在输入模式下无外部上下拉时，则需要配置该I/O为内部下拉。

关于睡眠功耗的设置，具体操作请参考《GR5526功耗模式及功耗测量说明》。

5.2 射频PI电路可以简化或移除吗？

- 问题描述：

电路设计时，因受PCB板的空间限制，元器件布局比较困难。目前推荐的射频PI电路能否更改？

- 问题分析：

射频线上有两个推荐的PI电路，即靠近GR5526的PI电路和靠近天线端的PI电路。这两个电路是否可以简化或移除，需要区别对待。

- 处理方法：

靠近GR5526端的PI电路用于匹配芯片内部PA，不能移除。该电路的电感值和电容值也不能改变，必须保持和推荐电路一致的。从芯片PI出来后RF通道上的阻抗是50 Ω，可以兼容市面上任意2.4 GHz频段的天线（2400 MHz ~ 2484 MHz）。

靠近天线端的PI电路是用于匹配天线的，该电路可以根据所使用的天线进行更改。天线的匹配问题，可以通过矢量网络分析仪测试S11参数或史密斯圆图进行简单的匹配调节。但是天线的增益、方向性等其他指标则建议寻求专业的天线厂完成匹配测试。

6 术语和缩略语

表 6-1 术语和缩略语

名称	描述
ADC	Analog-to-Digital Converter, 模/数转换器
AGC	Automatic Gain Control, 自动增益控制
AMS	Analog Mix Signal, 模拟混合信号
AoA/AoD	Angle of Arrival/Angle of Departure, 到达角/出发角
BB	Baseband, 基带
BGA	Ball Grid Array Package, 球栅阵列封装
Bluetooth LE	Bluetooth Low Energy, 低功耗蓝牙
BUCK	一种降压型DC-DC转换器
CPLL_192M	192 MHz 锁相环 (PLL)
DC	Display Controller, 显示控制器
DC-DC	DC-to-DC Converter, DC-DC转换器
ESD	Electrostatic Discharge, 静电保护
ESR	Equivalent Series Resistance, 等效串联电阻
FPU	Floating Point Unit, 浮点运算器
GPIO	General-purpose Input/Output, 通用输入输出
GPU	Graphics Processing Unit, 图形处理器
LDO	Low-dropout, 低压差线性稳压器
LNA	Low Noise Amplifier, 低噪声放大器
PCB	Printed Circuit Board, 印制电路板
PMU	Power Management Unit, 电源管理单元
PSRAM	Pseudostatic RAM, 伪静态随机存储器
QFN	Quad Flat No-Lead Package, 方形扁平无引脚封装
QSPI	Queued Serial Peripheral Interface, 队列串行外设接口
RoHS	Restriction of Hazardous Substances Directive, 欧盟《关于限制在电子电气设备中使用某些有害成分的指令》
SiP	System-in-Package, 系统级封装
SoC	System-on-Chip, 系统级芯片
SPI	Serial Peripheral Interface, 串行外设接口
SVHC	Substance of Very High Concern, 高关注材料
SWD	Serial Wire Debug, 串行线调试
SWO	Serial Wire Output, 串行线调试

名称	描述
Tg	Glass Transition Temperature, 玻璃态转化温度
USB	Universal Serial Bus, 通用串行总线
UART	Universal Asynchronous Receiver/Transmitter, 通用异步收发传输器
HFXO_32M	External 32 MHz Crystal Oscillator, 外部32 MHz晶振

7 附录：QFN和BGA封装指南

GR5526 QFN和BGA封装符合MSL 3以及RoHS绿色环保标准。RoHS（Restriction of Hazardous Substances Directive）是欧盟于2003年2月发布的对电子器件中有害物质含量的限制标准。MSL 3（Moisture Sensitivity Level 3）即潮湿敏感度测试等级3。MSL 3表明潮湿敏感器件从干燥袋中取出后，可暴露在最高温度30°C和最大相对湿度60% RH的环境中。

GR5526储存条件：

- 温度：< 40°C
- 相对湿度：<90% RH
- 保存期限：12个月

打开包装后，GR5526应该在48小时内进行回流焊接，环境条件如下：

- 温度：< 30°C
- 相对湿度：<60% RH
- 储存湿度：<10% RH

采用BGA83封装的芯片，无铅焊料和锡铅焊料在一般PCB设计中使用相同的应用规则。由于无铅焊料具有更高的回流温度和兼容性，因此在无铅应用中，只需考虑PCB板的表面涂层和PCB板材质。QFN和BGA封装在PCB板上的安装以及焊点质量会受到许多因素的影响，包括：地/散热焊盘区域的焊锡膏量、散热焊盘周边和散热焊盘区域的钢网设计、过孔类型、电路板厚度、封装铅涂层、电路板表面涂层、焊锡膏类型和回流焊的温度曲线等。

说明：

本附录旨在为用户提供芯片主板开发设计和表面组装工艺指南。用户需结合自身表面组装实践和要求，优化芯片焊接工艺。

为了保证焊点的可靠性，在设计主板焊盘和焊锡膏印刷时需要特别注意。

通常情况下，可根据厂商指南或遵循IPC-SM-782等行业标准设计芯片封装的PCB焊盘。这里主要依据国际电子工业连接协会（Association Connecting Electronics Industries, IPC）相关标准来设计GR5526 PCB焊盘。并且，由于GR5526芯片封装底部中央位置有一块大面积裸露焊盘，因此还需在IPC标准基础上增加特定的限制条件。使用的焊盘图案充分考虑了引线 and 封装材料的容差。

7.1 封装信息

GR5526支持BGA83和QFN68封装，可满足不同环境下的要求。

7.1.1 BGA83

GR5526VGBIP和GR5526VGBI采用GR5526 BGA83封装，包含83个引脚，封装尺寸为4.3 x 4.3 x 0.96（mm），符合MSL 3标准。

表 7-1 BGA83封装信息

参数	值	单位	容差
封装尺寸	4.3 x 4.3	mm	±0.1 mm
BGA焊球数量	83		
总厚度	0.96	mm	±0.1 mm
BGA焊球间距	0.40		±0.05 mm
焊球直径	0.20		±0.05 mm
焊球高度	0.14		±0.05 mm

BGA83封装的外形尺寸如下图所示。

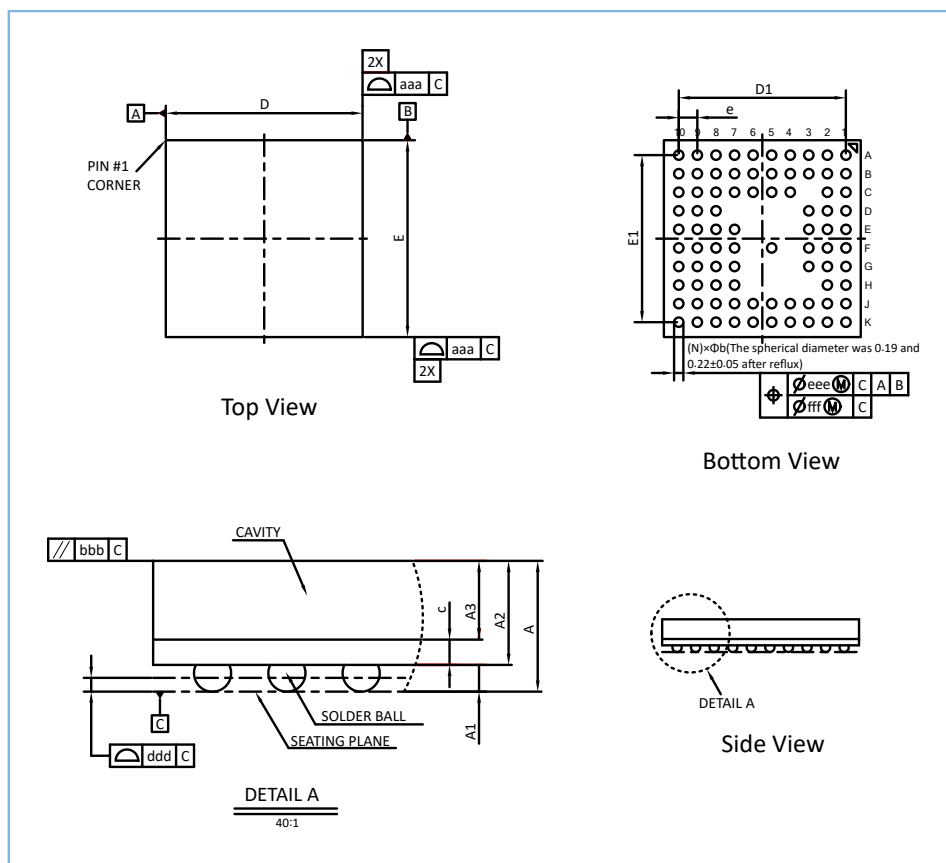


图 7-1 BGA83封装外形尺寸

说明:

上图并非按照实物比例绘制。

表 7-2 BGA83封装尺寸

符号	尺寸 (单位: mm)			尺寸 (单位: inch)		
	最小值	正常值	最大值	最小值	正常值	最大值
A	0.860	0.960	1.060	0.034	0.038	0.042

符号	尺寸（单位：mm）			尺寸（单位：inch）		
	最小值	正常值	最大值	最小值	正常值	最大值
A1	0.090	0.140	0.190	0.004	0.006	0.007
A2	0.770	0.820	0.870	0.030	0.032	0.034
A3	0.620	0.650	0.680	0.024	0.026	0.027
c	0.140	0.170	0.200	0.006	0.007	0.008
D	4.200	4.300	4.400	0.165	0.169	0.173
E	4.200	4.300	4.400	0.165	0.169	0.173
D1	-	3.600	-	-	0.142	-
E1	-	3.600	-	-	0.142	-
e	-	0.400	-	-	0.016	-
b	0.150	0.200	0.250	0.006	0.008	0.010
aaa	0.100			0.004		
bbb	0.100			0.004		
ddd	0.080			0.003		
eee	0.150			0.006		
fff	0.050			0.002		

说明:

单位为英寸的值由对应的毫米值转换而来，并保留到小数点后第3位。

7.1.2 QFN68

GR5526RGNI和GR5526RGNI采用GR5526 QFN68封装，包含68个引脚，封装尺寸为7 x 7 x 0.85（mm），符合MSL 3标准。

表 7-3 QFN68封装信息

参数	值	单位	容差
封装尺寸	7.0 x 7.0	mm	±0.05 mm
QFN焊盘数量	68		
总厚度	0.85	mm	±0.05 mm
QFN焊盘间距	0.35		±0.05 mm
焊盘宽度	0.15		±0.05 mm
裸露焊盘大小	5.49 x 5.49		±0.1 mm

QFN68封装的外形尺寸如下图所示。

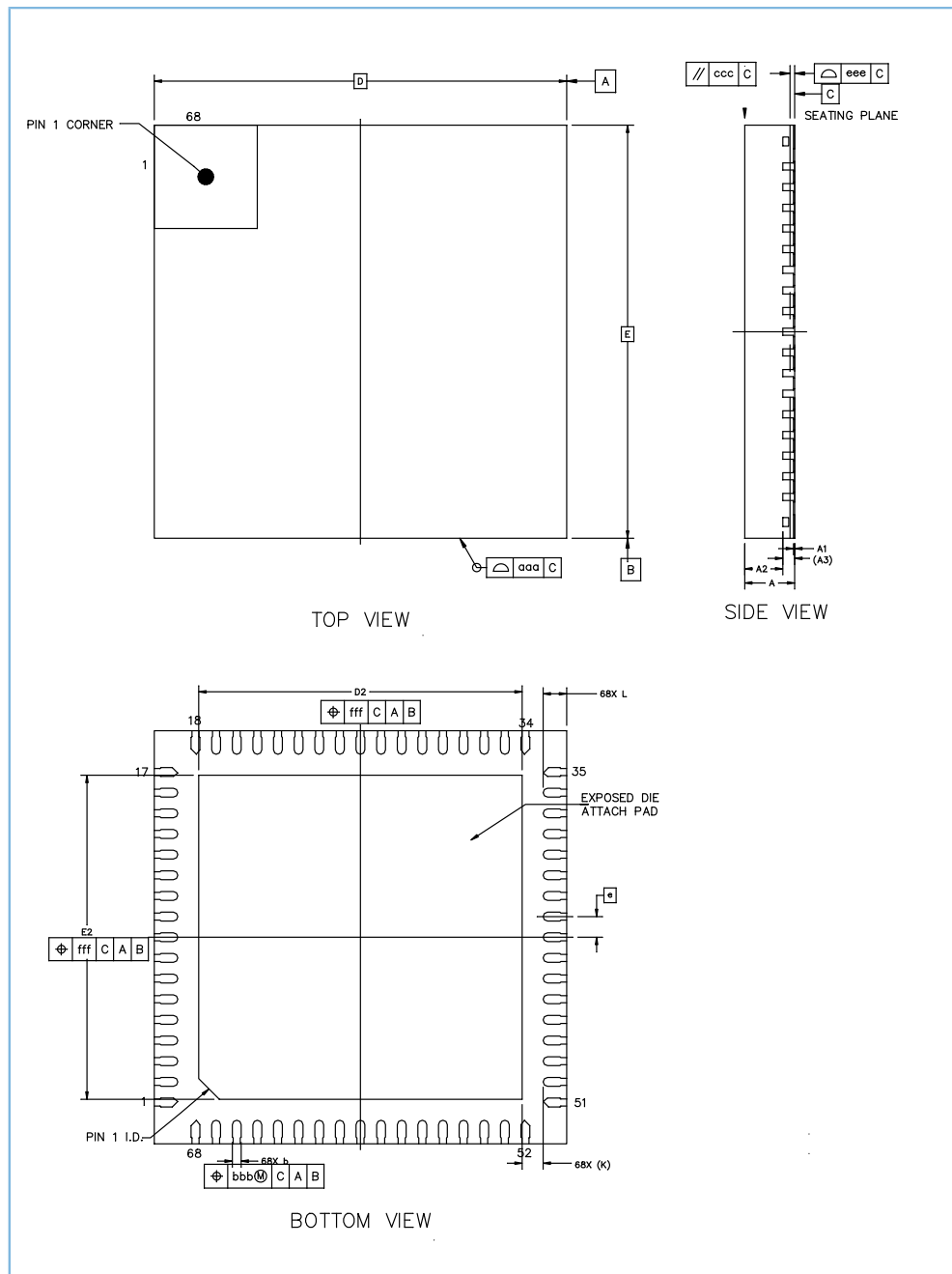


图 7-2 QFN68封装外形尺寸

说明:

上图并非按照实物比例绘制。

表 7-4 QFN68封装尺寸

符号	尺寸 (单位: mm)			尺寸 (单位: inch)		
	最小值	正常值	最大值	最小值	正常值	最大值
A	0.800	0.850	0.900	0.031	0.033	0.035
A1	0.000	0.020	0.050	0.000	0.001	0.002

符号	尺寸（单位：mm）			尺寸（单位：inch）		
	最小值	正常值	最大值	最小值	正常值	最大值
A2	-	0.650	-	-	0.026	-
A3	0.203 REF.			0.008 REF.		
b	0.100	0.150	0.200	0.004	0.006	0.008
D	7.000 BSC.			0.276 BSC.		
E	7.000 BSC.			0.276 BSC.		
e	0.350 BSC.			0.014 BSC.		
D2	5.390	5.490	5.590	0.212	0.216	0.220
E2	5.390	5.490	5.590	0.212	0.216	0.220
L	0.350	0.400	0.450	0.014	0.016	0.018
K	0.355 REF.			0.014 REF.		
aaa	0.100			0.004		
ccc	0.100			0.004		
eee	0.080			0.003		
bbb	0.070			0.003		
fff	0.100			0.004		

说明:

单位为英寸的值由对应的毫米值转换而来，并保留到小数点后第3位。

7.2 电路板焊接指南

由于器件引脚比较小，器件焊接在PCB板上主要是通过钢网刷焊锡膏，因此在QFN和BGA封装中，需要保证焊点的可靠性。由于QFN类封装引脚中心正下方有较大的DIE-PAD接地焊盘，且接近于焊盘内边缘，因此QFN类封装的焊接变得更加复杂。

虽然上文推荐的焊盘设计有助于解决一些PCB焊接的问题，但是用户仍然需要考虑周边和散热焊盘的钢网设计以及焊锡膏印刷工艺。由于表面组装工艺因公司而异，建议在工艺开发中谨慎小心，遵循各公司相关规定。

7.2.1 周边焊盘的钢网设计

周边焊盘上的最佳可靠焊点应具有约50至75微米（2至3密耳）的隔距高度，外表面平整且光滑。具有好的隔距高度但外表面不够平整的焊点虽然可以满足应用要求，但会减少使用寿命。

保证焊点的良好可靠性，第一步为设计钢网，钢网孔开口的设计应达到最大的膏体释放量。在此过程中，需要考虑以下比值：

- 面积比 = 孔径开口面积/开口侧壁面积
- 宽厚比 = 孔径宽度/钢网厚度

对于矩形孔径开口，根据GR5526的封装要求，相关比率计算公式如下：

- 面积比 = $L \times W / 2T (L + W)$
- 宽厚比 = W/T

L和W分别代表孔径的长度和宽度，T为钢网厚度。为获得最佳的焊锡膏释放效果，面积比和宽厚比应分别大于0.66和1.5。

为轻松达到此面积比和宽厚比，钢网开口孔径与PCB的焊盘尺寸比应为1:1。钢网应采用激光切割和电镀抛光。抛光使得钢网侧壁更光滑，从而更好地释放焊锡膏。

同时，建议严格控制钢网开口孔径容差，从而有效地缩小开口尺寸。此外，在中心裸露的接地焊盘区域印刷焊锡膏时，建议使用具有多个小开口的钢网，避免使用带有单个开口较大的钢网。阻焊层参考设计，请参考图 7-3。

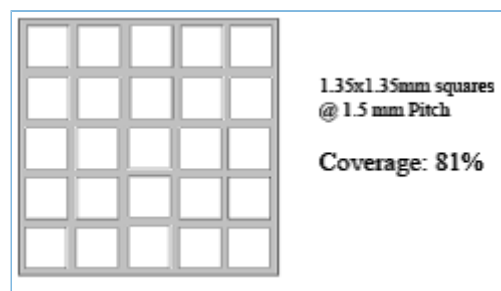


图 7-3 QFN封装接地焊盘钢网设计

7.2.2 过孔类型和焊点气孔

裸露接地焊盘下的焊点气孔会对高速和射频应用产生不利影响，该接地平面内的气孔会增加电流路径。

气孔的最大尺寸应小于平面内的过孔间距，可避免由于气孔过大，导致过孔无效的情况发生。

7.2.2.1 钢网厚度和焊锡膏

对于0.35 mm引脚间距的元件，建议使用0.125 mm厚度的钢网。为了更好地释放焊锡膏，建议使用激光切割的无痕不锈钢配合电抛光梯形墙制作钢网。由于回流焊后，元件下方没有足够的空间，建议使用免清洗型3号焊粉（Type 3, IPC standard J-STD-005）进行QFN类封装焊接。在回流期间也建议使用氮气吹扫。

与无铅表面组装技术（Surface Mount Technology, SMT）兼容的常见表面抛光工艺有以下几种：

- 有机可焊性防腐剂（Organic solderability preservative, OSP）
- 化学镀镍/沉金（Electroless Nickel/Immersion Gold, ENIG）
- 沉银
- 沉金

最终用户可针对电路板设计、装配流程、可操作度、存储条件和成本等需求，选择合理的表面处理工艺。

7.2.2.2 PCB材料

由于无铅材料的回流温度要求较高，建议使用具有高玻璃态转化温度Tg值（Glass Transition Temperature）（> 170°C）的电路板材料。

7.2.3 SMT印刷流程

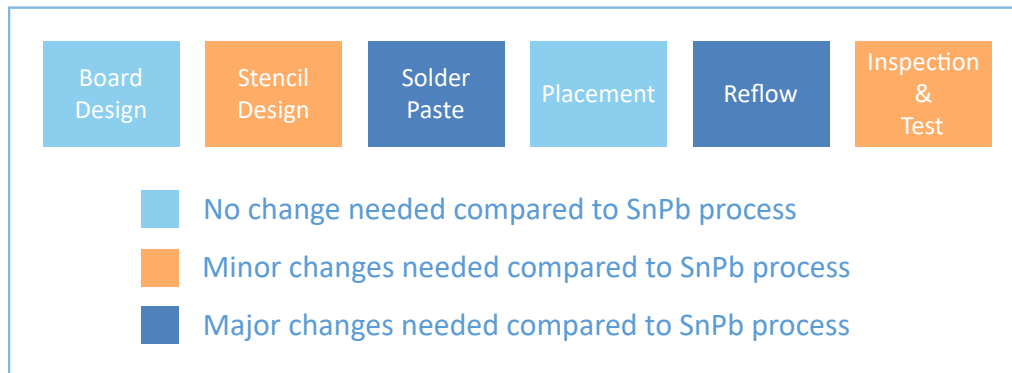


图 7-4 SMT 印刷流程

- 焊锡膏

熔化温度为217°C的锡银铜（Sn-Ag-Cu）合金焊料最常用于无铅焊料回流应用中。该合金由于其低成本、相对低的熔化温度和良好的抗热疲劳性等优势，广泛用于半导体行业。

- 钢网设计

如前所述，建议采用激光切割、无痕钢制钢网，厚度为5 ~ 7密耳，开口大小和焊盘尺寸比例为1:1。为了更好的释放焊锡膏，钢网孔径呈正锥形，底部开口比顶部开口宽1 mil。与锡铅合金相比，Sn-Ag-Cu合金不易湿润。

- 印刷流程

与锡铅合金焊料相比，Sn-Ag-Cu合金的印刷工艺无显著变化。应遵循焊锡膏厂商推荐的印刷指南，满足焊锡膏印刷的特定需求。印刷后检查和焊锡膏测量对于确保良好的印刷质量和均匀的焊料沉积至关重要。

- 贴片

由于QFN类封装在回流过程中的自对准特性，其定位精度小于焊盘宽度的30%，只要焊盘能够接触到焊锡膏即可。

7.3 SMT回流过程

优化回流工艺是无铅焊接最需要考虑的因素。要实现最佳回流温度曲线，应充分考虑焊锡膏特性、电路板尺寸、元件密度、大小尺寸元件的混合布局以及元件的峰值温度要求。优化的回流工艺是确保成功实现无铅组装、高产品良率和焊点长期高可靠的关键。

1. 温度曲线

通过在QFN和BGA芯片焊点、大型元件的顶部以及电路板的多个位置添加热电偶，可对新设计电路板进行温度分析。这将确保所有元件被加热到高于最低回流温度，且较小元件的温度不超过峰值温度。

对于具有大量元件的大型精密电路板，可将电路板上的温差缩小至10度以内，从而尽可能防止电路板翘曲。元件主体的最高温度不应超过MSL 3的规范要求。

2. 回流曲线

焊料回流曲线应遵循焊锡膏制造商的建议和业界通用的JEDEC或IPC J-STD-20标准。J-STD-20标准温度曲线如图 7-5所示。表 7-5 中列出了配置文件参数和元件峰值温度要求。

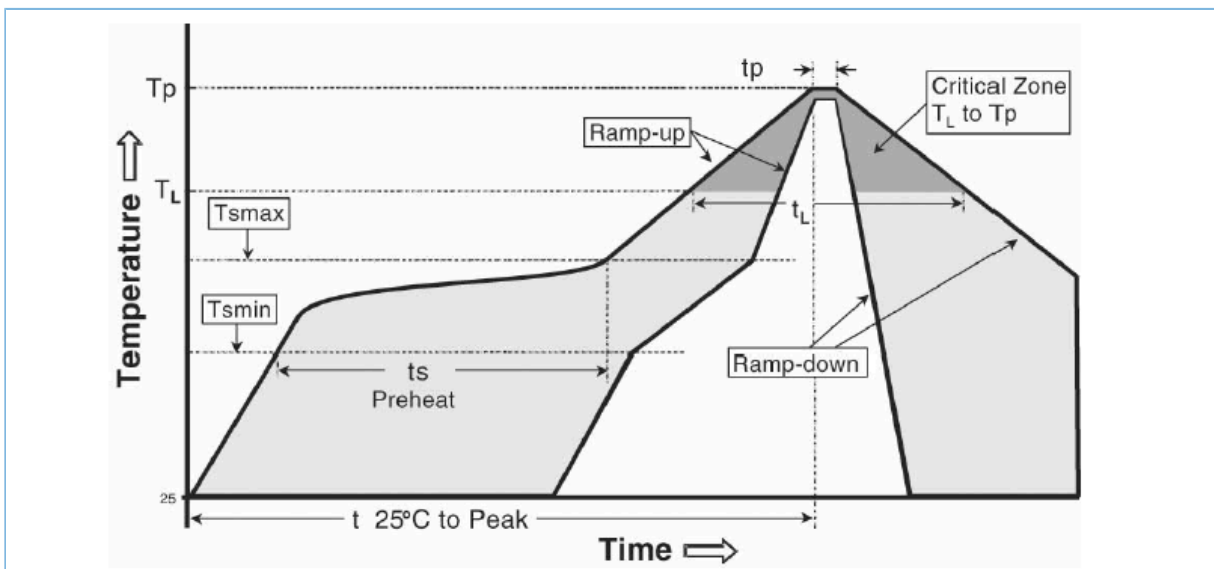


图 7-5 JEDEC建议无铅回流温度曲线

GR5526符合IPC/JEDEC标准的无铅焊接要求，即回流焊接的峰值温度高达260°C。

GR5526 QFN68引线框采用铜合金（CuAg）材质，且表面电镀无铅锡（镀锡厚度：300 ~ 600 μin）。此设计使得GR5526引线框架能够承受温度260°C下的3倍回流焊。

表 7-5 回流温度曲线参数

参数	无铅封装、对流、IR/对流
升温速率（从Tsmax到Tp）	最大值：每秒3°C
预热温度（从Tmin到Tsmax）	150°C ~ 200°C
预热时长（ts）	60 ~ 180秒
回流焊接温度 T_{BL} （217°C, T_L ）以上时长	60 ~ 150秒
峰值温度波动 $\pm 5^\circ\text{C}$ 时长（ T_p ）	20 ~ 40秒
降温速率	最大值：每秒6°C
25°C升至峰值温度所需时长	最大值：8分钟

说明:

表 7-5 中的所有规定温度均在封装表面测得。

将回流温度峰值控制在规定的最高温度以下至关重要，以防止对封装造成热损坏。回流曲线示例如图 7-6 所示。

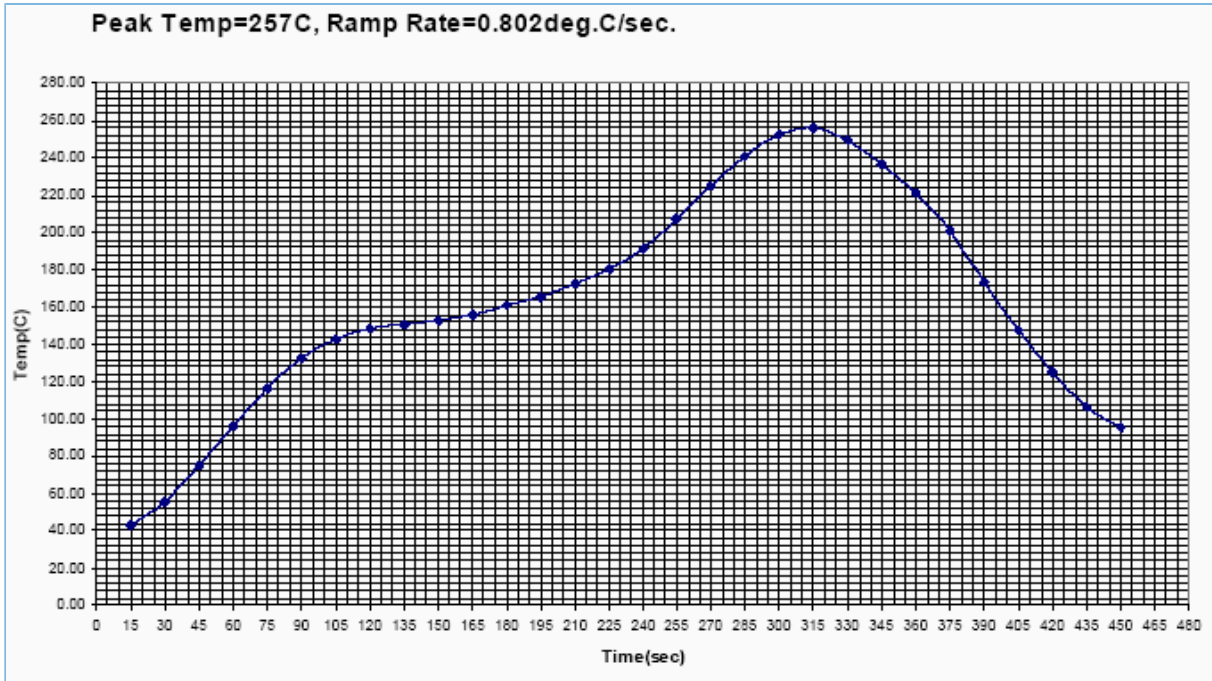


图 7-6 峰值温度为257°C的回流曲线示例

3. 回流炉

强烈建议使用配备多加热区和氮回流环境的回流炉进行无铅封装。更多的加热区可提供更高的回流灵活性，以优化大型复杂电路板的回流曲线。氮气环境可有效提高整体环境的湿度并降低电路板的温度梯度，同时可减少焊料氧化影响，从而增强焊点的外形美观度。

7.4 返修指南

由于在QFN和BGA类封装下焊点并非完全裸露在外，因此返修工作仅限于修复侧边圆角。对于封装层下的缺陷，必须移除整个封装才能进行返修。由于GR5526 QFN和BGA封装的尺寸小，因此返修将面临诸多挑战。

在大多数应用中，QFN和BGA类封装将被安装在尺寸更小、更薄和元件更密集的PCB上，给返修人员的操作带来诸多挑战。在返修期间相邻元件不可避免出现受热，这使得返修过程进一步复杂化。由于各产品的复杂度不同，以下仅列举QFN类封装成功返修流程，为用户提供指导。

返修步骤:

1. 元件拆卸
2. 焊盘清理
3. 焊锡膏印刷

4. 元件贴片
5. 元件焊接

说明:

返修前，建议将PCB在125°C温度下烘烤至少4小时，以去除元件中残留水分。

7.4.1 元件拆除

拆卸元件的第一步是对连接到PCB板上元件的焊点回流。理想状况下，拆除元件的回流曲线应与焊接元件的回流曲线相同。但是，一旦回流完成，则可缩短液相线以上的时间。

说明:

在拆卸过程中，建议使用对流加热器从底部加热PCB板，并在元件上方使用热风加热。

应使用特殊喷嘴对要拆除的元件区域加热，并尽量减少对相邻元件的加热。加热过程中还应避免气流过多，以免芯片级封装（Chip Scale Package, CSP）弯曲。空气流速应保持在每分钟15 ~ 20升。一旦焊点回流，在回流到冷却的过程中，就会自动实施真空抬起。

由于GR5526芯片尺寸小，真空压力应保持在15英寸汞柱以下。只有在所有焊点都完成回流的情况下，元件才会被抬起，从而避免焊盘在部分焊点未回流的情况下被抬起。

7.4.2 焊盘清理

拆除元件后，需要正确清理焊盘。最好使用刀片式导电工具和吸锡带相结合的方式。刀片的宽度应与原元件占用的最大宽度相匹配，刀片温度应足够低，以免损坏电路板。去除残留的焊料后，应使用溶剂清洁焊盘。溶剂的选择应遵循焊料制造商的建议，与原器件中使用的焊料类型相匹配。

7.4.3 焊锡膏印刷

QFN封装的尺寸小、间距细，实施QFN的焊锡膏沉积时需特别小心。可使用专为该组件研制的微型钢网，实现均匀和精确的焊锡膏沉积。钢网孔径应在50至100倍放大率下与焊盘对齐。

将钢网放置在PCB上，并且使用小金属刮刀刀片印刷焊锡膏。也可用迷你钢网在封装侧面印刷焊锡膏。应使用125微米厚的钢网，其开口孔尺寸和形状与封装焊盘相同。

此外，因为QFN封装的隔距高度较小，提供的清洁空间不足，应使用免清洗助焊剂。

7.4.4 贴片

QFN封装由于质量小而具有优越的自定心能力，该封装的贴片流程应与BGA封装相似。由于引线位于封装的下侧，因此应使用裂隙光学系统来完成主板上的元件对位。这将在原焊接印记上形成引线图像重合覆盖，并有助于正确元件对位。同样，对位应在50至100倍放大率下进行。贴片设备应支持对X、Y和旋转轴进行微调。

7.4.5 元件焊接

应该在最初的元件焊接或拆除过程中开发的回流曲线下，进行新元件焊接。由于所有回流曲线参数都已经优化，因此使用相同的曲线将消除对热电偶反馈的需求，并将减少对操作人员的依赖性。

7.5 RoHS标准

GR5526符合RoHS 2002/95/EC标准及其修订条例。

7.6 SVHC清单

GR5526遵从欧盟有关REACH的高关注物质（Substance of Very High Concern, SVHC）清单规定。该清单由欧洲化学品管理局（European Chemicals Agency, ECHA）于2008年10月28日发布，编号为1907/2006。

7.7 无卤

GR5526符合BS EN 14582:2007关于卤素，即氟、氯、溴和碘含量的要求。