



GR5xx IO引脚配置说明

版本： 1.0

发布日期： 2025-04-22

版权所有 © 2025 深圳市汇顶科技股份有限公司。保留一切权利。

非经本公司书面许可，任何单位和个人不得对本手册内的任何部分擅自摘抄、复制、修改、翻译、传播，或将其全部或部分用于商业用途。

商标声明

GOODiX 和其他汇顶商标均为深圳市汇顶科技股份有限公司的商标。本文档提及的其他所有商标或注册商标，由各自的所有人持有。

免责声明

本文档中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。

深圳市汇顶科技股份有限公司（以下简称“GOODIX”）对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。GOODIX对因这些信息及使用这些信息而引起的后果不承担任何责任。

未经GOODIX书面批准，不得将GOODIX的产品用作生命维持系统中的关键组件。在GOODIX知识产权保护下，不得暗或以其他方式转让任何许可证。

深圳市汇顶科技股份有限公司

总部地址：深圳市福田区梅康路1号汇顶科技总部大厦26楼

电话：+86-755-33338828 邮编：518000

网址：www.goodix.com

前言

编写目的

本文档主要介绍GR5xx系列芯片IO引脚配置原则和应用时的软件配置方法，以帮助用户正确配置IO引脚。

读者对象

本文适用于以下读者：

- 芯片用户
- 开发人员
- 测试人员
- 技术支持人员

版本说明

本文档为第1次发布，对应的产品系列为GR5xx。

修订记录

版本	日期	修订内容
1.0	2025-04-22	首次发布

目录

前言..... I

1 配置原则..... 1

2 软件配置..... 5

1 配置原则

GR5xx芯片内部集成可编程上/下拉电阻，能够替代外部电阻，从而节省空间和成本。另外，这些内部电阻还可以防止未使用的GPIO引脚处于浮空状态，以避免额外电流从VDDIO电源泄露。

使能芯片内部上/下拉电阻应遵循以下规则：

1. GPIO引脚处于浮空状态，应使能内部上/下拉电阻。
2. GPIO引脚未使用，应使能内部下拉电阻。
3. GPIO引脚设置为输入但被外部设备拉高/低时，应禁用内部上/下拉电阻。
4. GPIO引脚设置为输入但连接的外部设备处于高阻抗状态，应使能内部上/下拉电阻。
5. GPIO引脚设置为输出，应禁用内部上/下拉电阻。
6. GPIO引脚具有输入和输出两种功能。当引脚处于输入模式时，如果输入电平存在不确定性，应使能内部上/下拉电阻。

GPIO引脚的电路结构如下图所示：

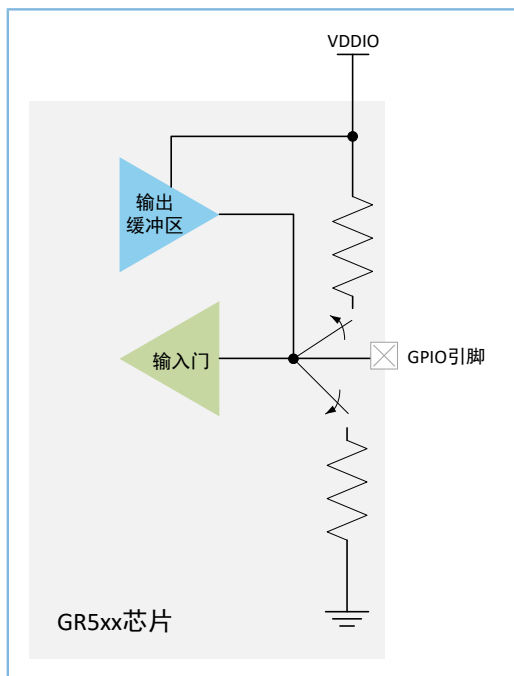


图 1-1 GPIO引脚电路

关于配置原则的电路原理说明如下：

1. 当GPIO引脚处于浮空状态时，若引脚上有外部干扰电压，则可能导致输入门异常导通，VDDIO经过输入门将产生额外电流。因此，需要使能内部上/下拉电阻。
2. 当GPIO引脚用作输入但被外部设备拉高/低时，应禁用内部上/下拉电阻。否则，可能会引起VDDIO电流泄露。

说明:

当外部驱动设备进入高阻抗状态时，若芯片没有使能内部上/下拉电阻，则GPIO引脚将处于浮空状态，这可能会导致额外电流流出。因此，当外部设备进入高阻抗状态时，应使能相应GPIO的上/下拉电阻。

- (1) GPIO引脚设置为输入，使能上拉电阻，所连接的外部设备处于低电平，电流会从VDDIO泄露，流经上拉电阻到达地线（流经此外部设备），如下图所示。

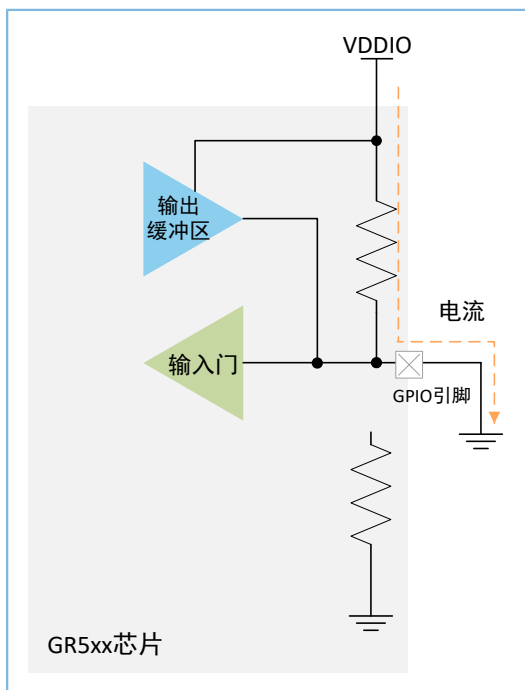


图 1-2 低电平驱动输入时的电流示意图

当上拉电阻的电阻值为100 kΩ时（具体上/下拉电阻值，请参考对应芯片Datasheet），在VDDIO电压为3.3 V的情况下，若有一个GPIO引脚配置不当，则会导致大约33 μA的额外电流从VDDIO泄露；若有多个GPIO引脚配置不当，则每个引脚均会产生33 μA漏电流。

- (2) GPIO引脚设置为输入，使能下拉电阻，所连接的外部设备处于高电平，无电流从VDDIO泄露，但VDDIO会通过外部器件产生电流，如下图所示。

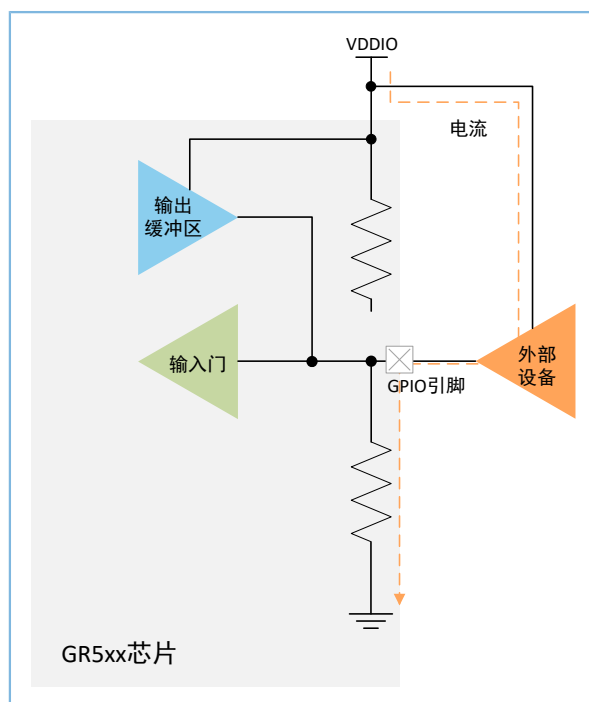


图 1-3 高电平驱动输入时的电流示意图

3. GPIO引脚设置为输出时，应禁用上/下拉电阻。否则，可能会引起电流泄露且额外电流会流经该上/下拉电阻。
- (1) 当GPIO引脚设置为输出且处于高电平时，使能下拉电阻时，电流会从VDDIO流向该下拉电阻，如下图所示。

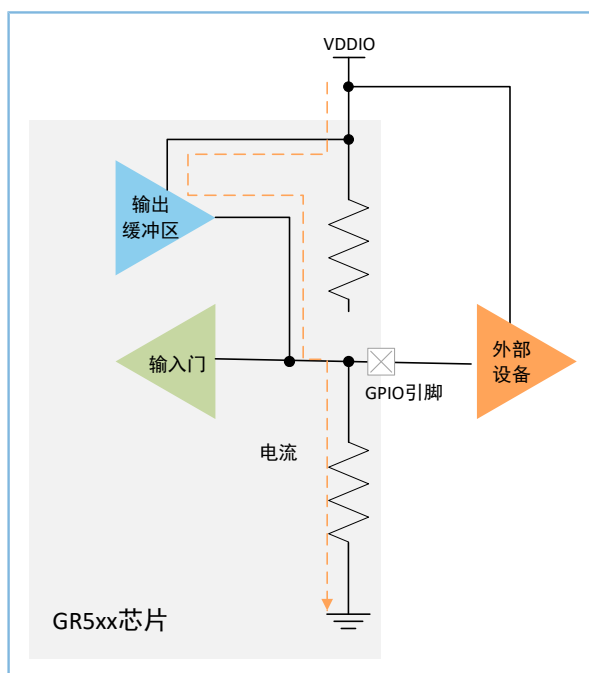


图 1-4 GPIO设置为输出且输出高电平时的电流示意图

- (2) 当GPIO引脚设置为输出且处于低电平时，使能上拉电阻，泄露的电流会流经此上拉电阻和低电平输出缓冲区，最终到达地线，如下图所示。

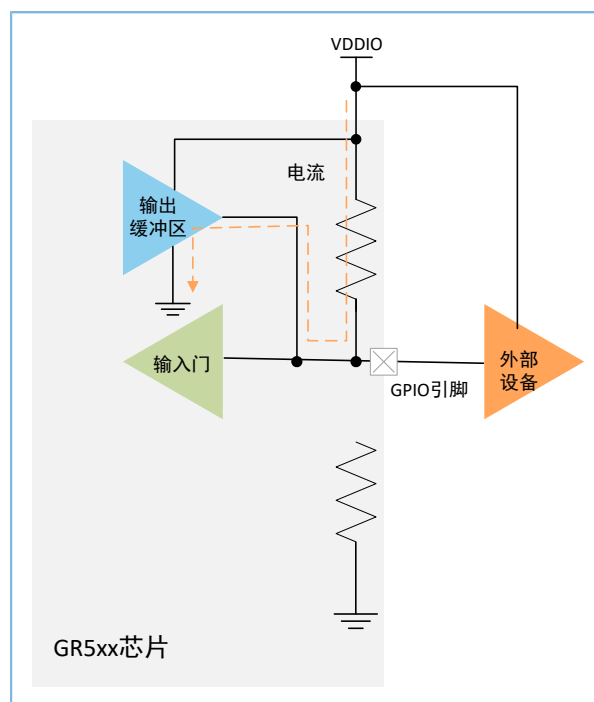


图 1-5 GPIO设置为输出且输出低电平时的电流示意图

2 软件配置

在芯片上电初始化后，各IO引脚的初始化状态如下：

- **GPIO**：输入且使能内部下拉电阻
- **AON GPIO**：输入且使能内部下拉电阻
- **MSIO**：模拟输入

为防止因IO状态不确定而导致漏电，用户可根据实际的外设应用需求选择使能内部上拉或者下拉电阻。例如：

- 对于未使用的IO引脚，根据[1 配置原则](#)中的第2条，使能内部下拉电阻。
- 对于存在外部上/下拉的IO引脚，根据[1 配置原则](#)中的第3条，禁用内部上/下拉电阻。
- **UART模块**：输出引脚禁用内部上/下拉电阻，输入引脚在无外部上拉时使能内部上拉电阻。
- **I2C模块**：当存在外部上拉时，SCL/SDA引脚禁用内部上/下拉电阻。
- **SPI/QSPI模块**可根据通信协议中的CPHA和CPOL配置各引脚初始化状态。例如，作为Slave时：
 - **MODE0**：CS引脚使能内部上拉电阻，SCLK引脚使能内部下拉电阻。
 - **MODE3**：SCLK/CS引脚使能内部上拉电阻，其他输入引脚使能内部下拉电阻。

详细的软件接口介绍，请参考《GR5xx APP驱动用户手册》中的“APP IO驱动”章节。例如，将AON GPIO PIN0配置为输入并使能内部下拉电阻，示例代码如下：

```
app_io_init_t io_init = APP_IO_DEFAULT_CONFIG;
io_init.pull = APP_IO_PULLDOWN;
io_init.mode = APP_IO_MODE_INPUT;
io_init.pin = APP_IO_PIN_0;
io_init.mux = APP_IO_MUX;
app_io_init(APP_IO_TYPE_AON, &io_init);
```